



Ficha del curso: 2014-2015

<b>Grado:</b> GRADO EN INGENIERÍA INFORMÁTICA		<b>Curso:</b> 2º ( 1C )
<b>Asignatura:</b> 803288 - Tecnología y Organización de Computadores	<b>Abrev:</b> TOC	6 ECTS
<b>Asignatura en Inglés:</b> Technology and Organization of Computer Systems		
<b>Materia:</b> Tecnología y Arquitectura de Computadores		12 ECTS
<b>Otras asignaturas en la misma materia:</b> Arquitectura de Computadores		6 ECTS
<b>Módulo:</b> Complementario		
<b>Departamento:</b> Arquitectura de Computadores y Automática		<b>Coordinador:</b> Garnica Alcazar, Oscar

**Descripción de contenidos mínimos:**

- Circuitos aritméticos.
- Diseño multimódulo.
- Sistemas algorítmicos.
- Organización de la memoria.
- Lenguajes de descripción de HW.
- Prácticas de diseño de circuitos digitales.

**Programa detallado:**

Tema 1. Diseño y modelado hardware con VHDL

- 1.1. Flujo de diseño
- 1.2. Lenguajes de descripción hardware (HDL)
- 1.3. Simulación con VHDL
- 1.4. Estructura de un modelo VHDL
- 1.5. Elementos básicos de VHDL
- 1.6. Máquina de estados finita (FSM)
- 1.7. Otros elementos de VHDL
- 1.8. Tech-bench de simulación

Tema 2. Evaluación parámetros físicos del diseño

- 2.1. ¿Por qué evaluar?
- 2.2. Análisis estático de tiempos (STA)
- 2.3. Comportamiento dinámico
- 2.4. Análisis del área
- 2.5. Análisis del consumo

Tema 3. Diseño combinacional avanzado

- 3.1. Conocimientos previos
- 3.2. Módulos combinacionales y diseño multimódulo
- 3.3. Unidades funcionales multi-función
- 3.5. Redes iterativas 1-D y 2-D
- 3.5. Técnicas para mejorar el rendimiento
- 3.6. Segmentación
- 3.7. Errores de diseño

Tema 4. Diseño algorítmico

- 4.1. Introducción
- 4.2. Elementos de memoria
- 4.3. Diagrama ASM, diseño de la ruta de datos y diseño de la UC
- 4.4. Principios de diseño: top-down/bottom-up, divide y vencerá, iterativo
- 4.5. Diseño RTL

Tema 5. Memorias

- 5.1. Jerarquía de memoria
- 5.2. Tecnologías de memoria: Memoria estática y dinámica; DRAM, EPROM, FLASH
- 5.3. Organización de la memoria principal (características y rendimiento)
- 5.4. Latencia, tiempo de ciclo, ancho de banda e interleaving
- 5.5. Memoria de acceso asociativo
- 5.6. Códigos de detección de errores

Tema 6. Aritmética

- 6.1. Sumadores rápidos (anticipación y puenteo de arrastres)

Fecha: \_\_\_\_ de \_\_\_\_\_ de \_\_\_\_

Firma del Director del Departamento:



- 6.2. Multiplicadores sin/con signo (secuencial y combinacional)
- 6.3. Divisor secuencial
- 6.4. Representación IEEE 754
- 6.5. Suma, multiplicación en punto flotante
- 6.6. Precisión y redondeo IEEE 754

**Programa detallado en inglés:**

- 1. Hardware Design and Modeling with VHDL
  - 1.1. Design Flow
  - 1.2. Hardware Description Language (HDL)
  - 1.3. Simulation with VHDL
  - 1.4. VHDL Modeling
  - 1.5. Basic Elements of VHDL
  - 1.6. Finite State Machine (FSM)
  - 1.7. Other Elements of VHDL
  - 1.8. Techbenches
- 2. Physical Parameter Measurement
  - 2.1. Why evaluate?
  - 2.2. Static Timing Analysis (STA)
  - 2.3. Dynamic Behavior
  - 2.3. Area Measurement
  - 2.4. Power-Consumption Measurement
- 3. Advanced Combinational Design
  - 3.1. Previous Knowledge
  - 3.2. Multimodule Design
  - 3.3. Multi-function Functional Units
  - 3.5. 1D and 2D Iterative Networks
  - 3.5. Techniques to Improve Performance
  - 3.6. Pipelining
  - 3.7. Design Errors
- 4. Algorithmic Design
  - 4.1. Introduction
  - 4.2. Storage Elements
  - 4.3. ASM diagrams, Datapath and Control Unit
  - 4.4. Principles of design
  - 4.5. RTL design
- 5. Memories
  - 5.1. Memory Hierarchy
  - 5.2. Memory Technologies
  - 5.3. Memory Organization
  - 5.4. Latency, Cycle Time, Bandwidth and Interleaving
  - 5.5. Associative Memory
  - 5.6. Error Detection Codes
- 6. Arithmetic
  - 6.1. Fast Adders
  - 6.2. Signed and Unsigned Multipliers
  - 6.3. Sequential Divider
  - 6.4. IEEE 754 Representation
  - 6.5. Floating Point Addition and Multiplication
  - 6.6. IEEE 754 Accuracy and Rounding

**Competencias de la asignatura:**

**Generales:**

- CG4-Conocimiento de la estructura, organización, funcionamiento e interconexión de los sistemas informáticos, los fundamentos de su programación, y su aplicación para la resolución de problemas propios de la ingeniería.
- CG14-Capacidad de conocer, comprender y evaluar la estructura y arquitectura de los computadores, así como los componentes básicos que los conforman.

Fecha: \_\_\_\_ de \_\_\_\_\_ de \_\_\_\_

Firma del Director del Departamento:



UNIVERSIDAD COMPLUTENSE DE MADRID  
FACULTAD DE INFORMATICA

<b>Específicas:</b> No tiene									
<b>Básicas y Transversales:</b> CT1-Capacidad de comunicación oral y escrita, en inglés y español utilizando los medios audiovisuales habituales, y para trabajar en equipos multidisciplinares y en contextos internacionales. CT2-Capacidad de análisis y síntesis en la resolución de problemas. CT3-Capacidad para gestionar adecuadamente la información disponible integrando creativamente conocimientos y aplicándolos a la resolución de problemas informáticos utilizando el método científico. CT4-Capacidad de organización, planificación, ejecución y dirección de recursos humanos. CT5-Capacidad para valorar la repercusión social y medioambiental de las soluciones de la ingeniería, y para perseguir objetivos de calidad en el desarrollo de su actividad profesional.									
<b>Resultados de aprendizaje:</b> No tiene									
<b>Evaluación:</b> Todas las pruebas realizadas en cada asignatura serán comunes a todos los grupos de la misma. <ul style="list-style-type: none"><li>• La calificación final tendrá en cuenta:<ul style="list-style-type: none"><li>o Exámenes sobre la materia: 60-90%</li><li>o Otras actividades: 10-40%</li></ul></li></ul> En el apartado "Otras actividades" se podrá valorar la participación activa en el proceso de aprendizaje, la realización de prácticas y ejercicios y la realización de otras actividades dirigidas. La realización de las prácticas de laboratorio y del resto de las actividades evaluables será obligatoria. Antes del comienzo de cada curso escolar se concretarán en las fichas docentes los porcentajes exactos que se utilizarán durante ese curso para la evaluación de la materia, siendo comunes estos criterios para todos los grupos de una misma asignatura. La calificación reflejará los resultados de aprendizaje de las diferentes competencias que se adquieren en el módulo o materia.									
<b>Evaluación detallada:</b> <ul style="list-style-type: none"><li>- Examen final en febrero y septiembre. Exámenes escritos obligatorios en aula con cuestiones teóricas y prácticas. Mismo examen en todos los grupos de la asignatura. Criterios detallados de puntuación comunes.</li><li>- Prácticas de laboratorio. Asistencia obligatoria. Media ponderada de las calificaciones de las prácticas propuestas. Mismas prácticas en todos los grupos. Criterios detallados de puntuación comunes.</li><li>- Otras actividades en el aula: entrega de problemas, tests.</li><li>- Calificación: Será la mayor de las dos puntuaciones siguientes: <math>0,60 * \text{Nota del examen} + 0,3 * \text{Nota del laboratorio} + 0,1 * \text{Nota otras actividades en el aula}</math> <math>0,65 * \text{Nota del examen} + 0,35 * \text{Nota del laboratorio}</math></li></ul>	<b>Exámenes:</b> <table border="1"><tr><td><input checked="" type="checkbox"/> En Aula</td><td><input type="checkbox"/> En Lab</td></tr><tr><td><input checked="" type="checkbox"/> Final Feb</td><td><input type="checkbox"/> Parcial Feb</td></tr><tr><td><input type="checkbox"/> Final Jun</td><td><input type="checkbox"/> Parcial Jun</td></tr><tr><td><input checked="" type="checkbox"/> Final Sep</td><td><input type="checkbox"/> Sin Examen</td></tr></table>	<input checked="" type="checkbox"/> En Aula	<input type="checkbox"/> En Lab	<input checked="" type="checkbox"/> Final Feb	<input type="checkbox"/> Parcial Feb	<input type="checkbox"/> Final Jun	<input type="checkbox"/> Parcial Jun	<input checked="" type="checkbox"/> Final Sep	<input type="checkbox"/> Sin Examen
<input checked="" type="checkbox"/> En Aula	<input type="checkbox"/> En Lab								
<input checked="" type="checkbox"/> Final Feb	<input type="checkbox"/> Parcial Feb								
<input type="checkbox"/> Final Jun	<input type="checkbox"/> Parcial Jun								
<input checked="" type="checkbox"/> Final Sep	<input type="checkbox"/> Sin Examen								
<b>Actividades formativas:</b> Las actividades formativas que se van a realizar para esta materia se dividen en tres grupos: <ul style="list-style-type: none"><li>• Actividades presenciales: 30-40% de la dedicación del alumno. Estas actividades podrán incluir: Clases teóricas magistrales. Clases de problemas. Laboratorios. Seminarios.</li><li>• Actividades dirigidas: 10-15% de la dedicación del alumno. Estas actividades podrán incluir: Trabajos dirigidos. Tutorías dirigidas.</li><li>• Trabajo personal: 50-55% de la dedicación del alumno. Estas actividades podrán incluir: Trabajo personal no dirigido: Estudio, preparación de exámenes, realización de ejercicios. Realización de exámenes.</li></ul>									
<b>Actividades docentes:</b> <table><tr><td>Reparto de créditos: Teoría: 3,40 Problemas: 1,10</td><td>Otras actividades: Clases teóricas: Clases magistrales de teoría en aula. En promedio 2.25 horas a la semana. Clases prácticas: Resolución en el aula de problemas de diseño comprobando la idoneidad del sistema</td></tr></table>		Reparto de créditos: Teoría: 3,40 Problemas: 1,10	Otras actividades: Clases teóricas: Clases magistrales de teoría en aula. En promedio 2.25 horas a la semana. Clases prácticas: Resolución en el aula de problemas de diseño comprobando la idoneidad del sistema						
Reparto de créditos: Teoría: 3,40 Problemas: 1,10	Otras actividades: Clases teóricas: Clases magistrales de teoría en aula. En promedio 2.25 horas a la semana. Clases prácticas: Resolución en el aula de problemas de diseño comprobando la idoneidad del sistema								

Fecha: \_\_\_\_ de \_\_\_\_\_ de \_\_\_\_

Firma del Director del Departamento:



Laboratorios: 1,50

final obtenido. En promedio 0.75 horas a la semana.

Laboratorios: Prácticas en el laboratorio de diseño de sistemas reales utilizando VHDL e implementando el circuito sobre una plataforma FPGA. En promedio 1 hora a la semana.

**Bibliografía:**

- Gajski, D.D., "Principios de diseño digital", Prentice Hall, 1997
- Brown, S., Vranesic, Z., "Fundamentos de lógica digital con diseño VHDL", Mc. Graw-Hill, 2006
- Rabaey, J.M., "Circuitos integrados digitales : una perspectiva de diseño", Prentice Hall, 2004
- Parhami, B., "Computer arithmetic : algorithms and hardware designs", Oxford University Press, 2000
- Jacob, B., Ng, S., Wang, D., "Memory systems : cache, DRAM, disk", Morgan Kaufmann Publishers, 2007
- Pong P. Chu, "RTL hardware design using VHDL: coding for efficiency, portability, and scalability", John Wiley & Sons, 2006
- Peter J. Ashenden, "The designer's guide to VHDL", Morgan Kaufmann Publishers, 2008

Ficha docente guardada por última vez el 10/07/2014 19:12:00 por el departamento: **Arquitectura de Computadores y Automática**

Fecha: \_\_\_\_ de \_\_\_\_\_ de \_\_\_\_

Firma del Director del Departamento: