

Proyectos de Sistemas Informáticos Ofertados por el Departamento de Arquitectura de Computadores y Automática para el curso 2005/06

Título del proyecto

Simulación Distribuida sobre Redes de Servicios Web/Grid.

Profesor:

José Jaime Ruz Ortiz

Localización: Facultad de Informática, 3ª planta, despacho nº 312

Resumen del proyecto:

Los *Servicios Web* permiten la comunicación programática entre computadores a través de la infraestructura de Internet. Utilizan un mecanismo de llamada remota a funciones residentes en diferentes nodos de la red basado en HTTP y XML. Este mecanismo de comunicación se ajusta a estándares básicos aprobadas por W3C (SOAP, WSDL y UDDI) así como a estándares más complejos demandados por las actuales aplicaciones (WS-Security, WS-Notification, etc.), lo que garantiza la interoperabilidad entre *Servicios Web* soportados sobre diferentes plataformas: J2EE, .NET, etc.

En este proyecto se plantea el diseño e implementación de un simulador distribuido entre diferentes computadores conectados a Internet utilizando *Servicios Web*. Se ensayarán diferentes grados de partición del proceso global de simulación entre los computadores de la red. En primer lugar se implementará una partición funcional entre la simulación propiamente dicha y el proceso de visualización. Más adelante se abordará la partición del propio proceso de simulación. En este caso, el problema central que hay que resolver es el mantenimiento de la sincronización entre los diferentes computadores que participan en la simulación distribuida, de manera que no se viole nunca el principio de causalidad.

Recursos de laboratorio:

Servidor Windows 2003 con IIS 6.0 al que se conectarán los alumnos por Terminal Remoto desde cualquier PC con conexión a Internet. El servidor dispone de *Visual Studio .NET Enterprise Architect Edition*, *WSRF.NET* y *Visio for Enterprise Architects*, así como otros recursos de utilidad para el proyecto.

Bibliografía básica:

- *Profesional C#.NET*, Robinson, Allen, ..., Wrox Press, 2002.
- *Profesional UML with Visual Studio. NET*, Filev, Loton, McNeisk,...,Wrox Press, 2002.

Título del proyecto:

Distribución equilibrada del esfuerzo de Cómputo en Algoritmos Genéticos Paralelos. Estudio del Efecto del Operador de Regeneración.

Profesor:

José Ignacio Hidalgo Pérez (hidalgo@dacya.ucm.es)

Localización: Facultad de Informática, 3ª planta, despacho nº 341

Resumen del proyecto:

Es difícil encontrar un equilibrio entre el número de ejecuciones, el tamaño de las poblaciones y las generaciones a computar cuando se utiliza un Algoritmo Evolutivo y se precisa ahorrar recursos de computación. Podemos encontrar en la literatura del dominio trabajos que estudian el tamaño de las poblaciones y el número de éstas, pero es difícil encontrar artículos que estudien los tres parámetros anteriores simultáneamente. Se ha establecido que la eficiencia de los Algoritmos Genéticos (AGs) está influida notablemente por el tamaño de la población. Con poblaciones grandes, la diversidad genética se incrementa, y es más probable que el algoritmo consiga encontrar el óptimo global. Sin embargo, una población grande también requiere mayor cantidad de memoria que una pequeña, y a la vez mayor tiempo de cálculo y a veces de convergencia. Uno de los primeros pasos consiste en decidir el tamaño de la población y número de poblaciones que se van a utilizar.

El esfuerzo de cómputo es una medida que utiliza tanto la calidad de las soluciones como el esfuerzo de cálculo requerido para conseguir esa calidad, medido este esfuerzo como el número total de individuos evaluados hasta una determinada generación. Para calcular esta medida estrictamente creciente, debemos primero calcular el esfuerzo parcial de cálculo en cada generación y luego calcular el esfuerzo acumulado hasta una generación mediante la suma de los esfuerzos de todas las generaciones previas. Aunque esta medida depende del problema, ya que el coste de evaluación de un individuo es diferente para diferentes problemas, es muy útil para comparar diferentes resultados obtenidos en experimentos de un mismo problema.

En este proyecto se trata de estudiar todos estos elementos a la vez: considerando un límite fijo de esfuerzo de computación disponible, estudiamos como equilibrar el número de ejecuciones, número de individuos por ejecución y número de generaciones que vamos a calcular, y tratamos de observar experimentalmente la mejor combinación de los tres parámetros simultáneamente, empleando un para de problemas de test

También se han publicado trabajos que emplean un algoritmo *microgenético*, consistente en una población de tamaño muy pequeño en un algoritmo genético. Para conseguir buenos resultados, lo que hace es reemplazar a menudo la población completa (excepto el mejor individuo), con una nueva población cuando la anterior ha convergido. Esta técnica se conoce también como técnica de elitismo y reinicio. Adoptando una reducción de tamaño de 100 a 5 individuos, es posible reducir el número de evaluaciones requeridas más de un orden de magnitud. Una técnica similar ha sido utilizada por Hidalgo para implementar un operador de *regeneración* y reducir el tamaño de la población. Con este nuevo operador, el algoritmo detecta si el mejor individuo es el mismo durante 10 generaciones consecutivas, y en este caso se elimina la cuarta parte de la población, que es sustituida por nuevos individuos generados al azar.

El proyecto estudiará también la influencia de operadores de este tipo sobre la eficiencia del algoritmo genético

Recursos de laboratorio:

- Los alumnos dispondrán de los recursos necesarios para la implementación del algoritmo

Asignaturas Relacionadas:

- Computación Evolutiva
- Procesamiento Paralelo

Bibliografía básica:

- Cantu-Paz, E., Goldberg, D.E.: Modeling idealized bounding cases of parallel genetic algorithms. In Koza, J., et al., eds.: Proceedings of the Second Annual Genetic Programming Conference, Morgan Kaufmann (1997) 353–361
- Hidalgo J.I., Evolutionary Algorithms for solving the partitioning and placement problems in Multi-FPGA systems. Proceedings of 2000 Genetic and Evolutionary Computation Conference. Workshop Program (2000).
- Goldberg, D.E.: Genetic algorithms in search, optimization, and machine learning. Addison-Wesley, Reading, MA (1989).
- Cantú-Paz, E.: A Survey of Parallel Genetic Algorithm. IlliGAL Report No. 97003. University of Illinois at Urbana-Champaign (1997)
- Michalewicz, Z.: Genetic Algorithms + Data Structures = Evolution Programs. 3rd edn. Springer-Verlag, Berlin Heidelberg New York (1996)
- Davis: Handbook of Genetic Algorithms Van Nostrand Reinhold (1991)

Título del proyecto:

Estudio de eficiencia en algoritmos genéticos paralelos..

Profesor:

José Ignacio Hidalgo Pérez (hidalgo@dacya.ucm.es)

Localización: Facultad de Informática, 3ª planta, despacho nº 341

Resumen del proyecto:

Contactar con el profesor.

Título del proyecto:

Servicio de Meta-planificación Grid

Profesor:

Ignacio Martín Llorente

Localización: Facultad de Informática, 3ª planta, despacho nº 334

Resumen del proyecto:

La integración de la tecnología basada en servicios Grid y la basada en servicios web se desarrolla por medio de la nueva especificación de servicios web WSRF (Web Service Resource Framework). Esta nueva especificación está respaldada por compañías como Akamai, HP, IBM, Sonic Software y TIBCO; y también por la alianza Globus. El objetivo del proyecto es desarrollar un prototipo de meta-planificación de trabajos sobre entornos basados en la especificación WSRF implementada en el Globus Toolkit 4.0. Los usuarios podrán interactuar con el servicio por medio de un API estándar que invoque acciones de planificación en el servicio remoto de planificación.

Título del proyecto

Diseño de un emulador HW de arquitecturas reconfigurables de grano grueso

Profesor:

Marcos Sánchez-Elez Martín (marcos@fis.ucm.es)

Localización: Facultad de Informática, 3ª planta, despacho nº 315

Resumen del proyecto:

Las arquitecturas reconfigurables de grano grueso han aparecido como una alternativa a los procesadores de propósito general para implementar una gran cantidad de aplicaciones que presentan gran carga computacional, siendo utilizadas actualmente en procesadores de señal, teléfonos móviles ... Unos de los principales problemas a los que se enfrentan las personas que tienen que trabajar con estas arquitecturas es la falta de herramientas de simulación lo suficientemente potentes para poder realizar una primera fase de implementación de aplicaciones sobre cualquiera de estas arquitecturas lo que retrasa su desarrollo y su aparición en el mercado. Este proyecto está encaminado a desarrollar sobre plataforma FPGA un emulador de las características básicas de las arquitecturas reconfigurables de grano grueso desarrollando en entorno VHDL, así como de un entorno gráfico para su manejo. Para mas información visitar las siguientes páginas web:

http://www.imec.be/ovinter/static_research/reconfigurable.shtml

<http://www.site.uottawa.ca/~rabiemo/personal/rc.html>

<http://atc.dacya.ucm.es/atc/ss.php?area=1>

Recursos de laboratorio:

- El alumno dispondrá de los recursos necesarios para la implementación del algoritmo

Título del proyecto

Diseño e Implementación de algoritmos criptográficos sobre plataformas FPGA

Profesor:

Marcos Sánchez-Elez Martín (marcos@fis.ucm.es)

Localización: Facultad de Informática, 3ª planta, despacho nº 315

Resumen del proyecto:

Se pretende realizar un proyecto en el que se diseñen, simulen e implementen algoritmos criptográficos. El objetivo de este proyecto es optimizar los algoritmos para minimizar el área, el rendimiento y el consumo de potencia.

La labor del alumno será estudiar las características de los distintos algoritmos y desarrollar distintas implementaciones sobre FPGA para los parámetros optimizar.

Objetivos:

- 1.- Estudio de distintos algoritmos de criptografía y su utilización en diferentes aplicaciones.
- 2.- Aprendizaje del funcionamiento del entorno CAD Xilinx ISE 6 y su utilización para el prototipado rápido sobre FPGAs.
- 3.- Diseño e implementación de algoritmos criptográficos.
- 4.- Estudio del área, el rendimiento y consumo de potencia de los módulos implementados.

Título del proyecto

Optimización de memoria dinámica en sistemas empotrados multimedia mediante computación evolutiva

Profesor:

José Ignacio Hidalgo Pérez (hidalgo@dacya.ucm.es)

Localización: Facultad de Informática, 3ª planta, despacho nº 341

Resumen del proyecto:

El reciente avance tecnológico en las políticas de integración de circuitos integrados ha permitido la aparición de una nueva generación de sistemas digitales empotrados y que permiten suministrar gran cantidad de servicios multimedia a los consumidores finales (teléfonos móviles de 4ª generación, videoconsolas portátiles, PDAs, etc). Este tipo de dispositivos han ido aumentando progresivamente la cantidad de software que incluyen (juegos, sistemas de videoconferencia, reproductores de video y sonido, etc.), así como su consumo de memoria dinámica (memoria reservada dinámicamente en tiempo de ejecución mediante llamadas específicas al sistema operativo) con objeto de minimizar el tiempo de desarrollo de nuevos sistemas. No obstante, este tipo de aplicaciones suelen provenir de sistemas de sobremesa y no han sido diseñados con objeto de cumplir las restricciones de consumo y rendimiento de los sistemas empotrados. Por ello se requiere un importante trabajo de optimización para lograr portar estas aplicaciones, inicialmente diseñadas para sistemas de propósito general, a las consolas o teléfonos móviles objetivo.

Una de las tareas más importantes de este proceso de adaptación de aplicaciones para sistemas empotrados multimedia es la optimización del uso del subsistema de memoria dinámica, y, dentro de esta fase de refinamiento, es fundamental la elección de una Estructura Dinámica de Datos (EDD) que se adapte a nuestras necesidades de rendimiento, tamaño de la memoria y consumo de energía.

Para optimizar el uso de la memoria se ha desarrollado una biblioteca de estructuras de datos entre las que debe escoger el usuario. Actualmente esta tarea se hace mediante búsqueda exhaustiva para la obtención de un frente de Pareto (conjunto de puntos óptimos en alguna de las métricas que se desea optimizar: rendimiento, uso de memoria o consumo de energía) que abarque todas las posibilidades. Cada implementación existente en dicha biblioteca tiene las siguientes características principales: número de accesos medios requeridos para una escritura/lectura aleatoria, número de accesos medios requeridos para un recorrido secuencial completo, uso medio de memoria y coste en número de llamadas algorítmicas para la creación/destrucción de las EDDs. Estas estructuras se miden en base a un conjunto de variables independientes como son la cardinalidad del conjunto de claves, el tamaño de los elementos almacenados, el tamaño de cada referencia, el tamaño de clave de acceso, el número de elementos válidos almacenados, grado de dispersión y factor de agrupamiento de elementos básicos.

El objetivo del proyecto es implementar un algoritmo evolutivo multiobjetivo que proporcione los frentes de Pareto para cada una de las estructuras de datos, a partir de los datos suministrados por etapas anteriores de diseño.

Recursos de laboratorio:

- El alumno dispondrá de los recursos necesarios para la implementación del algoritmo

Asignaturas Relacionadas:

- Computación Evolutiva
- Estructura de Computadores
- Estructura de Datos y de la Información

Bibliografía básica:

- D. Atienza . “Metodología multinivel de refinamiento del subsistema de memoria dinámica para los sistemas empotrados multimedia de altas prestaciones”. Tesis Doctoral. UCM. 2005-07-26
- Carlos A. Coello Coello and Gary B. Lamont (eds), [Applications of Multi-Objective Evolutionary Algorithms](#), World Scientific, ISBN 981-256-106-4, 2004.
- Coello Coello, Carlos A.; Van Veldhuizen, David A. and Lamont, Gary B. [Evolutionary Algorithms for Solving Multi-Objective Problems](#), Kluwer Academic Publishers, New York, ISBN 0-3064-6762-3, May 2002
- Mark Allen Weiss, “Data Structures and Problem Solving Using C++ (2nd Edition)”, Addison Wesley, 1999.
- National Institute of Standards and Technology, Standardization Committee, “Abstract Data Types – The Standard Library”, USA, 2003, <http://www.nist.gov/dads/HTML/abstractDataType.html>

Título del proyecto:

Desarrollo de un entorno hardware para la ejecución de aplicaciones de propósito general sobre FPGAs

Profesor:

Hortensia Mecha López (horten@dacya.ucm.es)

Localización: Facultad de Informática, 3ª planta, despacho nº 337

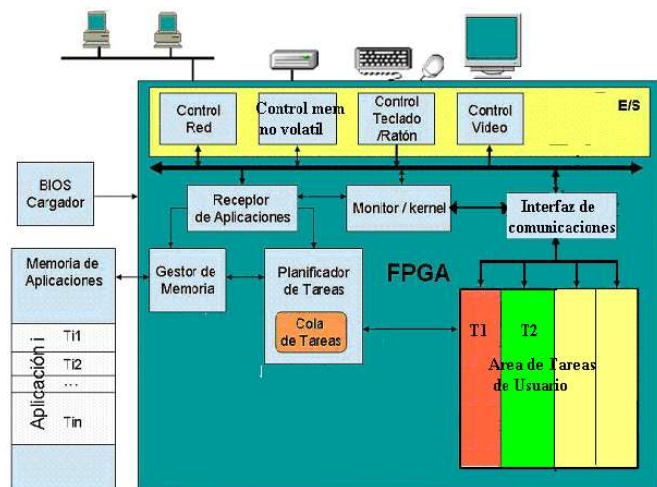
Resumen del proyecto:

El objetivo fundamental de este proyecto es la generación de un entorno para la ejecución de tareas sobre dispositivos dinámicamente reconfigurables. La implementación se realizará en una placa de prototipado que dispone de una FPGA Virtex II, utilizando software de Xilinx ISE 6.2 y Model Technology.

El modelo de sistema propuesto tendría, entre otras, las siguientes características:

- El sistema se implementará sobre una FPGA Virtex II, con reconfiguración dinámica y parcial.
- Cada tarea podrá ubicarse en la FPGA de forma independiente.
- La entrada/salida de las tareas será muy básica, y se realizará a través de un interfaz de comunicaciones que también deberá diseñarse.

El sistema debería tener como componentes principales los que aparecen en la figura:



Cargador de inicio: Módulo que se encarga de cargar en la FPGA los módulos básicos, que permitan el arranque del sistema. Debe incluir, como mínimo, un controlador básico para un dispositivo de almacenamiento local no volátil (tarjeta de memoria), y una lista de módulos iniciales (BIOS).

BIOS: Conjunto de controladores básicos para el subsistema de E/S, básicamente de Teclado/ratón, Vídeo, memoria, y Red. Se proporcionarán ya diseñados. Se carga desde un almacenamiento local no volátil. Incluye también el kernel del sistema operativo, con un monitor capaz de procesar órdenes desde el teclado y visualizar en el display.

Receptor de Aplicaciones: Recibe las aplicaciones desde las dos posibles entradas: el almacenamiento local o la red. El receptor almacena las tareas en memoria local y pasa los datos de la aplicación al Planificador para que tome las decisiones de planificación.

Planificador/cargador de Tareas: Controla las tareas recibidas, y planifica su ejecución y ubicación siguiendo una política tipo FIFO.

Interfaz de comunicaciones: permite el intercambio de datos y control entre las tareas y el kernel del sistema operativo y los distintos controladores de periféricos.

Título del proyecto:

Desarrollo de un entorno hardware para la ejecución de aplicaciones de propósito general sobre FPGAs

Profesor:

Hortensia Mecha López (horten@dacya.ucm.es)

Localización: Facultad de Informática, 3ª planta, despacho nº 337

Resumen del proyecto:

El objetivo fundamental de este proyecto es la generación de un entorno para la ejecución de tareas sobre dispositivos dinámicamente reconfigurables. La implementación se realizará en una placa de prototipado que dispone de una FPGA Virtex II, utilizando software de Xilinx ISE 6.2 y Model Technology.

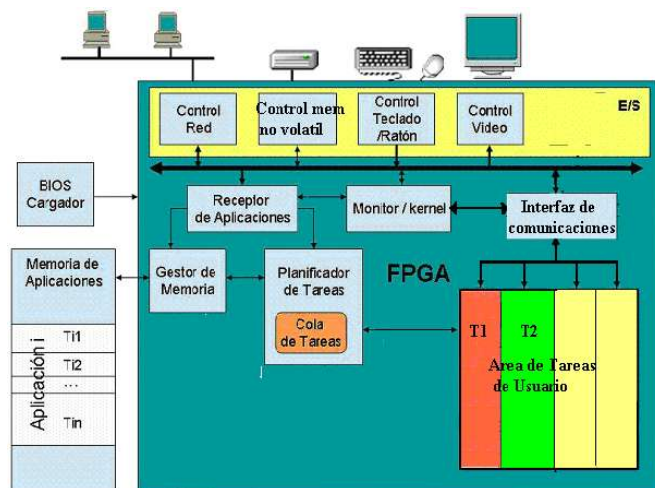
El modelo de sistema propuesto tendría, entre otras, las siguientes características:

El sistema se implementará sobre una FPGA Virtex II, con reconfiguración dinámica y parcial.

Cada tarea podrá ubicarse en la FPGA de forma independiente.

La entrada/salida de las tareas será muy básica, y se realizará a través de un interfaz de comunicaciones que también deberá diseñarse.

El sistema debería tener como componentes principales los que aparecen en la figura:



Cargador de inicio: Módulo que se encarga de cargar en la FPGA los módulos básicos, que permitan el arranque del sistema. Debe incluir, como mínimo, un controlador básico para un dispositivo de almacenamiento local no volátil (tarjeta de memoria), y una lista de módulos iniciales (BIOS).

BIOS: Conjunto de controladores básicos para el subsistema de E/S, básicamente de Teclado/ratón, Vídeo, memoria, y Red. Se proporcionarán ya diseñados. Se carga desde un almacenamiento local no volátil. Incluye también el kernel del sistema operativo, con un monitor capaz de procesar órdenes desde el teclado y visualizar en el display.

Receptor de Aplicaciones: Recibe las aplicaciones desde las dos posibles entradas: el almacenamiento local o la red. El receptor almacena las tareas en memoria local y pasa los datos de la aplicación al Planificador para que tome las decisiones de planificación.

Planificador/cargador de Tareas: Controla las tareas recibidas, y planifica su ejecución y ubicación siguiendo una política tipo FIFO.

Interfaz de comunicaciones: permite el intercambio de datos y control entre las tareas y el kernel del sistema operativo y los distintos controladores de periféricos.

Título del proyecto

Recolector de memoria incremental para sistemas Java de tiempo real.

Profesor:

M^a Teresa Higuera Toledano (mthiguer@dacya.ucm.es)

Localización: Facultad de Informática despacho 310

Resumen del proyecto:

Por sistemas de tiempo real se entiende aquellos programas que se deben ejecutar teniendo en cuenta restricciones de tiempo. Estas restricciones de tiempo forman parte del comportamiento esperado del programa, de manera que el programa no solo debe dar el resultado esperado sino que además debe darlo “a tiempo”. Muchos aspectos de los ordenadores de propósito general tienen que cumplir con restricciones “blandas” de tiempo real, por ejemplo el software que monitoriza las actividades del ratón. La interdependencia entre la semántica funcional y temporal hace que los sistemas de tiempo real sean complejos; especialmente en su mantenimiento. Propiedades del entorno Java como independencia de la plataforma, carga dinámica de clases y recolección automática de espacios de memoria no usados (garbage collection), hacen de este entorno un buen candidato este tipo de sistemas. Sin embargo Java no proporciona facilidades para predecir la ejecución de tareas ni para acotar recursos, ambos necesarios en este tipo de sistemas.

Una fuente importante de indeterminismo en Java es el garbage collector (GC), cuya técnica depende de la implementación de la máquina virtual y que normalmente se ejecuta sin interrupción haciendo de la memoria una sección crítica. Este hecho es claramente incompatible con los sistemas de tiempo real: un GC de tiempo real debe asegurar memoria para los objetos de nueva creación sin interferir con las restricciones de tiempo del sistema.

En este proyecto se estudiará la forma de resolver algunos de los problemas típicos que un GC presenta para los sistemas de tiempo real, concretizándolos sobre la máquina virtual Java:

- El indeterminismo del tiempo de vida de los objetos Java (el método finalize() puede resucitar el objeto que muere).
- La sobrecarga de tiempo introducida al hacer un GC incremental (se ejecutan pequeños trozos del algoritmo GC sin dejar el sistema inestable).
- El problema de inversión de prioridades (clásico en tareas de tiempo real, pero no aplicado al GC).

En este sentido tomamos como partida la especificación para el estándar Java de tiempo real que distingue tres tipos distintos de tareas:

- Baja-prioridad: no plantean problemas al GC (no son de tiempo real).
- Alta-prioridad: no toleran pausas indefinidas debidas al GC (son de tiempo real blando).
- Críticas: no toleran ninguna pausa debida al GC (son de tiempo real duro).

Título del proyecto

Estudio de un recolector de memoria basado en regiones

Profesor:

M^a Teresa Higuera Toledano (mthiguer@dacya.ucm.es)

Localización: Facultad de Informática despacho 310

Resumen del proyecto:

Una de las aportaciones principales del entorno Java es la recolección automática de espacios de memoria no utilizados (garbage collection). Dada la sobrecarga de tiempo y memoria que las técnicas de recolección requieren hacen incompatible su empleo en sistemas de tiempo real. Por otra parte, la recolección implícita de los espacios de memoria no usados permite el desarrollo de programas robustos, ya que el programador se libera de esta tediosa tarea (dispose en Pascal, free en C), concentrando sus esfuerzos en el desarrollo de la aplicación. Un método intermedio y alternativo consiste en agrupar los objetos con un tiempo de vida similar en regiones de memoria que son recolectadas de forma implícita.

En este proyecto se trata de estudiar el comportamiento de las regiones de memoria, definiendo las leyes o reglas que lo gobiernan; como el anidamiento de regiones de vida limitada y la recolección implícita de las mismas. Para ello se integrará esta técnica en la máquina virtual Java, haciéndola compatible con el recolector de memoria que la misma presenta. En este sentido, el heap de la máquina virtual se considera una región de memoria con vida ilimitada. En el modelo general de regiones que se pretende estudiar se plantean tres tipos de regiones:

- **Immortales:** no son recolectadas, la vida de los objetos ubicados en este tipo de regiones acaba cuando la aplicación termina.
- **Heap:** los objetos son recolectados implícitamente por el recolector de la máquina virtual.
- **Scoped:** se recolectan implícitamente, agrupan objetos con tiempo de vida parecido y se pueden anidar.

La problemática que pretende estudiar este proyecto se centra en dos tipos de relaciones:

- las relaciones establecidas entre los objetos del heap y los objetos ubicados en otras regiones (no se puede recolectar un objeto del heap con una referencia externa), y
- las relaciones entre objetos ubicados en regiones con distintos tiempos de vida (no se puede crear una referencia desde un objeto X a otro Y cuyo tiempo de vida es potencialmente menor).

Dadas las ventajas que presenta la recolección automática de memoria y los problemas que plantea su uso en sistemas de tiempo real y el interés que la comunidad de tiempo real tiene en el uso del entorno Java en este tipo de sistemas, el estudio de la gestión de memoria en sistemas Java de tiempo real supone una línea de investigación relevante.

Título del proyecto:

Un Robot Guía para el Museo de Informática García-Santesmases.

Profesor:

José Antonio López Orozco (jalo@dacya.ucm.es)

Localización: Facultad de Informática. Despacho 304.

Resumen del proyecto:

El grupo de Sistemas Informáticos deberá realizar el control y los algoritmos necesarios para la utilización de una plataforma robótica que sirva como guía de museo. Entre las tareas a realizar están:

- 1.- Control y planificación de trayectorias: se deberán construir los programas necesarios para el movimiento del robot. Se debe calcular el movimiento a realizar dependiendo de su posición y a la que se quiere ir, y a continuación se actuará sobre los motores de las ruedas para conseguir ese movimiento.
- 2.- Sistema de localización: se deben realizar algoritmos para localizar al robot dentro del mapa disponible y mediante balizas que se encontrarán situadas en el entorno en posiciones fijas.
- 3.- Sistema de alarma: se deben construir sistemas que verifiquen distintas señales y que informen mediante conexión de red inalámbrica (wireless) del estado del robot y de su posición en todo momento.

La programación de todos los elementos se realizará modularmente en C++ bajo sistema operativo Windows, de modo que se pueda seguir ampliando y reutilizando lo construido en futuros proyectos.

Con estos elementos y el diseño de la plataforma física, en la que colaborarán los participantes y que se realizará en los talleres de la Facultad de CC. Físicas, se dispondrá de un robot básico que será capaz de desplazarse por un entorno para ir de un punto señalado a otro y que informará a una estación remota de todas las incidencias y de su posición. Este es el elemento sobre el que posteriormente se le añadirán más sensores, elementos y posibilidades por lo que es fundamental un diseño y construcción robusto y versátil.

Recursos de laboratorio:

El proyecto se realizará principalmente en los laboratorios que dispone del Dpto. de Arquitectura de Computadores y Automática en la Facultad de CC. Físicas

Asignaturas Relacionadas:

Robótica

Título del proyecto:

Dispositivo de interfaz humana basado en Motion Capture Óptico

Profesor:

José Antonio López Orozco (jalo@dacya.ucm.es)

Alumnos: Olmo del Corral Cano, Silvia Carvajal Romero y Orión García Gallardo

Localización: Facultad de Ciencias Físicas. 2ª planta. Despacho 234

Resumen del proyecto:

El proyecto consiste en la realización de un sistema de captura de movimientos basado en puntos de luz y cámaras, y su utilización como interfaz desde la que un usuario puede interactuar con el ordenador. El proyecto consta de tres etapas:

En la primera fase diseñarán e implementarán los algoritmos necesarios para capturar la localización de puntos de luz en WebCams comunes y la posterior reconstrucción de las coordenadas tridimensionales de estos puntos en tiempo real, para así obtener un ratón 3D multi-puntero que facilite el tratamiento de aplicaciones inherentemente tridimensionales.

En una segunda etapa se intentará enriquecer el API de este dispositivo posibilitando opciones como Reconocimiento de Gestos, o aumentar la eficacia del proceso de reconstrucción 3D basándolo en esqueletos.

Finalmente se desarrollará un número variable de programas demostrativos que utilicen esta tecnología, como por ejemplo: Selector de Color RGB, Simulación de posicionamiento y dirección de una cámara en un universo 3D, ó Driver de Ratón 2D para Windows.

El lenguaje de implementación será C# gracias a su productividad, a la interoperabilidad con C++ para el desarrollo de Drivers, y a la integración con Direct3D y Windows de la plataforma .Net, simplificando el proceso de desarrollo de Servicios de Windows o demos 3D.

Título del proyecto:

Un Robot Guía para el Museo de Informática García-Santesmases.

Profesor:

José M. Mendías Cuadros (mendias@dacya.ucm.es)

Localización: Facultad de Informática. Despacho 304.

Resumen del proyecto:

El grupo de Sistemas Informáticos deberá realizar el control y los algoritmos necesarios para la utilización de una plataforma robótica que sirva como guía de museo. Entre las tareas a realizar están:

- 1.- Control y planificación de trayectorias: se deberán construir los programas necesarios para el movimiento del robot. Se debe calcular el movimiento a realizar dependiendo de su posición y a la que se quiere ir, y a continuación se actuará sobre los motores de las ruedas para conseguir ese movimiento.
- 2.- Sistema de localización: se deben realizar algoritmos para localizar al robot dentro del mapa disponible y mediante balizas que se encontrarán situadas en el entorno en posiciones fijas.
- 3.- Sistema de alarma: se deben construir sistemas que verifiquen distintas señales y que informen mediante conexión de red inalámbrica (wireless) del estado del robot y de su posición en todo momento.

La programación de todos los elementos se realizará modularmente en C++ bajo sistema operativo Windows, de modo que se pueda seguir ampliando y reutilizando lo construido en futuros proyectos.

Con estos elementos y el diseño de la plataforma física, en la que colaborarán los participantes y que se realizará en los talleres de la Facultad de CC. Físicas, se dispondrá de un robot básico que será capaz de desplazarse por un entorno para ir de un punto señalado a otro y que informará a una estación remota de todas las incidencias y de su posición. Este es el elemento sobre el que posteriormente se le añadirán más sensores, elementos y posibilidades por lo que es fundamental un diseño y construcción robusto y versátil.

Recursos de laboratorio:

El proyecto se realizará principalmente en los laboratorios que dispone del Dpto. de Arquitectura de Computadores y Automática en la Facultad de CC. Físicas

Asignaturas Relacionadas:

Robótica

Título del proyecto:

Diseño y fabricación de una placa didáctica basada en FPGAs para el desarrollo de sistemas digitales

Profesor:

José M. Mendías Cuadros (mendias@dacya.ucm.es)

Localización: Facultad de Informática. Despacho 304.

Resumen del proyecto:

En este proyecto se realizará el diseño, fabricación y evaluación de uno o varios prototipos de placas de desarrollo de sistemas digitales basadas en FPGAs, con objeto de reemplazar las que en la actualidad se usan en el Laboratorio de Tecnología de Computadores.

Los alumnos, en base a unas especificaciones de funcionalidad y a sus propias experiencias en LTC, realizarán todas las fases del desarrollo del prototipo: diseño, fabricación del circuito impreso, montaje, desarrollo del software de programación y testeo así como la evaluación del prototipo. Una vez evaluado favorablemente el prototipo se realizarán su rediseño de manera que sea posible su posterior fabricación masiva.

Recursos de laboratorio:

El proyecto se realizará en los laboratorios de sistemas digitales y de fabricación de circuitos impresos que dispone del Dpto. de Arquitectura de Computadores y Automática en la Facultad de Informática

Asignaturas Relacionadas:

- Tecnología de Computadores / Ampliación de Tecnología de Computadores
- Laboratorio de Tecnología de Computadores
- Laboratorio de Estructura de Computadores
- Diseño Automático de Sistemas

Título del proyecto:

Estudio comparado de Arquitecturas GALS-SMT (Globalmente Asíncronos Localmente Síncronos- Simultaneous Multithreading)

Profesor:

Juan Lanchares Dávila (julanda@dacya.ucm.es)

Localización: Facultad de Informática, 3ª planta, despacho nº 342

Resumen del proyecto:

Una solución que aparece frente al problema de la sincronización del reloj en circuitos con gran número de transistores, es el diseño con múltiples dominios de reloj. Esta solución se conoce con el nombre de globalmente asíncrono, localmente síncrono (GALS). Los sistemas GALS contienen varios bloques síncronos independientes que funcionan con relojes locales y se comunican asíncronamente unos con otros. La principal característica de estos circuitos es la ausencia de una referencia global de tiempos y el uso de distintos relojes locales -o dominios de reloj- funcionando posiblemente a distintas frecuencias [1].

De los trabajos realizados en esta área [1,2,3,4] podemos concluir que el hecho de jugar con diferentes dominios de reloj deja abierto un gran campo de investigación para la optimización de diseños tanto desde el punto de vista del rendimiento como desde el punto de vista del consumo de potencia. Un parámetro importante de este planteamiento es el número de dominios de reloj en los que se divide la arquitectura y que recursos se incluyen en dichos dominios de reloj.

Por otra parte, el planteamiento Simultaneous Multithreading consiste en aprovechar tanto el paralelismo a nivel de Instrucción así como el paralelismo a nivel de thread para mejorar el rendimiento global. Para ello se multiplican ciertos recursos claves de la arquitectura.

Utilizando como base la herramienta sim-outorder de Simple Scalar, se ha desarrollado un simulador para una arquitectura GALS-SMT, con el fin de estudiar su comportamiento y de mejorar su rendimiento y consumo de potencia aplicando diferentes técnicas.

El objetivo de este proyecto es el estudio comparando de esta arquitectura utilizando como parámetro el número de dominios de reloj. A partir de los trabajos realizados con anterioridad de arquitecturas GALS se estudiara el comportamiento de arquitecturas GALS-SMT con distintos dominios de reloj, realizando simulaciones con la herramienta sim-outorder para GALS-SMT.

Asignaturas Relacionadas:

Estructura de Computadores

Arquitectura e Ingeniería de computadores

Bibliografía básica:

- [1] Anoop Iyer and Diana Marculescu. Power and Performance Evaluation of Globally Asynchronous Locally Synchronous Processors. In Proc. 29th International Symposium on Computer Architecture. IEEE Computer Society, 2002.
- [2] Saisanthosh Balakrishnan and Gurindar S. Sohi. Exploiting Value Locality in Physical Register Files. Proc. of the 36th International Symposium on Microarchitecture, 2003.
- [3] G.Semearo, D.H. Albonesi, G. Magklis, M.L. Scott, S.G. Dropsho, and S. Dwarkadas. Hiding Synchronization Delays in GALS Processor Microarchitecture. 10th International Symposium on Asynchronous Circuits and Systems, 2004.
- [4] G.Semearo, D.H. Albonesi, G. Magklis, S.G. Dropsho and M.L. Scott. Improving Application Performance by dynamically Balancing Speed and Complexity in a GALS Microprocessor. WASP 2003.

Título del proyecto:

Emulación del interfaz de llamadas al sistema de LINUX sobre arquitectura PowerPC.

Profesor:

Luis Piñuel Moreno (lpinuel@dacya.ucm.es)

Localización: Facultad de CC Físicas. 2ª planta. Despacho 230.

Resumen del proyecto:

A excepción de los computadores personales, dónde a raíz del cambio de rumbo de Apple ha quedado sin representación, la arquitectura PowerPC (PPC) es una de las más pujantes en todos los ámbitos:

- 1- Sistemas empotrados de alto rendimiento. Ej: familias de procesadores MPC5xxx, MPC6xxx, MPC7xxx, MPC8xxx y PowerQUICC de Freescale.
- 2- Consolas de video juegos. Ej: Microsoft XBOX-360 y Sony PlayStation 3 (procesador Cell de IBM).
- 3- Grandes servidores. Ej: familia Power5 de IBM
- 4- Supercomputadores. Ej: 3 de los 5 primeros supercomputadores del Top500 llevan procesadores basados en la arquitectura PowerPC, entre ellos el Marenostrum de Barcelona.

Teniendo en cuenta que el sistema operativo más empleado en muchos de estos ámbitos es LINUX, resulta por lo tanto de máximo interés disponer de una herramienta de simulación arquitectónica que permita ejecutar programas LINUX-PPC reales y poder evaluar su rendimiento (o incluso consumo y temperatura) antes de disponer del procesador/sistema concreto.

El objetivo del proyecto consiste en dotar a un simulador PowerPC existente de la capacidad de ejecutar programas LINUX-PPC reales, enlazados estáticamente. Para ello es necesario llevar a cabo una emulación del interfaz de llamadas al sistema sobre otro tipo de plataforma distinta a la simulada. El desarrollo del proyecto se hará de manera incremental y el resultado final debe ser capaz de ejecutar un conjunto de programas reales suficientemente representativo.

Bibliografía básica:

<http://www.freescale.org/>

<http://www.xbox.com/>

<http://ps3dev.info/>

<http://www.power.org/>

<http://www-03.ibm.com/chips/power/powerpc/>

<http://www.top500.org/>

<http://www.simplescalar.com/v4test.html>

Título del proyecto:

Implementación y evaluación de un repertorio de instrucciones multimedia.

Profesor:

Luis Piñuel Moreno (lpinuel@dacya.ucm.es)

Localización: Facultad de CC Físicas. 2ª planta. Despacho 230.

Resumen del proyecto:

A lo largo de los últimos años, los programas multimedia y de comunicaciones han ido adquiriendo cada vez más importancia, tanto el mercado de PCs como en el de la electrónica de consumo. Los principales fabricantes, conscientes de esta tendencia, han ido incorporando a sus procesadores nuevas instrucciones de tipo SIMD para acelerar este tipo de programas: MMX, 3DNow, SSE, ALTIVEC, etc.

El objetivo del proyecto es implementar un subconjunto de estas instrucciones y evaluar como influye dicha implementación en el rendimiento, utilizando para ello un conjunto de programa multimedia reales (MiBench, EEMBC, etc.).

El desarrollo del proyecto se llevará a cabo sobre un simulador de PowerPC (IBM/Freescale), al que se le irán añadiendo instrucciones del conjunto ALTIVEC. Opcionalmente, se contempla la posibilidad de modificar el repertorio de instrucciones y/o el compilador GCC (solo la parte de generación de código).

Bibliografía básica:

<http://www.simplescalar.com/v4test.html>

<http://www-03.ibm.com/chips/power/powerpc/>

<http://www.freescale.com/webapp/sps/site/homepage.jsp?nodeId=0162468rH3bTdG>

<http://www.simdtech.org/> .

Título del proyecto:

Optimización de aplicaciones en arquitecturas DSP

Profesor:

Luis Piñuel Moreno (lpinuel@dacya.ucm.es)

Localización: Facultad de CC Físicas. 2ª planta. Despacho 230.

Resumen del proyecto:

La electrónica de consumo es uno de los mercados con mayor proyección de futuro, sin embargo supone también grandes desafíos, tanto para los diseñadores de HW como para los programadores. Las restricciones de coste, consumo de energía o temperatura son mucho más críticas que en otros ámbitos y la demanda de rendimiento es cada vez mayor. En este contexto, por lo tanto, resulta de máximo interés aprovechar de manera eficiente los recursos HW disponibles. El presente proyecto consiste en el estudio y optimización de ciertas aplicaciones típicas (compresión/descompresión de video, audio, etc) para una plataforma comercial concreta.

Asignaturas relacionadas:

- Arquitectura e Ingeniería de Computadores
- Arquitecturas Especializadas

Recursos de laboratorio:

El proyecto se realizará en el laboratorio de investigación 229 y los alumnos dispondrán de un kit de desarrollo de Texas Instruments para el desarrollo el mismo.

Bibliografía básica:

<http://dspvillage.ti.com/>
<http://focus.ti.com/docs/toolsw/folders/print/tmdsdsk6713.html>

Título del proyecto:

Estudio de técnicas para multitarea HW sobre FPGAs Tridimensionales (FPGA-3D)

Profesor:

Julio Septién del Castillo (jseptien@dacya.ucm.es)

Localización: Facultad de Informática, despacho 335

Resumen del proyecto:

El objetivo de este proyecto consiste en analizar los modelos de FPGAs tridimensionales propuestos en la literatura a lo largo de los últimos años, estudiar las posibles ventajas de este tipo de arquitecturas con respecto a las arquitecturas tradicionales en 1 y 2 dimensiones. Seguidamente se diseñará e implementará una herramienta de visualización y control que permita simular la gestión de una FPGA tridimensional con reconfiguración parcial, que permitirá la ejecución simultánea de múltiples tareas HW 3D.

Más concretamente, se acometerán los siguientes subproblemas:

- Se utilizará un modelo de arquitectura FPGA-3D ya propuesto a nivel académico, que se habrá analizado previamente con cierto detalle.
- Se propondrá un modelo de tarea HW tridimensional, partiendo de la hipótesis de que ya existen herramientas de diseño que generan este tipo de circuitos sobre modelos de FPGA-3D (ya existen a nivel académico).
- Se programará un entorno de gestión que admita la entrada de tareas HW 3D, capaces de cargarse y ejecutarse sobre el modelo de FPGA-3D, que realice una planificación sencilla de las tareas (decida cuándo van a ejecutarse) y les asigne una ubicación para su ejecución dentro del volumen de la FPGA-3D.
- Se diseñará una utilidad de visualización que permita seguir de forma gráfica la ejecución de las tareas sobre la FPGA-3D.
- Se estudiará la repercusión del problema de la fragmentación del volumen disponible, a medida que las tareas finalizan su ejecución, y se considerará la posibilidad de aplicar técnicas de defragmentación.

En resumen, el trabajo consistirá en el estudio de una literatura relacionada, y en un trabajo de diseño y programación de una aplicación con la funcionalidad requerida en lenguaje C. No se utilizarán FPGAs reales ni herramientas de diseño hardware comerciales. Este trabajo podrá desarrollarse en un PC con entorno Windows, en un Laboratorio de investigación de la Facultad o por cuenta de los alumnos. El control de la evolución del trabajo se realizará mediante reuniones semanales con el profesor.

Título del proyecto:

Máquina virtual de Java multi-aplicación

Profesor:

Katzalin Olcoz Herrero (katzalin@dacya.ucm.es)

Localización: Facultad de Informática, despacho 338

Resumen del proyecto:

El proyecto consiste en modificar una máquina virtual de Java, denominada Jikes, para que una misma máquina virtual pueda ejecutar varias aplicaciones.

Dado que Jikes está escrito en Java, para ello se necesita programar en Java.

Bibliografía básica:

<http://www-128.ibm.com/developerworks/java/library/j-jalapeno>

Título del proyecto:

Máquina virtual de Java multi-aplicación

Profesor:

Katzalin Olcoz Herrero (katzalin@dacya.ucm.es)

Localización: Facultad de Informática, despacho 338

Resumen del proyecto:

El proyecto consiste en modificar una máquina virtual de Java, denominada Jikes, para que una misma máquina virtual pueda ejecutar varias aplicaciones.

Dado que Jikes está escrito en Java, para ello se necesita programar en Java.

Bibliografía básica:

<http://www-128.ibm.com/developerworks/java/library/j-jalapeno>

Título del proyecto:

Estudio y diseño con hardware reconfigurable de un sistema de análisis citológico.

Profesor:

Daniel Mozos Muñoz (mozos@dacya.ucm.es)

Localización: Facultad de Informática, despacho 336

Resumen del proyecto:

El objetivo fundamental de este proyecto es el estudio y diseño en hardware reconfigurable de un sistema completo de análisis de datos citológicos. Este tipo de análisis se basa en comparar ciertos parámetros característicos de las células sanguíneas para un gran conjunto de ellas. Por medio de estos agrupamientos se pueden detectar clusters de células con parámetros similares, lo que permite al especialista detectar anomalías en el paciente.

Este proceso se ha realizado tradicionalmente de un modo manual, aunque ayudado por un computador. La automatización mediante software no presenta problemas difíciles de resolver, pero el tiempo requerido para obtener los resultados es demasiado grande. Por ello y dado el carácter intrínsecamente paralelo que presenta el problema, pensamos que el construir hardware específico para su resolución dará muy buenos resultados.

La plataforma de trabajo sobre la que se realizará el proyecto será un PC estándar al que se le conectará una placa de prototipado hardware basada en FPGAs.

Las fases del proyecto serán:

- 1.- Estudio de la placa de prototipado D-V2000-MLTA de Xilinx.
- 2.- Diseño en VHDL y simulación del prototipo básico del algoritmo de comparación citológico.
- 3.- Estudio de la escalabilidad del sistema. Para que un diseño hardware sea interesante debe ser fácilmente adaptable frente a las variaciones del tamaño de los datos de entrada. Por ello, en el proyecto se quiere incluir un estudio de cuál es el tamaño ideal de la FPGA para diferentes tamaños del archivo de datos citológicos a comparar.
- 4.- Estudio del tamaño óptimo de la memoria interna de la FPGA para aprovechar la localidad temporal de los datos que se van a analizar.

Título del proyecto:

Simulador del Motorola 68000

Profesor:

Daniel Mozos Muñoz (mozos@dacya.ucm.es)

Alumnos: Raul Alonso Sáez, Rui Miguel Alonso da Crux y David Bordas González

Localización: Facultad de Informática, despacho 336

Resumen del proyecto:

Título del proyecto:

Estudio y diseño con hardware reconfigurable de un sistema de análisis citológico.

Profesor:

Daniel Mozos Muñoz (mozos@dacya.ucm.es)

Localización: Facultad de Informática, despacho 336

Resumen del proyecto:

El objetivo fundamental de este proyecto es el estudio y diseño en hardware reconfigurable de un sistema completo de análisis de datos citológicos. Este tipo de análisis se basa en comparar ciertos parámetros característicos de las células sanguíneas para un gran conjunto de ellas. Por medio de estos agrupamientos se pueden detectar clusters de células con parámetros similares, lo que permite al especialista detectar anomalías en el paciente.

Este proceso se ha realizado tradicionalmente de un modo manual, aunque ayudado por un computador. La automatización mediante software no presenta problemas difíciles de resolver, pero el tiempo requerido para obtener los resultados es demasiado grande. Por ello y dado el carácter intrínsecamente paralelo que presenta el problema, pensamos que el construir hardware específico para su resolución dará muy buenos resultados.

La plataforma de trabajo sobre la que se realizará el proyecto será un PC estándar al que se le conectará una placa de prototipado hardware basada en FPGAs.

Las fases del proyecto serán:

- 1.- Estudio de la placa de prototipado D-V2000-MLTA de Xilinx.
- 2.- Diseño en VHDL y simulación del prototipo básico del algoritmo de comparación citológico.
- 3.- Estudio de la escalabilidad del sistema. Para que un diseño hardware sea interesante debe ser fácilmente adaptable frente a las variaciones del tamaño de los datos de entrada. Por ello, en el proyecto se quiere incluir un estudio de cuál es el tamaño ideal de la FPGA para diferentes tamaños del archivo de datos citológicos a comparar.
- 4.- Estudio del tamaño óptimo de la memoria interna de la FPGA para aprovechar la localidad temporal de los datos que se van a analizar.

Título del proyecto:

Desarrollo de un simulador DEVS.

Profesor:

Jesús Manuel de la Cruz García (jmcruz@dacya.ucm.es)

Localización: Facultad de Físicas. 2ª planta. Despacho 222

Resumen del proyecto:

El modelado y la simulación están reconocidos como las herramientas centrales con la cual experimentar en sistemas complejos. Dentro de este campo el formalismo DEVS desarrollado por el profesor Zeigler da una caracterización de los sistemas de eventos discretos que ha conocido una amplia difusión en los últimos años, debido a que permite integrar los sistemas dinámicos, continuos y discretos, y los sistemas de eventos discretos.

El proyecto tiene como objetivo desarrollar un simulador basado en la metodología DEVS y aplicarlo en serie de ejemplos. También se hará una implementación en forma de agentes.

Recursos de laboratorio:

El trabajo se hará en Java y podrá desarrollarse en cualquier tipo de plataforma.

Título del proyecto:

Estudio de una jerarquía de memoria controlada por software en sistemas empotrados

Profesor:

José Ignacio Gómez Pérez (jigomez@dacya.ucm.es)

Localización: Facultad de Físicas. 2ª planta. Despacho 225

Resumen del proyecto:

Los sistemas empotrados representan un gran porcentaje de las ventas en el mercado de dispositivos electrónicos. Cada vez con mayor asiduidad, dichos sistemas empotrados incorporan procesadores de propósito general y bajo rendimiento (ARM6...). Sin embargo, las aplicaciones incluidas en los sistemas modernos, son cada vez más exigentes: aplicaciones multimedia o wireless, hacen uso intensivo del procesador, especialmente del subsistema de memoria.

Para conseguir un rendimiento adecuado manteniendo un consumo de potencia bajo (requerimiento habitual en plataformas portátiles), se ha propuesto el uso de memorias estáticas controladas por software (scratch-pad), en lugar de las tradicionales memorias “cache” controlados por hardware.

El presente proyecto pretende explorar las posibilidades de dichas jerarquías de memorias para un conjunto de aplicaciones representativas.

Objetivos del Proyecto.

1. Incorporación de una jerarquía de memorias SRAM (scratch-pad) al simulador arquitectónico SimpleScalar
2. Adaptación del modelo de consumo Wattch al simulador arquitectónico
3. Adaptación de la etapa de enlazado de binarios para asignar estructuras de datos a cada scratch-pad
4. Incorporación de un controlador DMA al simulador SimpleScalar
5. Estudio experimental con varios programas de prueba y diferentes jerarquías de memoria (cache, scratch-pads, mixta)

Asignaturas relacionadas:

- Arquitectura de Computadores
- Estructura de Computadores

Título del proyecto:

Desarrollo de una plataforma de análisis de datos en bioinformática basada en servicios web

Profesor:

Alberto Pascual Montano (pascual@fis.ucm.es)

Alumnos: Manuel Domingo Mora Martínez, Jesús Patiño Gómez y Gerardo Hernández Campos

Localización: Facultad de Físicas. 2ª planta. Despacho 233C

Resumen del proyecto:

En la actualidad las aplicaciones bioinformáticas disponibles adolecen de un problema: la falta de compatibilidad entre ellas. Esto repercute en la colaboración y cooperación de distintos grupos de investigación en la solución de problemas biológicos importantes.

Una solución a este problema es proporcionada por los servicios web (web services). Estos servicios ofrecen una capa de abstracción a alto nivel que ocultaría los detalles de implementación de las aplicaciones y métodos de análisis que cada grupo de investigación produzca. De esta manera se puede implementar una plataforma de análisis de datos “unificada” a la vez que el acceso e interfaz a la misma sea lo más simple y transparente posible.

El proyecto que proponemos consiste en la creación de una plataforma de análisis de datos basada en servicios web, que permite su uso entre distintas aplicaciones bioinformáticas. En particular, y debido al elevado trabajo que conllevaría la elaboración de los programas para el análisis y exploración de datos, se propone integrar parte de los métodos contenidos en el paquete Engene, el cual contiene una colección de programas enfocados al análisis y exploración de datos de expresión génica. Este software es de dominio público y es accesible en la siguiente dirección <http://www.engene.cnb.uam.es>.

Título del proyecto:

Desarrollo de una plataforma de análisis de datos en bioinformática basada en Matlab

Profesor:

Alberto Pascual Montano (pascual@fis.ucm.es)

Localización: Facultad de Físicas. 2ª planta. Despacho 233C

Resumen del proyecto:

La bioinformática y la biología computacional son disciplinas que se ha desarrollado de forma paralela a la acumulación de la información experimental en Biología para tratar de almacenar y analizar esta dispersa información existente. Los avances de la bioinformática han sido mayores a medida que se han ido acumulando grandes volúmenes de información obtenidos por nuevas tecnologías, pero, paralelamente, también ha crecido en complejidad la tarea de procesar, analizar y almacenar toda esta información, lo cual supone un cuello de botella en las tareas de investigación, ya que el ritmo de producción de datos es mucho mayor que la funcionalidad de las técnicas de análisis existentes. Esto ha creado la necesidad inmediata de desarrollos en campos de tecnología de la información orientados a la creación de herramientas eficientes especializadas para el análisis y comprensión de datos biológicos.

El proyecto que se propone consiste precisamente en la creación de una plataforma de análisis de datos basada en Matlab, en forma de “toolbox” que contenga un conjunto de aplicaciones básicas de análisis y visualización de datos, en particular de datos de expresión génica. Este paquete de programas será integrado en un toolbox ya existente de Bioinformática (<http://www.mathworks.com/products/bioinfo/>), agregando un conjunto de métodos y algoritmos no existentes en el mismo. Para simplificar la tarea de integración, se propone utilizar parte de los métodos contenidos en el paquete Engene, el cual contiene una colección de programas enfocados al análisis y exploración de datos de expresión génica. Este software es de dominio público y es accesible en la siguiente dirección <http://www.engene.cnb.uam.es>

Título del proyecto:

Calidad de Servicio en Procesadores con Multithreading Simultaneo (SMT)

Profesor:

Manuel Prieto Matías (mpmatias@dacya.ucm.es)

Alumnos: Juan Carlos Sáez Alcalde, Alejandro Alonso Fernández y Noelia Morón Tabernero

Localización: Facultad de Físicas. 2ª planta. Despacho 230

Resumen del proyecto:

Recientemente se ha dotado al kernel de Linux de soporte para procesadores con multithreading simultáneo (SMT). A nivel del sistema operativo, los procesadores que incorporan esta tecnología son tratados como dos procesadores lógicos independientes. No obstante, al compartir ciertos elementos hardware la asignación de procesos a procesadores lógicos debe hacerse con cautela, ya que puede afectar negativamente a la calidad del servicio (temperatura, plazos en procesos con requisitos de tiempo real, ...) e incluso al rendimiento global (productividad) del sistema. El objetivo de este proyecto es desarrollar nuevas estrategias en las políticas de planificación orientadas a la mejora en la calidad del servicio. Para ello se desarrollara un planificador simbiótico, en el que se tenga en cuenta las características de los procesos (recompiladas en tiempo de compilación o tras un profiling del proceso) y el comportamiento de ciertos recursos hardware (jerarquía de memoria, predicción de saltos, ...).

Título del proyecto:

Establecimiento externo de límites de procesos en Linux

Profesor:

Manuel Prieto Matías (mpmatias@dacya.ucm.es)

Alumnos: Ibón Cano Sanz, Bálder Carraté Martínez y Manuel Rodríguez Pascual

Localización: Facultad de Físicas. 2ª planta. Despacho 230

Resumen del proyecto:

Este proyecto está inspirado en uno propuesto por Fedora Project para el “Summer of Code” de Google. En Linux los límites de los procesos sólo pueden establecerse desde el interior del propio proceso o heredándose del proceso padre. En determinadas circunstancias podría resultar deseable tener la capacidad de modificar estos límites desde fuera del proceso. La implementación de esta funcionalidad implicaría la modificación del kernel en las estructuras de los procesos que almacenan la información de los límites y aquellas partes del código relacionadas con ellos. Para esto es fundamental adquirir un conocimiento y comprensión profunda del código del kernel. Una vez implementada la posibilidad de modificación desde el exterior, ésta se proporcionaría a través de una interfaz en el pseudo-sistema de ficheros /proc para cada proceso y que utilizarían las aplicaciones de usuario. Con ésta funcionalidad implementada y el conocimiento adquirido, a continuación se podrían añadir nuevos límites en los procesos como para, por ejemplo, establecer límites sobre recursos compartidos en sistemas multiprocesador.

Título del proyecto:

Simulación del sistema de memoria con PIN

Profesor:

Manuel Prieto Matías (mpmatias@dacya.ucm.es)

Alumnos: Rubén Nogales Cadenas, José Carlos Silva Cuevas y Sergio Carazo Alba

Localización: Facultad de Físicas. 2ª planta. Despacho 230

Resumen del proyecto:

PIN [1] es una herramienta desarrollada por Intel para la instrumentación de código en arquitecturas x86, x8664, Itanium y Xscale. A diferencia de otras herramientas tradicionales como ATOM, en los que se modificaba de forma estática los ejecutables, PIN realiza la instrumentación de forma dinámica, posibilitando de esta forma el análisis de librerías dinámicas.

El objetivo que nos planteamos en este proyecto es la simulación de diferentes componentes del sistema de memoria (caches de datos multinivel, scratchpads, buffers de escritura...), utilizando PIN para capturar las instrucciones de acceso a memoria.

Entre las ventajas más importantes que presentaría este simulador respecto a otros simuladores tradicionales como DINERO [2] podemos mencionar un menor tiempo de simulación, ya que no es necesario la costosa generación y procesamiento de trazas y la posibilidad de tratar librerías dinámicas. Para validar los resultados se utilizará DINERO IV y los contadores hardware del Intel Pentium 4.

Bibliografía:

[1] Pin: A Dynamic Binary Instrumentation Tool. Información disponible en:
<http://rogue.colorado.edu/Pin/index.html>

[2] Dinero IV Trace Driven Uniprocessor Cache Simulator. Información disponible en:
<http://www.cs.wisc.edu/~markhill/DineroIV/>

Título del proyecto:

La comunicación y el aprendizaje de sistemas multiagentes

Profesor:

Matilde Santos Peñas (msantos@dacya.ucm.es)

Localización: Facultad de Informática. 3ª planta. Despacho 338

Resumen del proyecto:

El proyecto que proponemos consiste en “La comunicación y el aprendizaje de sistemas multiagentes”. Con agentes nos referimos a una entidad abstracta, dotada de un comportamiento definido dado por las especificaciones de acciones que al agente le está permitido hacer, que le está prohibido hacer, que está obligado a hacer y por último que es lo que hace dado los estados posibles del entorno.

Representan algo genérico (robots, aviones, jugadores...) a los que otorgaremos la capacidad de aprender dependiendo de diversos factores, como las circunstancias que les rodean, y la posibilidad de que se comuniquen entre si.

Es decir, los agentes se comunican entre sí y toman decisiones en base a su información propia y a la que tienen de los otros agentes.

Con ello pretendemos obtener un resultado y un comportamiento inteligente lo más cercano a la realidad y lo más óptimo posible.

Se hará una aplicación a la simulación de sistemas interactivos en pseudo tiempo real.

Inicialmente estudiaremos la mejor manera de implementar nuestro sistema (software, arquitectura, estrategias de comportamiento, aprendizaje, etc.), evaluando los pros y los contras de cada una de ellas; finalmente elegiremos una que trataremos de defender y en base a ella construiremos nuestro sistema.

Una posible aplicación podría ser un juego de aviones, en el cual hay equipos de aviones que se enfrentan entre si. Cada miembro del equipo aplicará una estrategia en función de la posición de sus compañeros, la posición de sus enemigos, las estrategias de sus compañeros y de su experiencia anterior (aprendizaje), y actuará en consecuencia. La evolución de esta aplicación nos hará observar un comportamiento inteligente y un aprendizaje.

O por ejemplo un sistema de agentes robots que recorren un laberinto con distintos focos de energía, obstáculos, etc., y que tienen que conseguir un objetivo. Se pueden introducir distintos grados de dificultad en el recorrido.

Para llevar a cabo este sistema nos basaremos en un proyecto realizado el curso pasado, daremos especial importancia a las partes de aprendizaje y comunicación entre agentes.

LOS PROYECTOS QUE FALTAN HASTA LOS 38 ESTÁN POR ASIGNAR.