



PROBLEMAS DE ESTRUCTURA DE COMPUTADORES MÓDULO 2

- 1.- Un computador con una memoria cuyo ancho de palabra es 32 bits y direccionable por byte, presenta los siguientes contenidos en registro y memoria:

REGISTROS → R1:100, R2:2

MEMORIA →

Dirección: 99, 100, 101, 102, 199, 200, 201, 202

Contenido: 104, 108, 106, 107, 100, 34, 96, 201

Si el contenido del campo desplazamiento/inmediato de la instrucción en ejecución es 99. ¿Cuál será el valor del operando (de tamaño byte) con los siguientes modos de direccionamiento?

- a) Directo de memoria o absoluto (dirección = desplazamiento)
- b) Directo de registro con R1
- c) Indirecto de registro con R1
- d) Indirecto con desplazamiento relativo a registro base R1
- e) Indirecto con desplazamiento relativo a registro base R2
- f) Indirecto con desplazamiento (con registro base R1 e indexado con R2)
- g) Indirecto con registro R1 predecrementado

- 2.- [Hennessy 5ª ed., A.18a] Tenemos cuatro máquinas con arquitecturas del repertorio de instrucciones diferentes:

- **Acumulador:** Todas las operaciones ocurren entre un registro acumulador y una ubicación en memoria
- **Memoria-Memoria:** Todas las operaciones referencian sólo operandos en memoria
- **Pila:** Todas las operaciones ocurren en la cima de la pila. PUSH y POP son las únicas instrucciones que acceden a memoria. El resto de las operaciones borran sus operandos de la cima y los reemplazan por el resultado. La pila es hardware, lo que simplifica enormemente el diseño del procesador.
- **Load-Store:** Todas las operaciones ocurren en registros y las instrucciones tipo Registro-Registro tienen tres operandos en la instrucción

Para evaluar la eficiencia en memoria de las cuatro arquitecturas, asumir que en cada una:

- Las instrucciones son de longitud fija
- El código de operación es de 1 byte
- Los accesos a memoria usan direccionamiento directo (o absoluto)
- Las variables A, B, C y D se encuentran inicialmente en memoria

Se pide: Inventar un lenguaje ensamblador para cada arquitectura de forma que se puedan realizar las siguientes operaciones:

$$A=B+C$$

$$B=A+C$$

$$D=A-B$$

Escribir los programas que implementan las operaciones anteriores y analizar el espacio que ocupan sendos programas en memoria.

- 3.- Comparar las máquinas de cero, uno, dos y tres operandos, escribiendo programas que calculen $X=(A+B*C)/(D-E*F)$ para cada una de las cuatro máquinas. Las instrucciones de que se disponen:

0 Operandos	1 Operando	2 Operandos	3 Operandos
PUSH M	LOAD M	MOVE Z,Y (Z=Y)	MOVE X,Y (X=Y)
POP M	STORE M	ADD X,Y (X=X+Y)	ADD X,Y,Z (X=Y+Z)
ADD	ADD M	SUB X,Y (X=X-Y)	SUB X,Y,Z (X=Y-Z)
SUB	SUB M	MUL X,Y (X=X*Y)	MUL X,Y,Z (X=Y*Z)
MUL	MUL M	DIV X,Y (X=X/Y)	DIV X,Y,Z (X=Y/Z)
DIV	DIV M		

- 4.- Un computador tiene las siguientes características:

- Una memoria M
- Un acumulador A
- Un registro de estado de un solo bit: el bit N
- Tres instrucciones de longitud fija y direccionamiento directo:
 - o STA D : $M[D] \leftarrow [A]$
 - o SUB D : $[A] \leftarrow [A] - M[D]$
 - o JNB D : IF N=1 THEN $[PC] \leftarrow D$ ELSE $[PC] \leftarrow [PC] + 1$

Codificar tres programas que realicen las siguientes funciones:

- Carga del acumulador con el contenido de la posición de memoria X.
- Suma del contenido de la posición de memoria X al contenido del acumulador.
- Implementación de un salto incondicional a la posición Y.

- 5.- Codificar con instrucciones SIMD del Pentium (MMX) el siguiente segmento de programa:

```

for i = 0 to 3
  if a[i] = p then
    s[i] = (a[i] - c[i])/2
  else if a[i] = q then
    s[i] = 4*c[i]
  else
    s[i] = s[i]*c[i]

```

- 6.- [Hennessy 5ªed., A.8] Considerar las siguientes arquitecturas:

- Procesador con una longitud de instrucción de 12 bits, 32 registros de propósito general, donde el operando está siempre en registro. ¿Es posible codificar el siguiente repertorio?
 - 3 instrucciones de 2 operandos
 - 30 instrucciones de 1 operando
 - 45 instrucciones de 0 operandos
- Siguiendo el mismo caso anterior, determinar si es posible tener
 - 3 instrucciones de 2 operandos
 - 31 instrucciones de 1 operando
 - 35 instrucciones de 0 operandos
- Considerar ahora el mismo procesador, pero donde hay que definir 3 instrucciones de 2 operandos y 24 instrucciones de 0 operandos. ¿Cuál es el máximo número de instrucciones de 1 operando que se pueden tener?

- 7.- Sea un computador con un ancho de instrucción de 36 bits y 8 registros de propósito general. Diseñar el siguiente repertorio de instrucciones, con código variable:
- 7 instrucciones de 3 operandos, dos de ellos con direccionamiento absoluto (directo a memoria) y el otro con direccionamiento directo a registro
 - 500 instrucciones de 2 operandos, uno de ellos con direccionamiento absoluto y el otro con direccionamiento directo a registro
 - 50 instrucciones sin operando
- 8.- Un computador tiene instrucciones de longitud fija de 11 bits con campo de operando de 4 bits. ¿Es posible codificar en este formato 5 instrucciones de 2 operandos, 45 instrucciones de 1 operando y 32 instrucciones sin operando?
- 9.- Un computador tiene las siguientes características:
- longitud de palabra 16 bits (instrucciones, memoria y registros)
 - 8 registros generales
 - 14 instrucciones de referencia a memoria (1 operando en memoria) con direccionamiento directo e indirecto.
 - 31 instrucciones con 2 operandos direccionables por registro directo e indirecto.
 - 32 instrucciones sin operando explícito.
- a) Especificar la codificación de las instrucciones
- b) Proponer una estructura para el decodificador de instrucciones
- c) Especificar la zona de memoria accesible con cada tipo de direccionamiento y rango posible de valores de los operandos
- 10.- En una arquitectura de 32 bits (de dirección y de palabra) con 64 registros, las instrucciones de dos operandos tiene el siguiente formato:

CO (8)	Operando 1 (7)	Operando 2 (17)
--------	----------------	-----------------

Donde el campo del operando 2 admiten tres tipos de direccionamiento: directo a memoria, inmediato y direccionamiento con desplazamiento relativo a registro base, ¿cuál es el rango del desplazamiento?

- 11.- Sea un computador con 32 registros y tamaño de instrucciones de 16 bits, donde se han utilizado 4 bits para codificar 15 instrucciones de dos operandos que admiten direccionamiento con acceso directo e indirecto registro. Se quieren añadir instrucciones de un operando con direccionamiento absoluto (directo a memoria) que permita acceder al siguiente rango de memoria [0, 1023]. ¿Cuántas instrucciones se pueden añadir?
- 12.- Sea un computador con 8 registros y tamaño de instrucciones de 16 bits, El repertorio de instrucciones tiene 31 instrucciones de un operando con direccionamiento absoluto (directo a memoria) que permite acceder a un rango de 2KBytes de memoria. Se quieren añadir instrucciones de dos operandos que admitan direccionamiento directo e indirecto registro. ¿Cuántas instrucciones se pueden añadir?

13.- Un computador tiene un rendimiento de 3 MFLOPS normalizados al ejecutar una determinada tarea con cálculo intensivo en coma flotante. Si la operación de multiplicación equivale a 4 operaciones en coma flotante sencillas y la de exponenciación se equipara con 8 operaciones:

a) Calcular el tiempo que se tarda en realizar la tarea sabiendo que consta de las siguientes operaciones en coma flotante: 4000 sumas, 1500 multiplicaciones y 2200 operaciones de exponenciación.

b) Para el computador anterior se ofrecen tres alternativas de diseño de igual coste:

1) Introducir una nueva ALU que realiza la operación de exponenciación en 5 ciclos

2) Introducir una nueva ALU que realiza la operación de multiplicación en 1 ciclo

3) Introducir algunas mejoras estructurales que permitan aumentar la frecuencia de reloj del procesador de forma que su rendimiento sea 3.5 MFLOPS

Analizar la rentabilidad de las tres alternativas sabiendo que una operación sencilla en coma flotante se realiza en un ciclo.