



PROBLEMAS DE ESTRUCTURA DE COMPUTADORES

SEGMENTACIÓN

1. Ciertos evaluadores del rendimiento del procesador MIPS han determinado que el camino crítico que fija la longitud del ciclo de reloj en la ruta multiciclo no optimizada corresponde a los accesos a memoria para carga y almacenamiento (no para lectura de instrucciones). Esto ha llevado a replantear la implementación para que la frecuencia de reloj sea de 500 MHz en vez de 750 MHz. inicialmente propuesta. Sin embargo, uno de los ingenieros ha propuesto como solución de compromiso que los ciclos de acceso a memoria se subdividan en dos para, de este modo, admitir la frecuencia de reloj inicial (750 MHz). Usando las proporciones de instrucciones que se muestran a continuación, determina la ganancia de velocidad que se obtiene empleando la máquina de 2 ciclos de acceso a memoria con reloj de 750 MHz, frente a la máquina con 1 ciclo de acceso a memoria y reloj de 500 MHz.

Frecuencia de uso de las diferentes instrucciones para un caso típico (gcc):

- Carga: 22%
- Almacenamiento: 11%
- Aritmético-lógicas: 49%
- Salto condicional, realizando el salto: 4%
- Salto condicional, no realizando el salto: 12%
- Salto incondicional: 2%

2. Sobre la estructura del computador MIPS segmentado, se ejecuta la siguiente secuencia de instrucciones:

ADD R1, R2, R3
SUB R4, R2, R3
AND R5, R2, R3
OR R6, R2, R3

Si la instrucción ADD está colocada en la dirección de memoria 00002000 (Hex), y el contenido de los registros es:

R1=00000005
R2=00000004
R3=00000002
PC=00002000

- a) Señala el contenido de los siguientes registros al cabo de 4 ciclos de reloj: IF/ID.pc, ID/EX.pc, EX/MEM.pc, ID/EX.A, ID/EX.B, EX/MEM.ALUout, MEM/WB.ALUout, ID/EX.rd, EX/MEM.rd, MEM/WB.rd.
- b) Indica también el contenido de cada uno de los registros que almacena el control.

3. Suponiendo los siguientes tiempos de ejecución de los diversos elementos de una ruta de datos para el MIPS:

Lectura de memoria: 5ns; escritura de memoria: 7ns; lógica de control de la ALU: 2ns; lógica de control principal: 2 ns; lectura BR: 1ns; escritura BR: 2ns; operación ALU: 5ns; extensión signo: 1

ns; multiplicación por 4: 1 ns; multiplexores: 1 ns; sumador: 2ns; comparador: 1ns.
Calcula cuál es el tiempo de ciclo para una implementación segmentada.

4. Supongamos un procesador segmentado de cinco etapas en el que se ejecutan 2 aplicaciones diferentes. La aplicación A tiene un 17% de instrucciones con una penalización de 3 ciclos de reloj y un 12% de instrucciones con una penalización de 2 ciclos de reloj. La aplicación B tiene un 25% de instrucciones con 1 ciclo de penalización.

- ¿Cuál es el CPI de cada una de las aplicaciones?
- ¿Cuál es el CPI promedio del procesador?
- ¿Cuál es la ganancia de velocidad (*speedup*) frente al procesador sin segmentar?
- ¿Cuál es la eficacia frente al procesador segmentado ideal?

5. Supongamos que se han realizado las siguientes medidas:

- Frecuencia de ejecución de las instrucciones de PF (punto flotante) = 25%
- CPI medio de las instrucciones de PF = 4.0
- CPI medio de las restantes instrucciones = 1.33
- Frecuencia de ejecución de la instrucción de PF SQRT = 2%
- CPI de la instrucción SQRT = 20

Comparar las dos alternativas de diseño siguientes:

- 1) reducir a 2 el CPI de SQRT,
- 2) reducir a 2 el CPI de todas las operaciones de PF.

¿Cuál es la de mejor rendimiento?

6. Sea un procesador segmentado de cinco etapas. Ejecutamos en este procesador una aplicación con las siguientes características:

- El 18% de las veces las instrucciones I_{i+1} tienen una dependencia de LDE con las instrucciones I_i . El 29 %de éstas corresponden a instrucciones de load.
- El 6% de las veces las instrucciones I_{i+2} tienen dependencias de LDE con la instrucción I_i
- El 25% de las instrucciones son de bifurcación condicional, de las cuales se toman el 35%

Calcula:

- Los CPIs respectivos para las siguientes características del procesador:
 - 1) Procesador sin técnicas para reducir o eliminar paradas. Los saltos se resuelven en ejecución. Se puede escribir y leer el registro en el mismo ciclo de reloj.
 - 2) Procesador con cortocircuito (*forwarding*). Los saltos se resuelven en decodificación.
- La ganancia de velocidad (*speedup*) del segundo caso frente al primero.
- Eficiencia de ambos casos

7. Sea un procesador segmentado de cinco etapas que tiene el HW para la detección de riesgo y generación de la parada en decodificación. La resolución de los saltos condicionales se realiza en decodificación. Los riesgos de control se resuelven mediante paradas en decodificación, y tiene implementada la técnica de cortocircuito (*forwarding*). Supongamos que en este procesador las etapas de ejecución y memoria se unen. Como consecuencia el ciclo de reloj aumenta un 35%. Halla la relación de velocidades entre la versión original del procesador y la modificada. Supóngase que en el 25% de los casos existen dependencias LDE entre un load y la instrucción que le sigue, y que el 33% son saltos condicionales.

8. Supongamos el computador MIPS segmentado en cinco etapas que posee anticipación de operandos y utiliza saltos retardados con un hueco de retardo (*delay-slot*) de un ciclo, pero que posee una sola memoria cache para el almacenamiento de instrucciones y datos. Por esta razón no resulta posible leer una instrucción y realizar la lectura o escritura de un dato en el mismo ciclo de reloj. Las escrituras en el banco de registros se hacen en la primera mitad de la fase WB, mientras que las lecturas se hacen en la segunda mitad de la fase WB. Los saltos se resuelven en la fase de ejecución.

Supongamos que este computador ejecuta el siguiente programa:

```
BUCLE: LW  R2,X(R6)
        LW  R3,Y(R6)
        SUB R2,R2,R3
        ADD R2,R2,R1
        SUB R6,R6,#4
        SW  Z(R6),R2
        BNEZ R6,BUCLE
        ADD R1,R1,#1
        SUB R3,R3,R7
```

Se supone que el valor inicial de R6 es 2000.

- Construye el diagrama de tiempo correspondiente a la primera iteración del bucle, indicando sobre el diagrama los cortocircuitos que se activan.
- Calcula el valor del CPI
- Si el computador trabaja con una frecuencia de 1 GHz, determina el rendimiento en MIPS.