

# **Laboratorio de Estructura de Computadores**

## **Cuatrimestre 1º : Diseño de Computadores con VHDL**

# Sesiones de Laboratorio

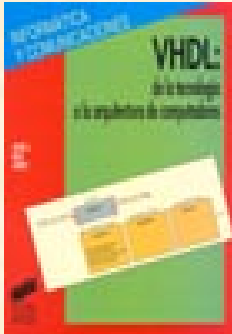
## Estudio del lenguaje VHDL

1. Introducción al lenguaje VHDL
2. VHDL Secuencial
3. Modelo Temporal de VHDL
4. Sentencias concurrentes y paquetes

## Diseño con VHDL

5. Diseño Algorítmico de Sistemas Digitales
6. Diseño de un Computador con VHDL
  - a) Modelos de comportamiento y estructural Memoria-CPU
  - b) Modelo con memoria caché
  - c) Modelo con ruta de datos estructural

# Bibliografía



VHDL: de la tecnología a la arquitectura de computadores  
Ruz Ortiz, José J.  
Editorial Síntesis

## Transparencias de clase

Página WEB de la asignatura

**<http://www.fdi.ucm.es/>** → Alumnos → Documentación Docente →  
→ Ruz Ortiz, José Jaime → Laboratorio de Estructura de Computadores

o bien directamente en:

**<http://www.fdi.ucm.es/profesor/jjruz/LEC/>**

## Prácticas a realizar

- Una práctica por sesión (6 en total)
- El enunciado, objetivos y resultados a entregar de cada práctica se dará al finalizar la explicación teórica de cada sesión y se colgará de la [www](#).

## Condiciones para aprobar Diseño con VHDL (Cuatrimestre 1º de LEC)

- Realizar todas las prácticas
- Entregar las memorias correspondientes
- Aprobar el examen práctico final en el laboratorio

## Nota parcial de Diseño con VHDL (Cuatrimestre 1º de LEC)

$$Nota(vhdl) = \frac{4 \times NP_6 + 2 \times NP_5 + 4 \times NE}{10}$$

$NP_i$  = Nota sobre 10 de la práctica i

$NE$  = Nota sobre 10 del examen final en el laboratorio