

prácticas tema 3 (i)

- ☒ Familiarización con el editor de layout
 - Selección foundry: CMOS 0.25 μm , 6 metales, 2.5 V (cmos025.rul)
 - Estratificación de layers
 - Composición de layers: del mismo tipo, diferente tipo.
 - Conexión de layers.
- ☒ Características I-V de los transistores MOS
 - efectos de la relación W:L en la relación I-V
 - ✓ trazado de transistores nMOS: $10 \times 10 \mu\text{m}$, $5 \times 10 \mu\text{m}$, $2.5 \times 10 \mu\text{m}$.
 - ✓ trazado de transistores nMOS: $10 \times 10 \mu\text{m}$, $10 \times 5 \mu\text{m}$, $10 \times 2.5 \mu\text{m}$.
 - modelos de transistor, efectos del canal estrecho
 - ✓ trazado de un transistor nMOS: $10 \times 0.25 \mu\text{m}$.
 - efectos del canal estrecho:
 - ✓ trazado de transistores nMOS: $10 \times 10 \mu\text{m}$, $10 \times 0.25 \mu\text{m}$.
 - transistores pMOS y nMOS
 - ✓ trazado de un transistor pMOS mínimo: $0.5 \times 0.25 \mu\text{m}$.
- ☒ Puertas de paso MOS
 - trazado de transistores nMOS y pMOS mínimos: $0.5 \times 0.25 \mu\text{m}$.

diseño de circuitos integrados I

prácticas tema 3 (ii)

- ☒ Diseñar físicamente un inversor mínimo $(W/L)_n = (W/L)_p = (4\lambda/2\lambda)$:
 - según el estilo de Weinberger.
 - según estilo de celdas estándar.
- ☒ Medida de funciones de transferencia y tiempos de propagación de un inversor:
 - transistores mínimos $(W/L)_n = (W/L)_p = (4\lambda/2\lambda)$.
 - transistor con longitud de canal doble, y anchura de canal mínima $(W/L)_n = (W/L)_p = (4\lambda/4\lambda)$.
 - transistores con longitud de canal mínima y anchura de canal doble $(W/L)_n = (W/L)_p = (8\lambda/2\lambda)$.
 - nMOS mínimo $(W/L)_n = (4\lambda/2\lambda)$, pMOS con anchura de canal doble $(W/L)_p = (8\lambda/2\lambda)$.
 - nMOS mínimo $(W/L)_n = (4\lambda/2\lambda)$, pMOS con anchura de canal triple $(W/L)_p = (12\lambda/2\lambda)$.
- ☒ Diseño físico de una biblioteca de celdas estándar
 - según el estilo de celdas estándar, y todas con la misma altura.
 - elementos combinacionales: puertas NOT, NAND, NOR, AND, OR (de 2 entradas).
 - elementos secuenciales: biestable D.
 - caracterizar cada una de las celdas.
- ☒ Diseño de un sumador de 4 bits con celdas estándar.
- ☒ Diseño de un sumador de 4 bits full-custom.

diseño de circuitos integrados I

prácticas tema 3 (iii)

Sumador de 1 bit con propagación de acarreo: implementación con celdas estándar

x_i	y_i	c_i	S_i	C_{i+1}	
0	0	0	0	0	
0	1	0	1	0	$S_i = x_i \cdot y_i \cdot c_i + x_i \cdot \overline{y_i} \cdot \overline{c_i} + \overline{x_i} \cdot \overline{y_i} \cdot c_i + \overline{x_i} \cdot y_i \cdot \overline{c_i}$
1	0	0	1	0	$= (x_i \cdot y_i + \overline{x_i} \cdot \overline{y_i}) \cdot c_i + (x_i \cdot \overline{y_i} + \overline{x_i} \cdot y_i) \cdot \overline{c_i}$
1	1	0	0	1	$= (x_i \oplus y_i) \oplus c_i$
0	0	1	1	0	$C_{i+1} = x_i \cdot y_i + x_i \cdot c_i + y_i \cdot c_i$
0	1	1	0	1	$= x_i \cdot y_i + (x_i + y_i) \cdot c_i$
1	0	1	0	1	$= x_i \cdot y_i + (x_i \oplus y_i) \cdot c_i$
1	1	1	1	1	

Sumador de 1 bit con propagación de acarreo: implementación full-custom

$$C_{i+1} = x_i \cdot y_i + (x_i + y_i) \cdot c_i$$
$$S_i = x_i \cdot y_i \cdot c_i + (x_i + y_i + c_i) \cdot \overline{C_{i+1}}$$
$$= x_i \cdot y_i \cdot c_i + (x_i + y_i + c_i) \cdot \underbrace{\overline{(x_i \cdot y_i + (x_i + y_i) \cdot c_i)}}_{\text{celda 1}}$$

celda 2