

•
•
•
•
•
•
•
•
•
•

tema 2: diseño digital CMOS

Diseño de Circuitos Integrados I

José Manuel Mendías Cuadros
Dpto. Arquitectura de Computadores y Automática
Universidad Complutense de Madrid

• • • • • • •

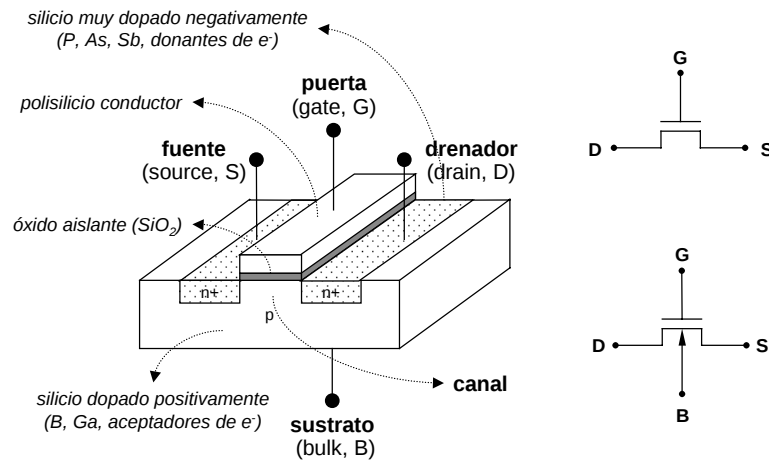
2

•

transistor nMOS (i)

- ☒ Un transistor MOS (Metal-Oxide-Silicon) de canal n (**nMOS**) es una estructura física creada mediante la superposición de diferentes materiales:
 - Un sustrato tipo p ligeramente dopado.
 - Dos regiones tipo n fuertemente dopadas, fuente y drenador, separadas por una región de sustrato llamada canal.
 - Una fina capa de aislante sobre el canal.
 - Una capa de polisilicio sobre el aislante.
- ☒ Eléctricamente, un transistor nMOS es un dispositivo de 4 terminales que permite controlar por voltaje la intensidad que circula por el canal.
 - **Sustrato**: típicamente no se tiene en cuenta porque suele estar conectado a GND.
 - **Puerta**: es un terminal de control que regula la intensidad que circula por el canal.
 - **Fuente y drenador**: son los terminales origen y destino de los portadores de carga (electrones), físicamente son equivalentes, su nombre depende del sentido de la intensidad
 - ✓ Fuente: origen del flujo de electrones, destino de intensidad.
 - ✓ Drenador: destino del flujo de electrones, origen de intensidad.
- ☒ Conceptualmente su comportamiento es:
 - Si existe una diferencia de **potencial positivo suficiente** entre puerta y sustrato se induce un canal conductor de **tipo n** entre drenador y fuente.
 - Si existe una diferencia de potencial entre drenador y fuente, y existe canal, la corriente circula a través del mismo.

transistor nMOS (ii)



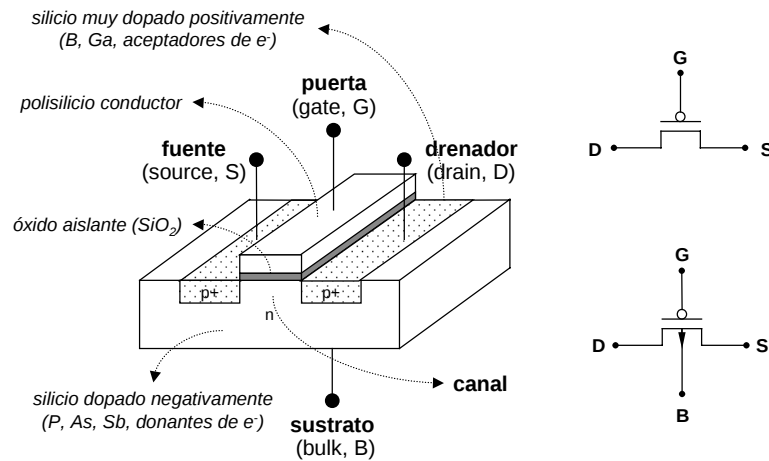
diseño de circuitos integrados I

transistor pMOS (i)

- ☒ Un transistor MOS de canal p (**pMOS**) es un dispositivo con una construcción y comportamiento duales a las del transistor nMOS.
- ☒ La sección vertical de un transistor pMOS está formada típicamente por:
 - Un sustrato tipo n ligeramente dopado.
 - Dos regiones tipo p fuertemente dopadas, fuente y drenador, separadas por una región de sustrato llamada canal.
 - Una fina capa de aislante sobre el canal.
 - Una capa de polisilicio sobre el aislante.
- ☒ Eléctricamente, un transistor pMOS es un dispositivo de 4 terminales que también permite controlar por voltaje la intensidad que circula por el canal.
 - **Sustrato:** típicamente no se tiene en cuenta porque suele estar conectado a PWR.
 - **Puerta:** es un terminal de control que regula la intensidad que circula por el canal.
 - **Fuente y drenador:** son los terminales origen y destino de los portadores de carga (huecos), físicamente son equivalentes, su nombre depende del sentido de la intensidad.
- ☒ Conceptualmente su comportamiento es:
 - Si existe una diferencia de **potencial negativo suficiente** entre puerta y sustrato se induce un canal conductor de **tipo p** entre drenador y fuente.
 - Si existe una diferencia de potencial entre drenador y fuente, y existe canal, la corriente circula a través del mismo.

diseño de circuitos integrados I

transistor pMOS (ii)



diseño de circuitos integrados I

puertas de paso (i)

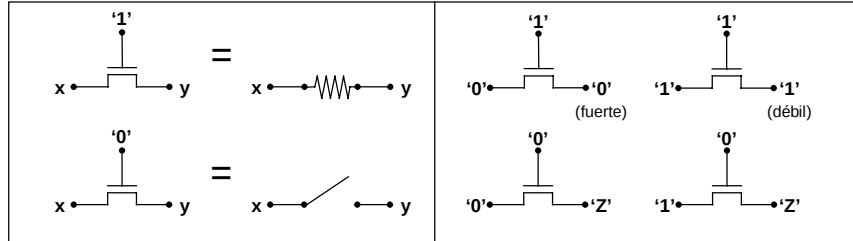
Abstracción digital del comportamiento de transistores MOS

- ☒ Considera un transistores MOS como **interruptores**. Consideraciones
 - '1 lógico': voltaje comprendido entre 1.5V y 15V, representado por Vdd, o PWR.
 - '0 lógico', voltaje de 0V, representado por Vss, o GND.
 - Por convenio, la intensidad circula de Vdd a Vss, en sentido contrario al flujo de e⁻.
 - La fuerza de una señal ('0' ó '1') en un punto se define como la capacidad de ese punto de conducir intensidad (más fuerza = más capacidad).
 - ✓ Vdd es una fuente de '1' fuertes.
 - ✓ Vss es una fuente de '0' fuertes.
 - ✓ Las salidas son más fuertes que las entradas.
- ☒ Comportamiento de un **transistor nMOS**:
 - Si G='0' fuente y drenador se aíslan, en transistor no conduce.
 - Si G='1' fuente y drenador se unen mediante el canal, el transistor conduce
 - ✓ transmitiendo sin distorsionar los '0's.
 - ✓ transmitiendo distorsionados los '1's.
- ☒ Comportamiento de un **transistor pMOS**:
 - Si G='1' fuente y drenador se aíslan, en transistor no conduce.
 - Si G='0' fuente y drenador se unen mediante el canal, el transistor conduce
 - ✓ transmitiendo sin distorsionar los '1's.
 - ✓ transmitiendo distorsionados los '0's.

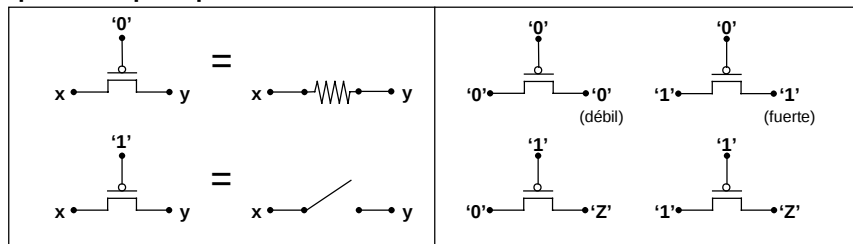
diseño de circuitos integrados I

puertas de paso (i)

puerta de paso nMOS



puerta de paso pMOS

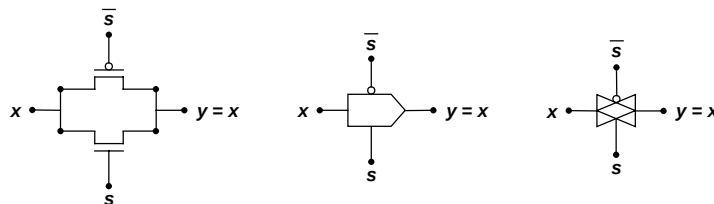


diseño de circuitos integrados I

puertas de paso (iii)

puerta de paso CMOS

- ☒ Los transistores MOS funcionando por separado como puertas de paso son imperfectos pero complementarios:
 - nMOS – transmite sin degradar '0' cuando la puerta vale '1'.
 - pMOS – transmite sin degradar '1' cuando la puerta vale '0'.
- ☒ Una combinación en paralelo de un transistor nMOS y otro pMOS con valores de puerta opuestos será una puerta de paso (o interruptor) perfecta.
 - Si $s=0$, ningún transistor conduce, la salida se aísla.
 - Si $s=1$ ambos transistores conducen, la salida sigue a la entrada
 - ✓ Cuando hay un '0', el transistor nMOS lo transmite.
 - ✓ Cuando hay un '1' lo transmite el transistor pMOS.

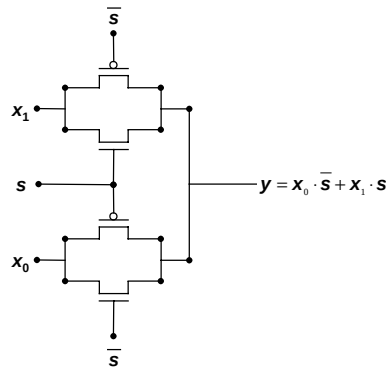


diseño de circuitos integrados I

puertas de paso (iv)

diseño con puertas de paso CMOS

- ☒ Una aplicación inmediata de las puertas de paso CMOS es la construcción de multiplexores.
 - Asimismo, si las entradas de datos se conectan a Vdd ó Vss podemos usar los multiplexores para implementar tablas de verdad

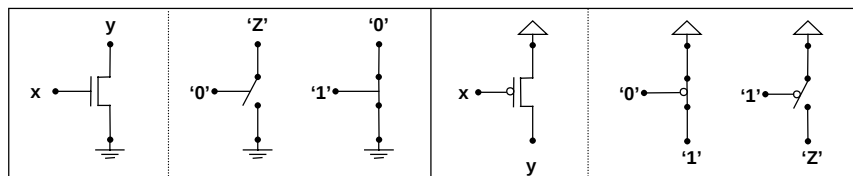


diseño de circuitos integrados I

inversor CMOS estático (i)

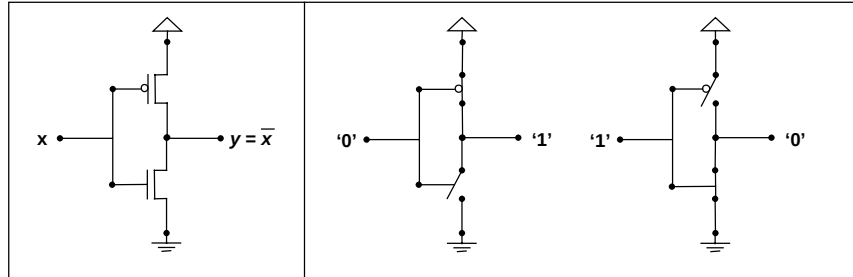
☒ Observaciones:

- las funciones lógicas generan a la salida valores diferentes que los presentes a la entrada.
- usando drenador y fuente como entrada y salida sólo conseguimos pasar una señal
- para transformarlas será crucial usar la puerta del transistor como entrada
 - ✓ para **nmos**, un terminal será la salida y el otro estará conectado permanentemente a Vss (ya que el transistor nmos sólo transmite sin degradar '0's)
 - ✓ para **pmos**, un terminal será la salida y el otro estará conectado permanentemente a Vdd (ya que el transistor pmos sólo transmite sin degradar '1's)
- ¿qué sucederá si se unen las entradas y salidas de un transistor nmos y otro pmos?
 - ✓ hemos diseñado un inversor



diseño de circuitos integrados I

inversor CMOS estático (ii)

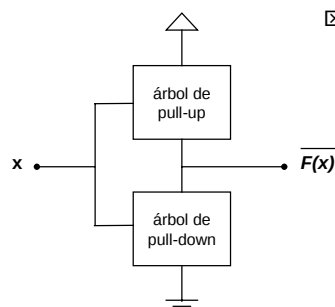


- ☒ Un **inversor CMOS** (Complementary MOS) estático está formado por un transistor pmos en serie con un transistor nmos con sus puertas unidas:
- la entrada del inversor es la puerta común y la salida, el punto de unión de los transistores.
 - el transistor **pmos** se llama transistor de **pull-up**, tiene un terminal conectado a Vdd y es el encargado de poner la salida a '1' cuando conduce (cuando la entrada vale '0').
 - el transistor **nmos** se llama transistor de **pull-down**, tiene un terminal conectado a Vss y es el encargado de poner la salida a '0' cuando conduce (cuando la entrada vale '1').

lógica combinacional CMOS estática (i)

- ☒ Todo circuito combinacional CMOS estático se basa en la conexión de dos árboles duales con entradas comunes y salida común, que en estado estacionario no conducen simultáneamente

- **Árbol de pull-up**, formado únicamente por transistores pMOS, que conectan condicionalmente (en función de las entradas) la salida a Vdd.
- **Árbol de pull-down**, formado únicamente por transistores nMOS, que conectan condicionalmente (en función de las entradas) la salida a Vss.



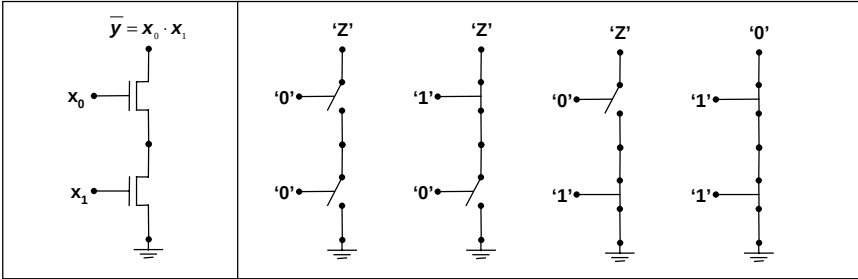
☒ Reglas de diseño

- Los transistores se usan como interruptores (controlados por puerta).
- Los árboles se construyen conectando en serie o en paralelo grupos de transistores del mismo tipo.
- Es condición suficiente aunque no necesaria que las estructuras de transistores de los árboles sean duales (ej. Si en el árbol de pull-up los transistores están en serie, en el de pull-down estarán en paralelo).
- Implementa lógica inversora, es decir, funciones inversas se implementan directamente, funciones directas requieren de un inversor adicional.

lógica combinacional CMOS estática (ii)

Conexión de transistores nMOS en serie

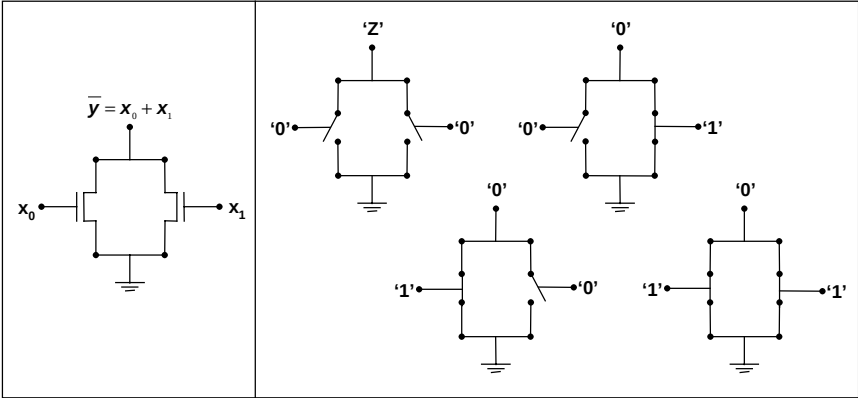
☒ Conectan la salida a Vss cuando x_0 y x_1 valen '1'
➤ Ponen los '0' de la función NAND.



lógica combinacional CMOS estática (iii)

Conexión de transistores nMOS en paralelo

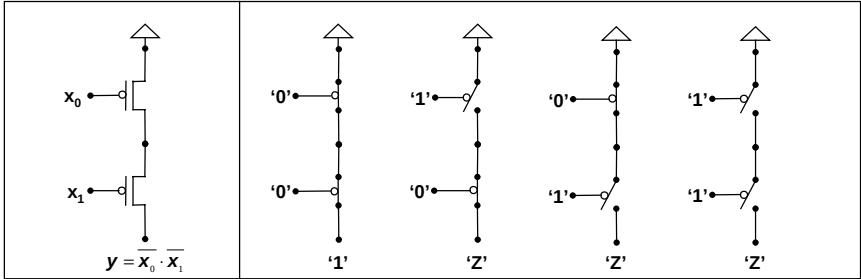
☒ Conectan la salida a Vss cuando x_0 ó x_1 valen '1'
➤ Ponen los '0' de la función NOR.



lógica combinacional CMOS estática (iv)

Conexión de transistores pMOS en serie

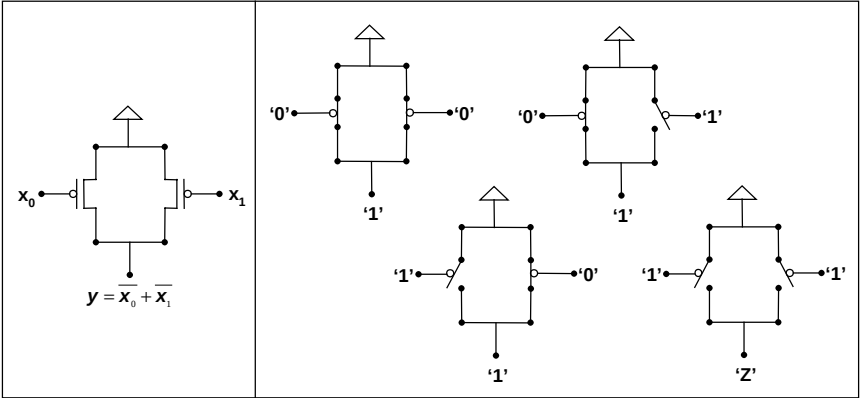
- ☒ Conectan la salida a Vdd cuando x_0 y x_1 valen '0'
- Ponen los '1' de la función NOR.



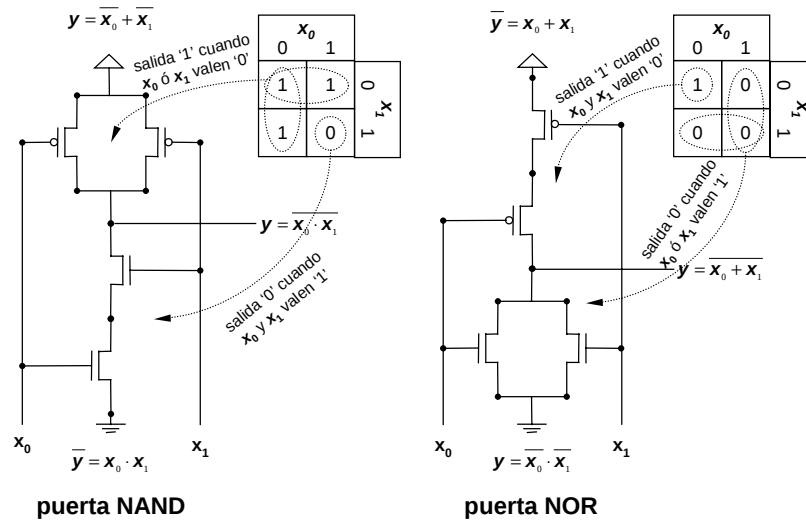
lógica combinacional CMOS estática (v)

Conexión de transistores pMOS en paralelo

- ☒ Conectan la salida a Vdd cuando x_0 ó x_1 valen '0'
- Ponen los '1' de la función NAND.



lógica combinacional CMOS estática (vi)



diseño de circuitos integrados I

lógica combinacional CMOS estática (vii)

Metodología partiendo de una expresión de conmutación

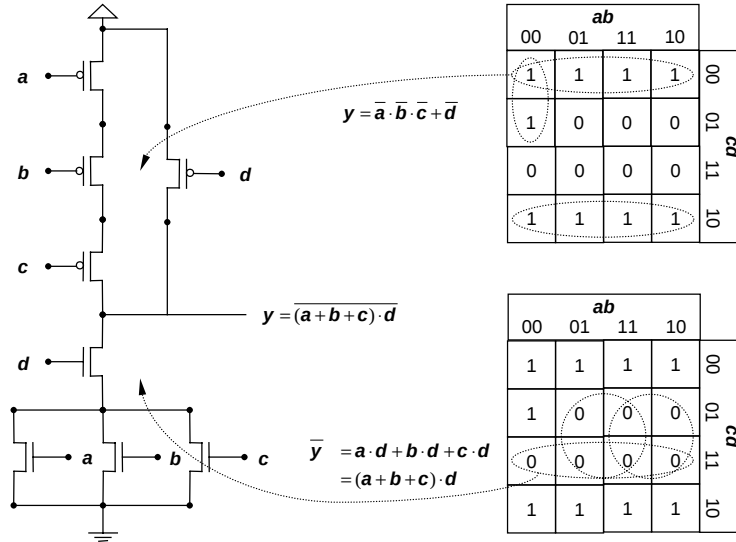
- Para implementar el **árbol de pull-up** se trabaja con la función sin complementar.
 - ✓ Manipular la función para que sólo dependa de variables complementadas.
 - ✓ Cada término producto se diseña mediante transistores pMOS en serie.
 - ✓ Cada término suma se diseña mediante transistores pMOS en paralelo.
- Para implementar el **árbol de pull-down** se trabaja con la función complementada.
 - ✓ Manipular la función para que sólo dependa de variables sin complementar.
 - ✓ Cada término suma se diseña mediante transistores nMOS en paralelo.
 - ✓ Cada término producto se diseña mediante transistores nMOS en serie.
- Si no es posible hacer el proceso hacer una doble inversión de la función e implementar por un lado el inversor y por otro la función invertida siguiendo el anterior proceso.

Metodología partiendo de un diagrama de Karnaugh

- Para implementar el **árbol de pull-up** se agrupan los '1'.
 - ✓ Representar la función como una suma de productos de variables complementadas.
 - ✓ Proceder como se ha explicado anteriormente.
- Para implementar el **árbol de pull-down** se agrupan los '0'.
 - ✓ Representar la función como un producto de sumas de variables sin complementar.
 - ✓ Proceder como se ha explicado anteriormente.

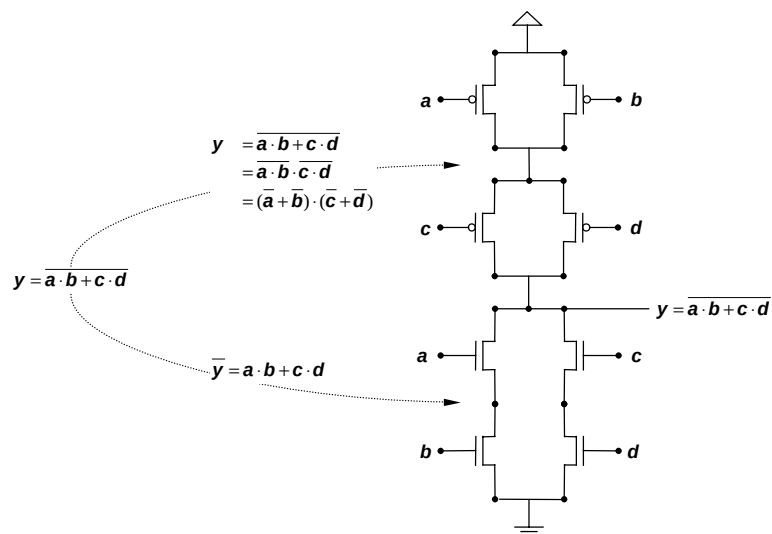
diseño de circuitos integrados I

lógica combinacional CMOS estática (viii)



diseño de circuitos integrados I

lógica combinacional CMOS estática (ix)

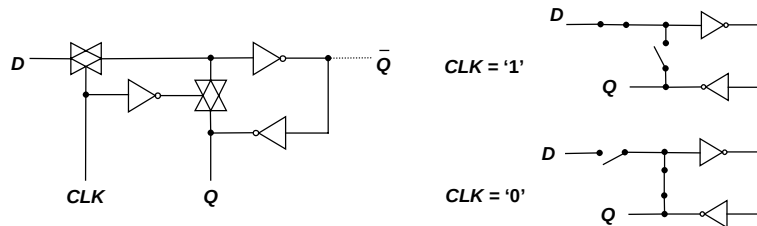


diseño de circuitos integrados I

lógica secuencial CMOS estática

Biestable disparado por nivel

- ☒ Un **biestable tipo D disparado por nivel (latch)**, es un dispositivo de 3 terminales capaz de almacenar 1 bit de información bajo el control de una señal de control:
 - D - entrada de datos
 - CLK - entrada de reloj
 - Q - salida de datos
- ☒ Su comportamiento es el siguiente:
 - Si CLK='1', transmite la entrada a la salida
 - Si CLK='0', la salida permanece estable al último valor de la entrada cuando CLK valía '1'.
- ☒ Se diseña realimentando 2 inversores, a través de puertas de paso.

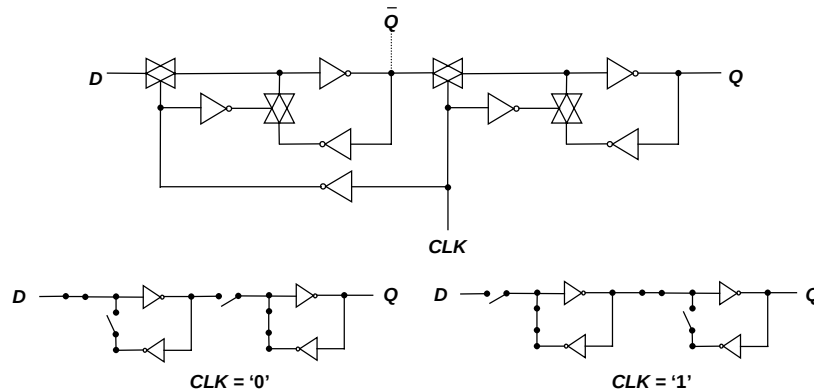


diseño de circuitos integrados I

lógica secuencial CMOS estática

Biestable disparado por flanco

- ☒ El comportamiento de un **biestable tipo D disparado por flanco de subida (flip-flop)** es similar al latch con la diferencia de que sólo muestrea la entrada durante el intervalo en que cambia la señal de reloj de 0 a 1.
- ☒ Se diseña componiendo 2 latches en serie (maestro y esclavo).



diseño de circuitos integrados I

características de la lógica CMOS estática

- ⊗ Excepto durante transitorios, toda salida de una puerta está conectada a Vdd o Vss a través de un camino de baja resistencia, luego las salidas no se degradan.
- ⊗ Excepto durante transitorios, no existe un camino directo entre Vdd y Vss, luego el consumo estático es prácticamente nulo.
- ⊗ Excepto durante transitorios, toda salida de una puerta tiene el valor de la función de conmutación que implemente
- ⊗ Una puerta de N entradas requiere 2N transistores.
- ⊗ Facilidad de diseño, ya que tiene que existir una relación fija de tamaño entre sus componentes.
- ⊗ Baja sensibilidad al ruido y a las variaciones del proceso.
- ⊗ Tiempos de subida y bajada simétricos (bajo los factores de escala adecuados)
- ⊗ El retardo de propagación de una puerta se degrada rápidamente conforme aumenta el fan-in de la misma
 - Al crecer el número de transistores, crece la capacidad global
 - Las conexiones en serie retardan la transición, ya que las resistencias de carga/descarga aumentan.

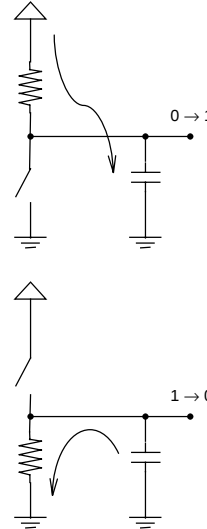
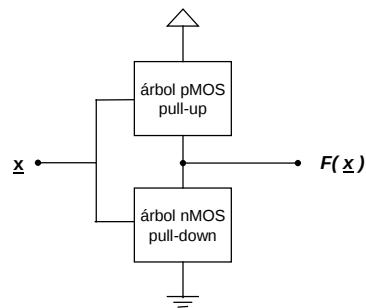
estructuras MOS (i)

- ⊗ Diferentes configuraciones de transistores MOS dan lugar a diferentes metodologías de diseño (lógicas) con diferentes prestaciones:
 - CMOS estática
 - transistores de paso (pass transistor)
 - nMOS
 - pseudo nMOS
 - CMOS dinámica
 - NORA CMOS
 - CMOS dinámica multifase
 - C²MOS (clocked CMOS)
 - CVSL (cascade voltage switch logic)
 - SFPL (Source Follower Pull-up Logic)
 - ...

estructuras MOS (ii)

CMOS estático

- ☒ Existen dos redes duales que no se activan simultáneamente:
- **pull-up**, en función de las entradas carga la salida a 1
 - **pull-down**, en función de las entradas descarga la salida a 0

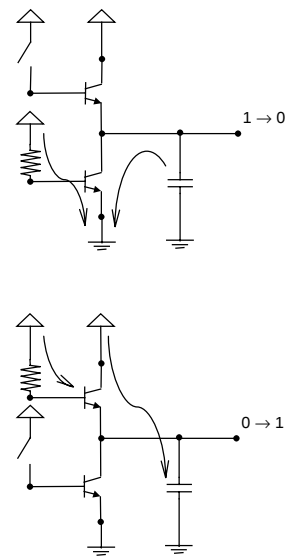
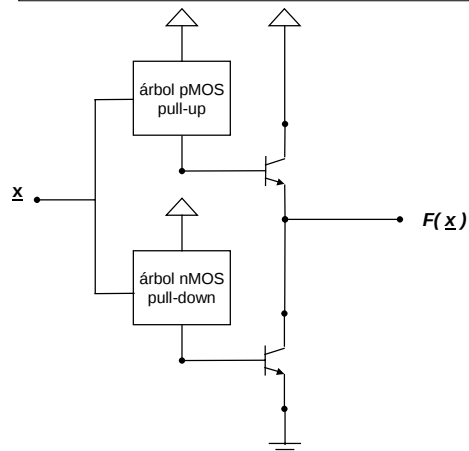


diseño de circuitos integrados I

estructuras MOS

BiCMOS

- ☒ Mejora la potencia de excitación de las puertas CMOS añadiendo un driver bipolar

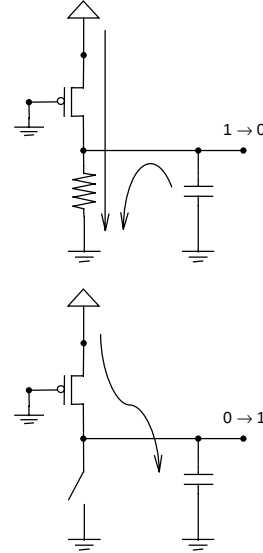
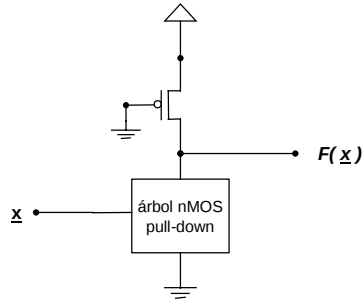


diseño de circuitos integrados I

estructuras MOS

pseudo nMOS

- ⊗ Reemplaza el árbol de pull-up del por un único transistor pMOS (que siempre está en conducción)



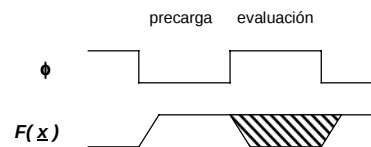
diseño de circuitos integrados I

estructuras MOS

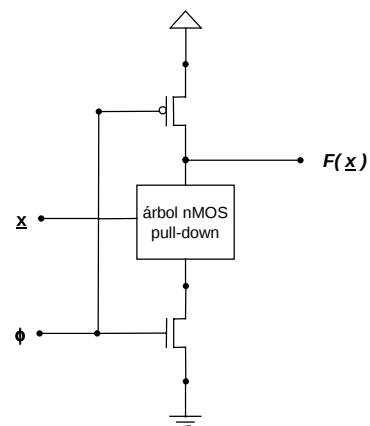
CMOS dinámico

- ⊗ Existe una señal de reloj, ϕ , que divide el ciclo de operación de la puerta en dos fases

- **precarga** (cuando ϕ es 0), la salida se carga incondicionalmente a 1
- **evaluación** (cuando ϕ es 1), en función de las entradas la salida eventualmente se descarga a 0



- ⊗ Las entradas deben estar estables durante la fase de evaluación
- luego el encadenamiento de etapas puede causar descargas no deseadas durante la fase de evaluación.

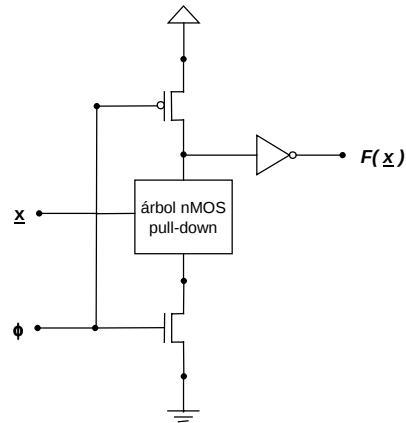


diseño de circuitos integrados I

estructuras MOS

CMOS domino

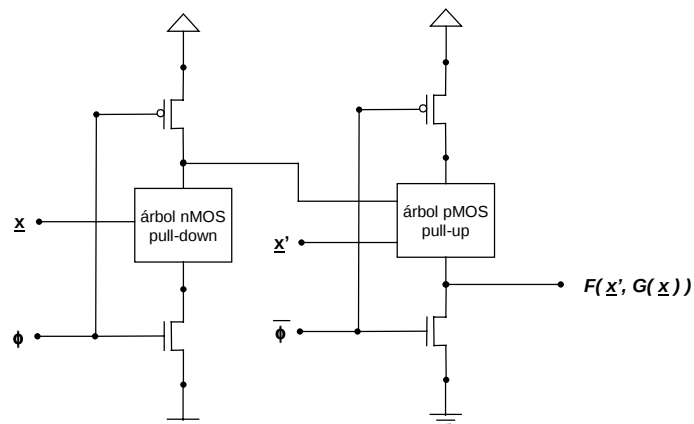
- ☒ Para no solapar la activación de los transistores de precarga y evaluación de etapas encadenadas, se incorpora un inversor CMOS a la salida
- **precarga** (cuando ϕ es 0), la entrada del inversor se carga incondicionalmente a 1, siendo la salida de esta estructura 0. Todas las etapas lógicas (tipo nMOS) alimentadas por esta salida están cortadas.
 - **evaluación** (cuando ϕ es 1), en función de las entradas la entrada del inversor pasa eventualmente a 0 y la salida de la estructura pasa a 1, permitiendo que las siguientes etapas evalúen.



estructuras MOS

NORA CMOS - NP domino

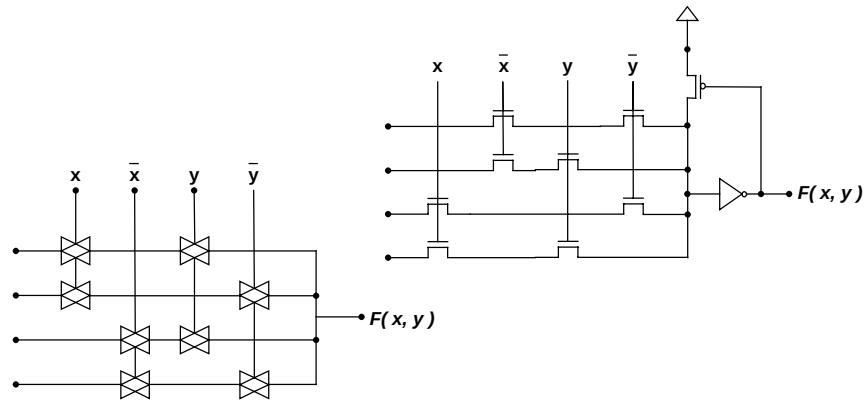
- ☒ Para no solapar la activación de los transistores de precarga y evaluación de etapas encadenadas, se usan dos fases de reloj y se alternan bloques nMOS de precarga a 1 y pMOS de precarga a 0



estructuras MOS

Transistores de paso

- ☒ Los transistores se utilizan como interruptores puros que se conectan en serie.
- ☒ Si se utilizan solamente puertas de paso nMOS se requiere un transistor de pull-up que restaure el nivel 1 lógico que la red transmite degradado.



diseño de circuitos integrados I