

-
-
-
-
-
-
-
-
-
-

tema 3: diseño físico de circuitos CMOS

Diseño de Circuitos Integrados I

José Manuel Mendías Cuadros
 Dpto. Arquitectura de Computadores y Automática
 Universidad Complutense de Madrid

• • • • • • •

2

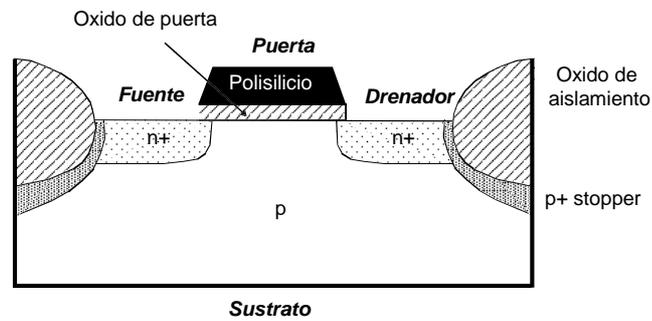
diseño físico y fabricación (i)

- ☒ Un dispositivo MOS se fabrica mediante la superposición sucesiva en capas (layers) de diversos materiales sobre una superficie base de silicio.
- ☒ Los materiales más importantes utilizados son:
 - **Silicio cristalizado** para el sustrato
 - **Dopantes de tipo n y de tipo p** para crear difusiones sobre el sustrato
 - **Polisilicio amorfo** para crear el electrodo de la puerta (conductor)
 - **Oxido de silicio** de distintas calidades (aislante)
 - ✓ fino de alta calidad para crear la puerta
 - ✓ grueso de baja calidad como separador de capas
 - **Aluminio** para el interconexionado (buen conductor)
- ☒ Un circuito CMOS está compuesto por:
 - **Transistores tipo nMOS y pMOS** que requieren
 - ✓ 2 tipos de sustratos, 2 tipos de difusiones, polisilicio y óxido fino.
 - **Interconexiones**
 - ✓ Trazables a varios niveles (para permitir su cruce sin conexión)
 - ✓ Oxido grueso aislante entre niveles de metal.
 - ✓ Contactos (agujeros en el óxido) para conectar capas adyacentes.
 - ✓ Para conectar capas no adyacentes, se necesitan varios contactos.
- ☒ Para acumular selectivamente un cierto material sobre la una cierta porción de la oblea se utilizan máscaras.

• • • • • • •

3

diseño físico y fabricación (ii)



diseño de circuitos integrados I

4

diseño físico y fabricación (iii)

☒ Fases de la creación de un layer:

- Se crea un layer sobre la oblea
 - ✓ Para layers de difusión, o pozo el material se añade después de la proyección de la máscara.
 - ✓ Para los restantes layers, la oblea se cubre al completo y el material extra se elimina
- Se cubre la oblea con un material fotosensible.
- Se proyecta la máscara sobre la oblea.
- La porción de material fotosensible expuesta se hace soluble y se elimina.
- La porción de material fotosensible que permanece protege a la región de layer del proceso tecnológico particular usado (difusión, ataque, etc).
- Se elimina todo el material fotosensible restante.

☒ Los procesos tecnológicos más comunes para crear un cierto layer son:

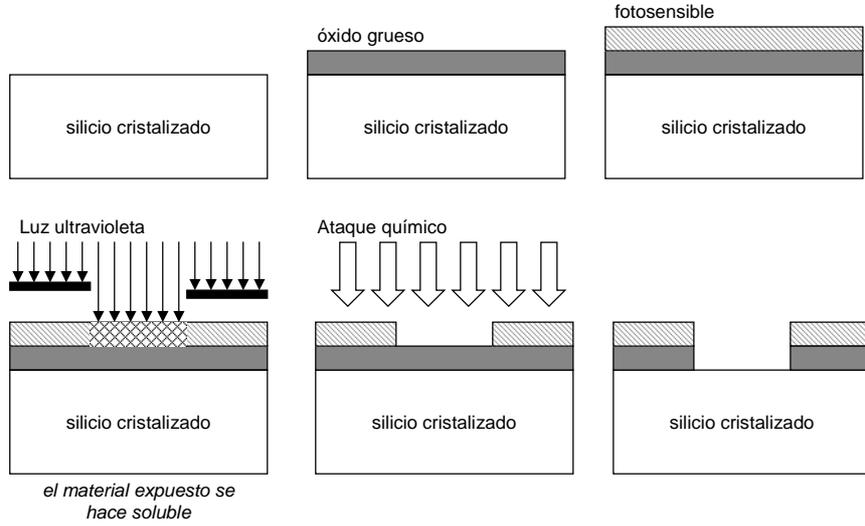
- **Crecimiento de capas de óxido grueso:** proceso de oxidación mediante oxígeno o vapor de agua a alta temperatura.
- **Crecimiento de capas de óxido fino:** similar al anterior, pero de forma controlada.
- **Difusión:** proceso de adición de dopantes mediante vapor a altas temperaturas
- **Implantación:** proceso de introducción de dopantes mediante un cañón de iones.
- **Metalización:** deposición de aluminio vaporizado.
- **Ataque químico (etching):** eliminación de materiales previamente depositados mediante la utilización de disolventes o ácidos.

diseño de circuitos integrados I

5

•

diseño físico y fabricación (iv)



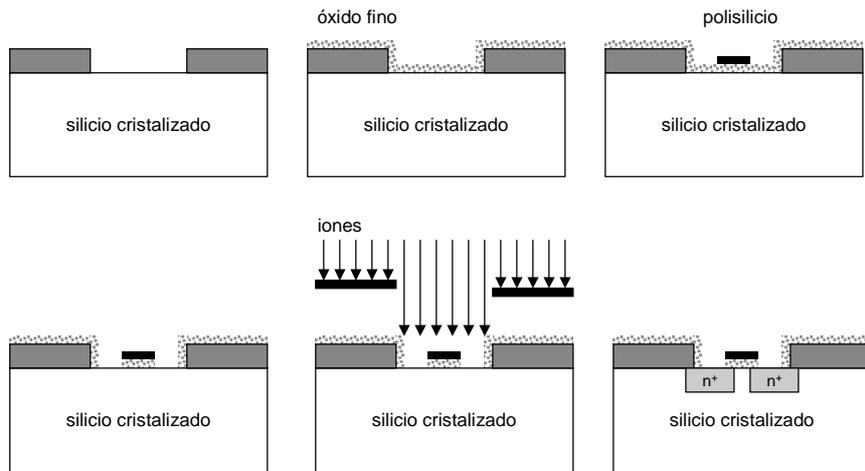
diseño de circuitos integrados I

• • • • •

6

•

diseño físico y fabricación (v)

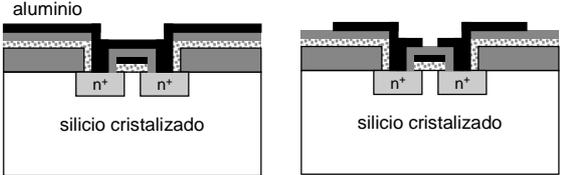
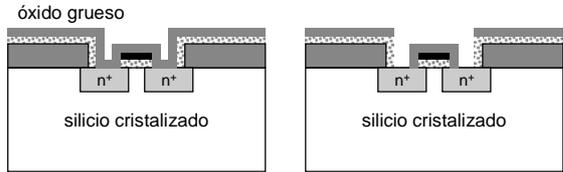


diseño de circuitos integrados I

• • • • •

7

diseño físico y fabricación (vi)



diseño de circuitos integrados I

8

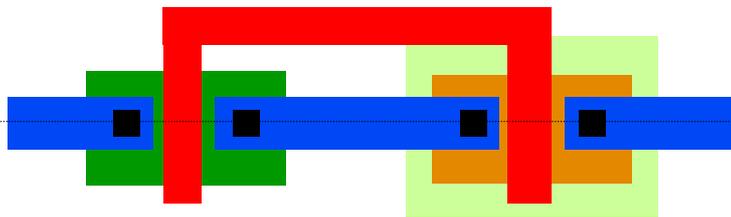
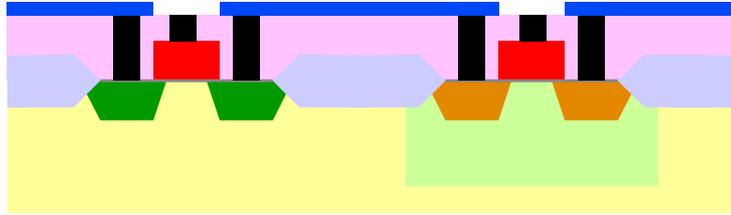
diseño físico y fabricación (vii)

- ☒ El objetivo del diseño físico de un circuito es la creación de su layout
 - Un **layout** es un trazado geométrico que define las máscaras que se usarán durante la fabricación de cada uno de los layers del circuito.
 - ✓ Debe respetar ciertas reglas de diseño que aseguran la fiabilidad de los circuitos.
 - Durante la fabricación pueden crearse layers que no aparecen explícitamente en el layout.
 - ✓ Algunas se derivan de la composición de layers (cuando regiones de polisilicio se superponen con regiones de difusión).
 - ✓ Otros son específicos de una cierta tecnología.
 - La creación de las máscaras reales a partir del layout se denomina "tapeout".

diseño de circuitos integrados I

9

diseño físico y fabricación (viii)



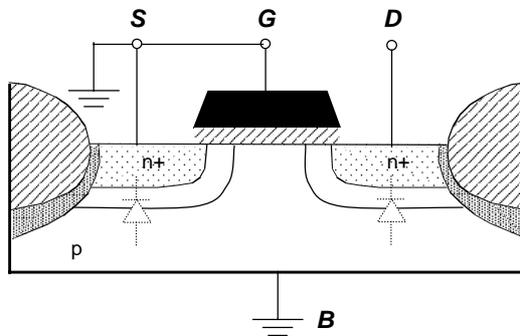
diseño de circuitos integrados I

10

comportamiento del transistor MOS (i)

$V_{GS} = 0, V_{DS} \geq 0$

- ☒ D y S están conectados a través de sustrato mediante de 2 diodos invertidos
 - Existe una alta resistencia entre S y D, por lo que no circula corriente.

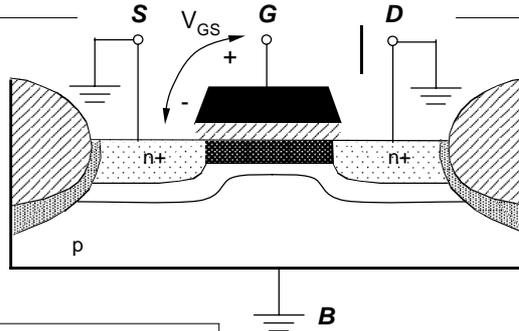


diseño de circuitos integrados I

comportamiento del transistor MOS (ii)

$$V_{GS} > 0, V_{DS} = 0$$

- ☒ G y B son los dos platos de un condensador que utiliza al óxido como dieléctrico
 - Un voltaje positivo en G provoca acumulación de carga a ambos lados del óxido, positiva en la puerta y negativa bajo el óxido.
- ☒ $V_{GS} < V_T$: bajo el óxido se forma una región de deplexión (agotada de portadores).
- ☒ $V_{GS} > V_T$: bajo el óxido se forma una región de inversión tipo n que proporciona un camino de conducción entre S y D.
 - Cuando V_{GS} aumenta la concentración de electrones en el canal aumenta, modulando su conductividad.

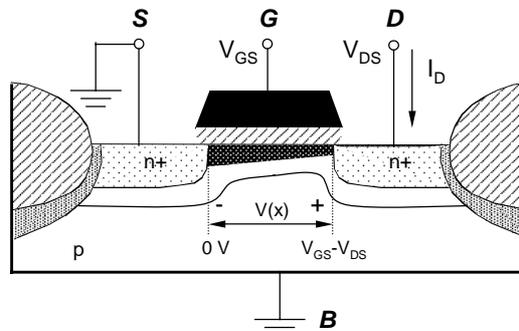


diseño de circuitos integrados I

comportamiento del transistor MOS (iii)

$$V_{GS} > V_T, V_{DS} > 0$$

- ☒ Cuando $V_{DS} = 0 \Rightarrow V_{GS} = V_{GD}$.
 - luego $V_{GS} > V_T$ implica que $V_{GD} > V_T$: el es canal uniforme
- ☒ Sin embargo, cuando $V_{DS} \neq 0 \Rightarrow V_{DS} \neq V_{GD}$
 - luego $V_{GS} > V_T$ no implica que $V_{GD} > V_T$: el canal se deforma en las proximidades del D
- ☒ Existirá canal siempre y cuando $V_{GD} > V_T$, es decir $V_{GS} - V_{DS} > V_T$



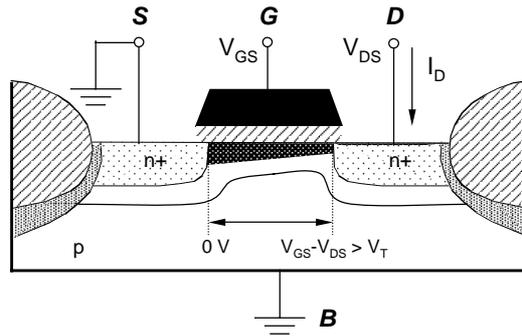
diseño de circuitos integrados I

13

comportamiento del transistor MOS (iv)

$$V_{GS} > V_T, V_{DS} < V_{GS} - V_T$$

- ☒ Zona lineal
 - La conducción se realiza por el canal
 - la intensidad depende de V_{GS} (conductividad del canal) y de V_{DS} (ley de Ohm).



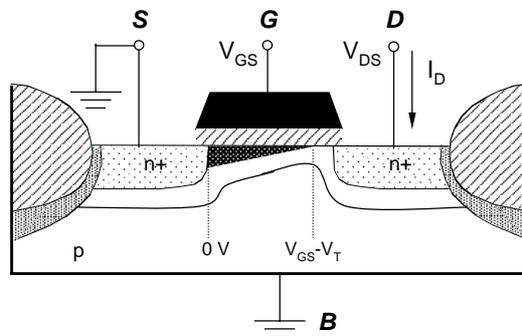
diseño de circuitos integrados I

14

comportamiento del transistor MOS (v)

$$V_{GS} > V_T, V_{DS} > V_{GS} - V_T$$

- ☒ Zona saturada
 - La conducción se realiza atravesando la región de deplexión
 - La intensidad depende sólo de V_{GS}



diseño de circuitos integrados I

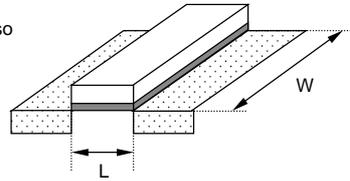
comportamiento del transistor MOS (vi)

el transistor nMOS

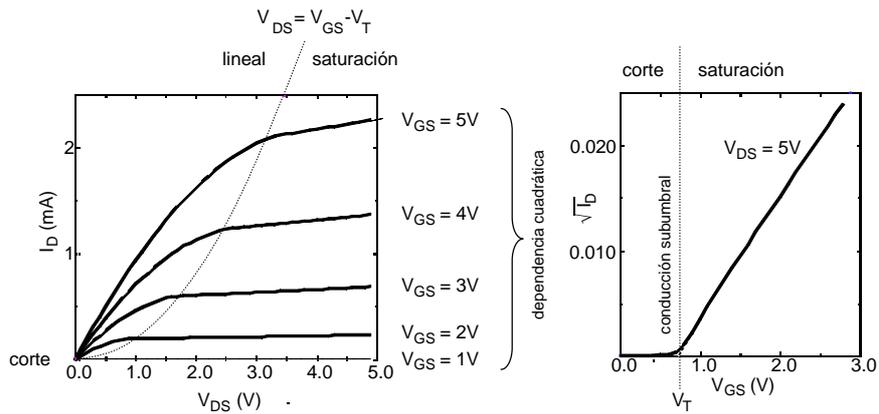
Zona de corte	$V_{GS} \leq V_{Tn}$	$I_D = 0$
Zona lineal	$V_{DS} < V_{GS} - V_{Tn}$	$I_D = \beta_n ((V_{GS} - V_{Tn})V_{DS} - \frac{V_{DS}^2}{2})$
Zona de saturación	$V_{DS} > V_{GS} - V_{Tn}$	$I_D = \beta_n \frac{(V_{GS} - V_{Tn})^2}{2}$

$$\beta_n = k_n \frac{W}{L} = \mu_n C_{ox} \frac{W}{L} = \mu_n \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{L}$$

- β_n : factor de ganancia
 - k_n : transconductancia del proceso
- dependen del diseño {
- W : anchura del canal
 - L : longitud del canal
- dependen del proceso {
- μ_n : movilidad de los electrones
 - ϵ_{ox} : cte. dieléctrica del aislante
 - t_{ox} : grosor del aislante
 - V_{Tn} : tensión umbral



comportamiento del transistor MOS (vii)



Características I-V de un transistor nMOS
($W = 100\mu m$, $L = 20\mu m$ en tecnología CMOS $1.2\mu m$)

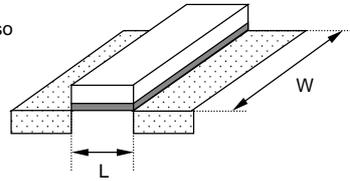
comportamiento del transistor MOS (viii)

el transistor pMOS

Zona de corte	$V_{GS} \geq V_{Tp}$	$I_D = 0$
Zona lineal	$V_{DS} > V_{GS} - V_{Tp}$	$I_D = -\beta_p((V_{GS} - V_{Tp})V_{DS} - \frac{V_{DS}^2}{2})$
Zona de saturación	$V_{DS} < V_{GS} - V_{Tp}$	$I_D = -\beta_p \frac{(V_{GS} - V_{Tp})^2}{2}$

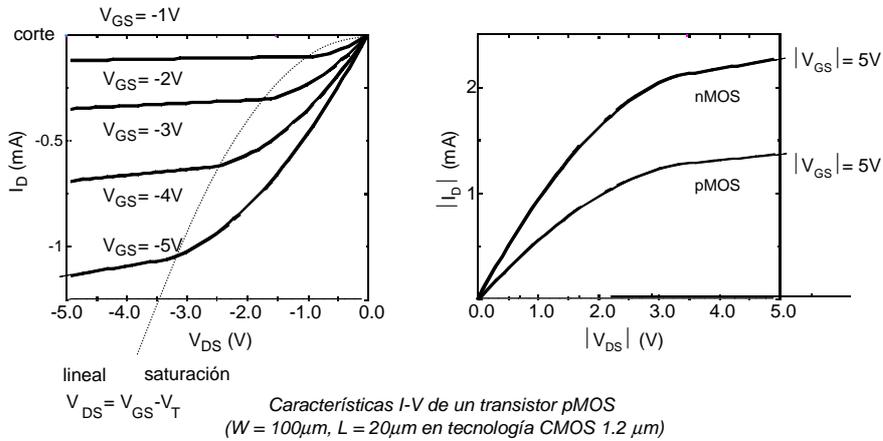
$$\beta_p = k_p \frac{W}{L} = \mu_p C_{ox} \frac{W}{L} = \mu_p \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{L}$$

- β_p : factor de ganancia
 - k_p : transconductancia del proceso
- | | | |
|----------------------|---|---|
| dependen del diseño | { | <ul style="list-style-type: none"> W : anchura del canal L : longitud del canal |
| dependen del proceso | { | <ul style="list-style-type: none"> μ_p : movilidad de los huecos ϵ_{ox} : cte. dieléctrica del aislante t_{ox} : grosor del aislante V_{Tp} : tensión umbral |



diseño de circuitos integrados I

comportamiento del transistor MOS (ix)



diseño de circuitos integrados I

comportamiento del transistor MOS (x)

correcciones del modelo (efectos submicrónicos o de 2º orden)

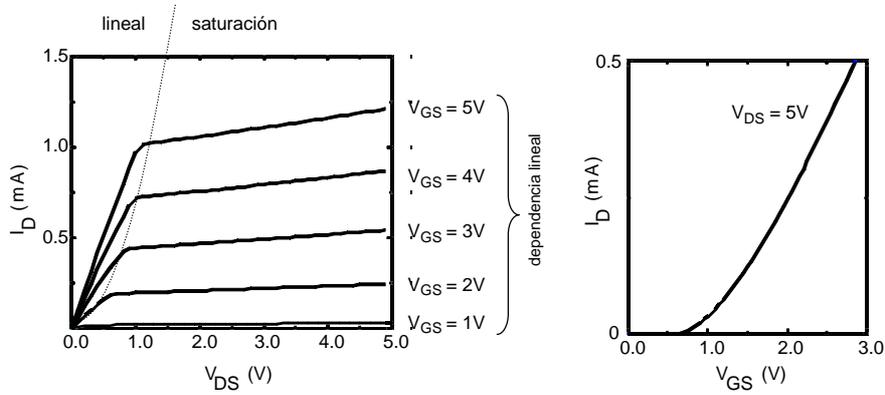
- ⊗ Cuando las dimensiones del transistor alcanzan valores inferiores a la micra, la longitud del canal se hace comparable a otros parámetros del dispositivo (ej. la profundidad del canal) y es necesario corregir el modelo analítico.
- ⊗ **Conducción subumbral:** cuando $V_{GS} < V_T$, I_D es pequeña pero no cero.
 - El dispositivo no es un interruptor perfecto.
- ⊗ **Efecto sustrato:** V_T aumenta conforme aumenta V_{SB}
 - V_T no depende únicamente de aspectos tecnológicos.
- ⊗ **Longitud de canal efectiva:** siempre existe una cierta superposición entre la puerta y las difusiones por lo que la longitud de canal efectiva L_{eff} es menor que la trazada, cuando el canal es muy corto no puede ignorarse esta variación
- ⊗ **Modulación de la longitud del canal:** la longitud efectiva del canal disminuye conforme V_{DS} aumenta (ya que la región de deplexión junto al drenador crece), cuando el canal es muy corto no puede ignorarse,
 - I_D aumenta conforme V_{DS} (incluso en saturación).
- ⊗ **Degradación de la movilidad de portadores:** el campo eléctrico que provoca el movimiento de portadores tiene una componente vertical que a longitudes de canal pequeñas no puede ser ignorado
 - μ disminuye y por tanto I_D también disminuye.

comportamiento del transistor MOS (xi)

correcciones del modelo (efectos submicrónicos o de 2º orden)

- ⊗ **Saturación de la velocidad de portadores:** la velocidad de los portadores es directamente proporcional (según el factor de movilidad) al campo eléctrico ($E = V_{DS}/L$), sin embargo esta velocidad no puede superar un límite aún cuando el campo sea muy alto (canal muy corto):
 - El transistor puede saturarse antes de que V_{DS} sea igual a $V_{GS} - V_T$
 - En saturación I_D depende linealmente de $V_{GS} - V_T$ e independiente de L .
- ⊗ **Efecto túnel:** cuando la capa de óxido es muy fina, los electrones pueden atravesarla
 - puede existir una intensidad I_G no despreciable
- ⊗ **Electrón caliente:** conforme L disminuye, el campo eléctrico en el drenador saturado aumenta (a voltaje fijo) aumentando la energía de los electrones
 - Al chocar con el drenador, pueden desalojar huecos y provocar una I_S no despreciable
 - Al chocar con el óxido de puerta, queden atrapados y cambien permanentemente V_T
- ⊗ **Latchup:** intrínsecamente un transistor MOS contiene varios transistores bipolares que pueden provocar un cortocircuito entre V_{DD} y V_{SS}
 - Provocando errores en el dispositivo o su degradación.

comportamiento del transistor MOS (xii)



Características I-V de un transistor nMOS
 ($W = 4.6\mu m$, $L = 1.2\mu m$ en tecnología CMOS $1.2\mu m$)

diseño de circuitos integrados I

comportamiento del transistor MOS (xiii)

elementos parásitos

⊗ **Capacidad de solapamiento:** debida al solapamiento de la puerta con la fuente y con el drenador.

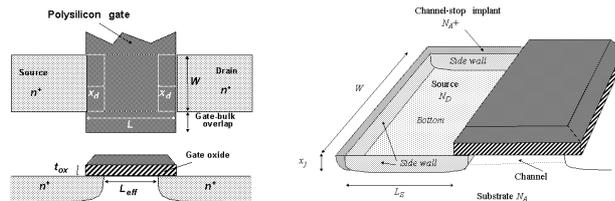
- Es lineal y depende de la difusión lateral (tecnológico) y de la anchura del canal.

$$C_{GS0} = C_{GD0} = C_{ox} x_d W$$

⊗ **Capacidades de unión:** debidos a los diodos inversamente polarizados existentes entre fuente-sustrato y drenador-sustrato, tienen un valor variable.

- Típicamente se ignora su dependencia del voltaje.
- No son lineales y dependen de la superficie y del perímetro de las difusiones.

$$C_{diff} = C_{js} L_s W + C_{jp} x_j (W + 2L_s)$$



diseño de circuitos integrados I

comportamiento del transistor MOS (xiv)

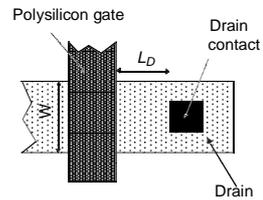
elementos parásitos

- ⊗ **Capacidad de puerta:** debido a la capacidad del canal, y determina la cantidad de carga necesaria para conmutar el dispositivo. Se descompone en tres porciones:
 - C_{GB} (entre puerta y sustrato), C_{GS} (puerta y fuente), C_{GD} (puerta y drenador).
 - No son lineales y son función de la región de trabajo y de la superficie del canal.

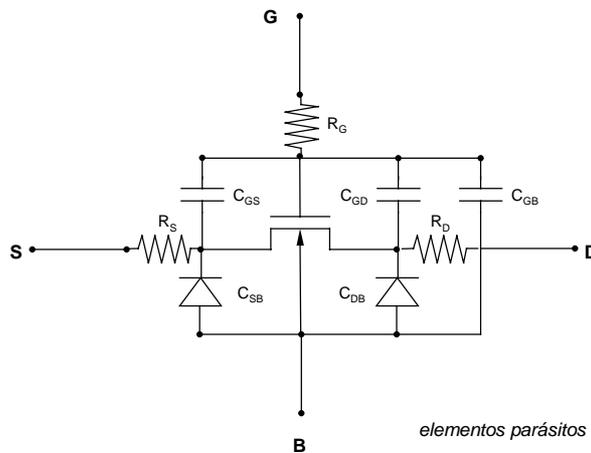
Operation Region	C'_{gb}	C'_{gs}	C'_{gd}
Cutoff	$C_{ox}WL_{eff}$	0	0
Triode	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$
Saturation	0	$(2/3)C_{ox}WL_{eff}$	0

- ⊗ **Resistencias de puerta, drenador y fuente:** debidas a las resistencias de los materiales con que se diseñan y a las resistencias de los contactos.

$$R = \frac{L_D}{W} R_s + R_c$$



comportamiento del transistor MOS (xv)



elementos parásitos de un transistor nMOS

comportamiento del transistor MOS (xvi)

modelos SPICE

- ☒ La complejidad del comportamiento de los transistores MOS submicrónicos y los muchos efectos parásitos que presentan obligan a disponer de diversos modelos con diferente margen de error y complejidad computacional (para simulaciones)
- ☒ En **SPICE** el modelo se especifica mediante el parámetro LEVEL.
 - **LEVEL 1**: modelo analítico que implementa el modelo monodimensional de canal ancho de Shichman-Hodges. No tiene en cuenta los efectos submicrónicos.
 - **LEVEL 2**: modelo analítico basado en la geometría del dispositivo. No tiene en cuenta los efectos en tres dimensiones que aparecen en MOS submicrónico.
 - **LEVEL 3**: modelo semi-empírico que para determinar sus parámetros característicos requiere la extracción de medidas reales.
 - **BSIM (LEVEL4), EKV (LEVEL 5), BSIM3, MM9**: modelos mixtos más detallados.

Parameter Name	Symbol	SPICE Name	Units	Default Value
Drawn Length	L	L	m	-
Effective Width	W	W	m	-
Source Area	AREA	AS	m ²	0
Drain Area	AREA	AD	m ²	0
Source Perimeter	PERIM	PS	m	0
Drain Perimeter	PERIM	PD	m	0
Squares of Source Diffusion		NRS	-	1
Squares of Drain Diffusion		NRD	-	1

parámetros para la descripción de aspectos geométricos (SPICE LEVEL=1, 2 ó 3)

diseño de circuitos integrados I

comportamiento del transistor MOS (xvii)

Parameter Name	Symbol	SPICE Name	Units	Default Value
SPICE Model Index		LEVEL	-	1
Zero-Bias Threshold Voltage	VT0	VT0	V	0
Process Transconductance	k'	KP	A/V ²	2.E-5
Body-Bias Parameter	g	GAMMA	V ^{0.5}	0
Channel Modulation	l	LAMBDA	1/V	0
Oxide Thickness	tox	TOX	m	1.0E-7
Lateral Diffusion	xd	LD	m	0
Metallurgical Junction Depth	xj	XJ	m	0
Surface Inversion Potential	2 Φ _F	PHI	V	0.6
Substrate Doping	N _A ,N _D	NSUB	cm ⁻³	0
Surface State Density	Q _{ss} /q	NSS	cm ⁻³	0
Fast Surface State Density		NFS	cm ⁻³	0
Total Channel Charge Coefficient		NEFF	-	1
Type of Gate Material		TPG	-	1
Surface Mobility	m0	U0	cm ² /V-sec	600
Maximum Drift Velocity	umax	VMAX	m/s	0
Mobility Critical Field	xcrit	UCRIT	V/cm	1.0E4
Critical Field Exponent in Mobility Degradation		UEXP	-	0
Transverse Field Exponent (mobility)		UTRA	-	0

parámetros para la descripción de características del proceso (SPICE LEVEL=1, 2 ó 3)

diseño de circuitos integrados I

comportamiento del transistor MOS (xviii)

Parameter Name	Symbol	SPICE Name	Units	Default Value
Source resistance	R_S	RS	Ω	0
Drain resistance	R_D	RD	Ω	0
Sheet resistance (Source/Drain)	R_s	RSH	Ω/\square	0
Zero Bias Bulk Junction Cap	C_{j0}	CJ	F/m ²	0
Bulk Junction Grading Coeff.	m	MJ	-	0.5
Zero Bias Side Wall Junction Cap	C_{jsw0}	CJSW	F/m	0
Side Wall Grading Coeff.	m_{sw}	MJSW	-	0.3
Gate-Bulk Overlap Capacitance	C_{gb0}	CGBO	F/m	0
Gate-Source Overlap Capacitance	C_{gs0}	CGSO	F/m	0
Gate-Drain Overlap Capacitance	C_{gd0}	CGDO	F/m	0
Bulk Junction Leakage Current	I_S	IS	A	0
Bulk Junction Leakage Current Density	J_S	JS	A/m ²	1E-8
Bulk Junction Potential	ϕ_0	PB	V	0.8

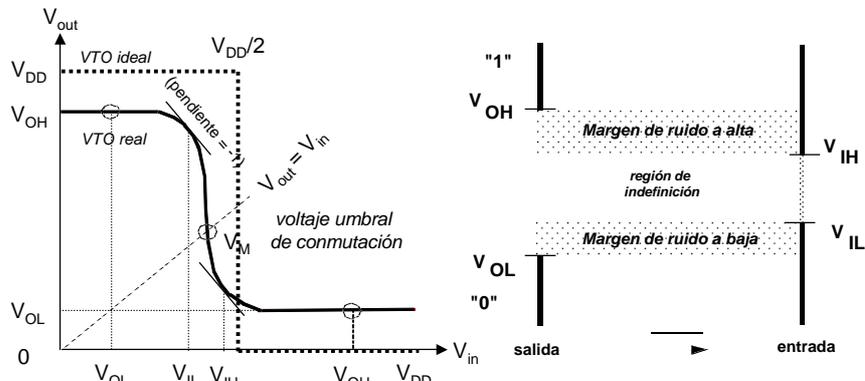
*parámetros para la descripción de elementos parásitos
(SPICE LEVEL=1, 2 ó 3)*

diseño de circuitos integrados I

inversor CMOS estático (i)

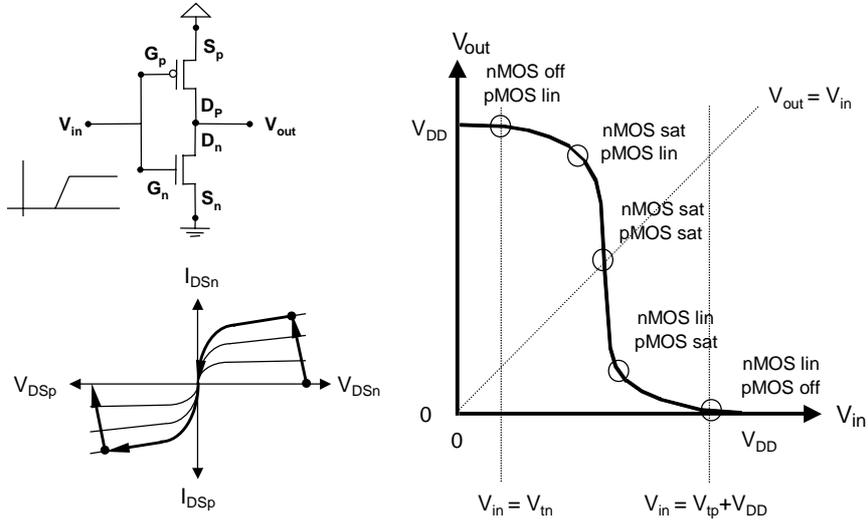
función de transferencia

- ☒ Una puerta digital opera sobre variables booleanas discretas que son abstracciones de medidas eléctricas continuas.
- ☒ La funcionalidad eléctrica se caracteriza por la función de transferencia de voltaje (VTC) que pone el voltaje de la salida como función del voltaje de entrada.



diseño de circuitos integrados I

inversor CMOS estático (ii)

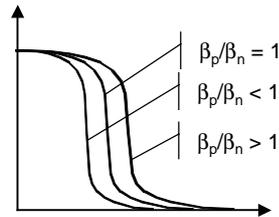
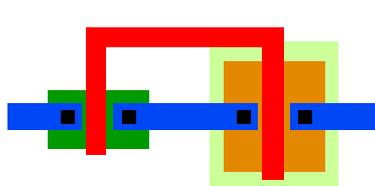


diseño de circuitos integrados I

inversor CMOS estático (iii)

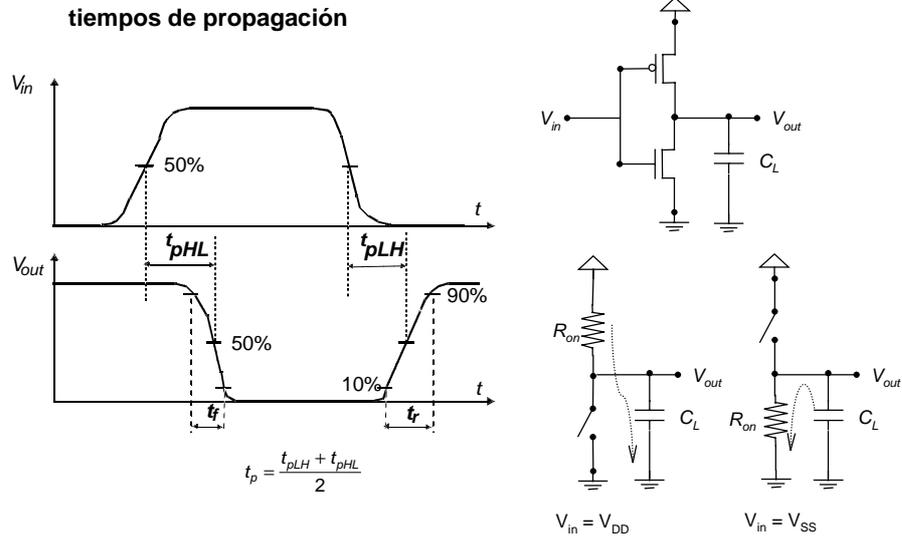
- ⊗ V_{OH} vale V_{DD} y V_{OL} vale 0
- ⊗ V_M se encuentra en $V_{DD}/2$ siempre y cuando el factor de ganancia de ambos transistores sea el mismo

$$\beta_n = \beta_p \Rightarrow k_n' \left(\frac{W}{L}\right)_n = k_p' \left(\frac{W}{L}\right)_p \Rightarrow \left(\frac{W}{L}\right)_p = \frac{k_n'}{k_p'} \left(\frac{W}{L}\right)_n$$
 - para CMOS 0.25 μm , $k_p' = 120$, $k_n' = 300$ luego si elegimos L mínima (fijada por la tecnología), W_p debe medir entre el doble y el triple que W_n
 - k_p' es diferente a k_n' ya que lo es la movilidad de los portadores en ambos transistores
 - no obstante como V_M es relativamente insensible a las pequeñas variaciones de β_p/β_n se suele redondear a la baja $W_p = 2 W_n$
- ⊗ El cambio de β_p/β_n provoca VTO asimétricas y alteraciones en V_{IH} y V_{IL}
 - la asimetría puede ser útil para filtrar señales con ruido en alguno de los niveles lógicos



diseño de circuitos integrados I

inversor CMOS estático (iv)



diseño de circuitos integrados I

inversor CMOS estático (v)

- ⊗ El tiempo de propagación dependerá de la cantidad de corriente que los transistores del inversor sean capaces de suministrar (impedancia/conductancia).
 - La impedancia (conductancia) de un transistor es
 - ✓ directamente (inversamente) proporcional a la longitud del canal L
 - ✓ inversamente (directamente) proporcional a la anchura del canal W
 - ✓ típicamente, sus dimensiones se especifican mediante la relación de escala L:W y se elige L al valor mínimo fijado por la tecnología.
- ⊗ El **tiempo de propagación a baja** de un inversor CMOS depende de la impedancia del transistor nMOS de pulldown:

$$t_{pHL} \propto \frac{C_L}{\beta_n} = \left(\frac{L}{W}\right)_n \frac{C_L}{k_n}$$
- ⊗ El **tiempo de propagación a alta** de un inversor CMOS depende de la impedancia del transistor pMOS de pullup:

$$t_{pLH} \propto \frac{C_L}{\beta_p} = \left(\frac{L}{W}\right)_p \frac{C_L}{k_p}$$
- ⊗ Para que un inversor CMOS tenga tiempos de propagación simétricos los factores de ganancia de ambos transistores deben ser iguales.
- ⊗ El **tiempo de propagación** es:

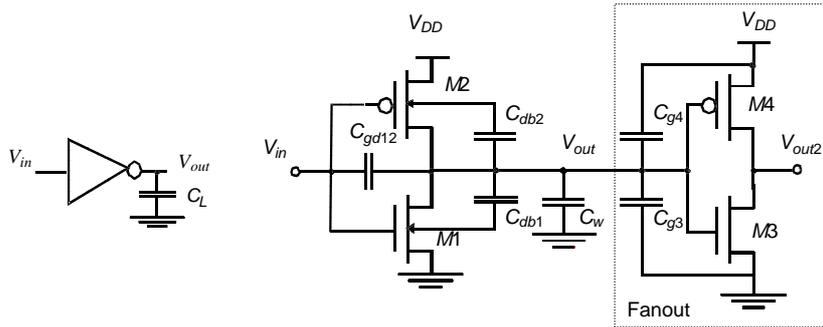
$$t_p = \frac{t_{pLH} + t_{pHL}}{2} \propto \frac{C_L}{2} \left(\frac{1}{\beta_p} + \frac{1}{\beta_n}\right)$$
- ⊗ Cuando la señal de entrada no cambia abruptamente, el retardo del inversor aumenta conforme el tiempo de subida/bajada de la señal de entrada aumenta.

diseño de circuitos integrados I

inversor CMOS estático (vi)

cálculo de capacidades

- ☒ El retardo de propagación de un inversor CMOS es proporcional al tiempo de carga o descarga del condensador de carga a través del transistor de pullup o de pulldown.
 - C_{GD1} , C_{GD2} : capacidades de solapamiento (proporcional a la anchura del canal)
 - C_{DB1} , C_{DB2} : capacidades de unión (proporcional a la área y perímetro de las difusiones)
 - C_W : capacidades de interconexión (proporcional a la área y perímetro de la interconexión)
 - C_{G1} , C_{G2} : capacidades de puerta (proporcional a la área del canal)



diseño de circuitos integrados I

inversor CMOS estático (vii)

consumo

- ☒ Mide la cantidad de energía que consume y el calor que disipa un circuito por operación:
 - el consumo determina el número máximo de transistores por chip, el empaquetamiento, los requisitos de refrigeración, la capacidad de la fuente de alimentación, el tamaño de las líneas de alimentación, etc.
- ☒ **Consumo estático:** ocurre con el dispositivo en régimen permanente, es decir, conectado pero en reposo
 - teóricamente para circuitos CMOS debería ser 0, pero en la práctica es muy pequeño debido a la existencia de pequeñas corrientes de fuga
 - ✓ a través de los diodos inversamente polarizados parásitos que existen con el sustrato
 - ✓ a través del transistor por conducción subumbral
- ☒ **Consumo dinámico:** ocurre con el dispositivo en régimen transitorio, por lo que depende de la frecuencia de conmutación. Se debe a:
 - intensidad de carga y descarga del condensador de carga.
 - intensidad a través del camino directo (momentáneo) entre alimentación y tierra.
 - ✓ los transistores no son conmutadores perfectos.
 - ✓ las señales no cambian instantáneamente.

$$P = P_{est} + P_{din} + P_{dir} = I_{fuga} V_{DD} + C_L V_{DD}^2 f + \left(\frac{t_r + t_f}{2} \right) V_{DD} I_{pico} f$$

diseño de circuitos integrados I

inversor CMOS estático (viii)

otras propiedades

- ⊗ **Regeneración:** toda señal distorsionada dentro de los márgenes de ruido converge gradualmente a los niveles de voltaje nominales tras atravesar un cierto número de etapas lógicas.
- ⊗ **Unidireccionalidad:** los cambios en la salida del inversor no afectan a la entrada
 - la puerta de un transistor MOS es prácticamente un aislante perfecto que no permite la circulación de intensidad entre la entrada y la salida.
 - aunque puede existir un cierto acoplamiento entre las señales.
- ⊗ **Fan-out:** teóricamente un inversor CMOS tiene un fanout infinito.
 - al tener un resistencia de entrada muy alta, la intensidad suministrada por el inversor no se distribuye hacia la salida
 - sin embargo el elevado fanout degrada el retado al aumentar la capacidad de carga.
- ⊗ **Area:** depende del área de las difusiones y del área del interconexiónado
 - conviene que sea pequeña ya que :
 - ✓ Circuitos baratos, mayor densidad de integración.
 - ✓ Circuitos rápidos, la capacidad de puerta disminuye con el tamaño.

lógica combinacional CMOS estática (i)

- ⊗ El tiempo de propagación de un bloque de lógica combinacional genérico depende de la combinación de valores de entrada y de la transición que realice la salida.
 - por ello, se suelen estudiar el mejor y el peor caso, dando lugar a las nociones de **tiempo de propagación mínimo** (o de **contaminación**) y **máximo**.

- ⊗ Estos tiempos suelen aproximarse por los de un "inversor equivalente".

- ⊗ Sea una puerta NAND de 2 entradas diseñada con transistores con igual factor de ganancia.

- para que la salida realice una transición de 0 a 1 el árbol de pullup debe conducir, encontramos 2 casos:

- ✓ sólo uno de los transistores conduce (peor caso)

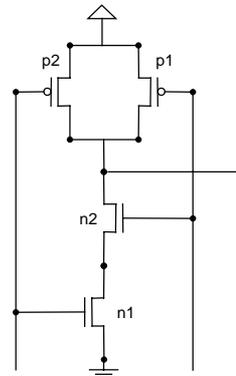
$$\beta_{peff} = \beta_{p1} = \beta_p \quad t_{pLH} \propto \frac{C_L}{\beta_{peff}} = \frac{C_L}{\beta_p}$$

- ✓ ambos transistores conducen (mejor caso)

$$\beta_{peff} = \beta_{p1} + \beta_{p2} = 2\beta_p \quad t_{pLH} \propto \frac{C_L}{\beta_{peff}} = \frac{C_L}{2\beta_p}$$

- para que la salida realice una transición de 1 a 0, el árbol de pulldown debe conducir, es decir, todos los transistores nMOS en serie deben conducir

$$\beta_{neff} = \frac{1}{\frac{1}{\beta_{n1}} + \frac{1}{\beta_{n2}}} = \frac{\beta_n}{2} \quad t_{pHL} \propto \frac{C_L}{\beta_{neff}} = \frac{2C_L}{\beta_n}$$

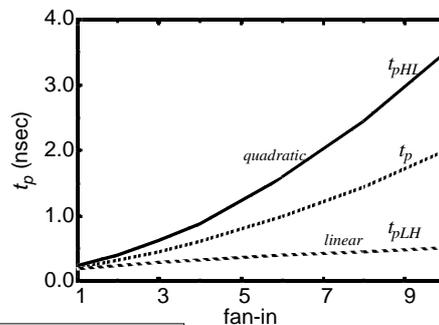


lógica combinacional CMOS estática (ii)

- ⊗ Para aproximar el tiempo de transición 0 a 1 se tiene en cuenta la red de pullup, para el tiempo de transición 1 a 0, la red de pulldown.
- ⊗ Se calculan tiempos máximos y mínimos ambos tipos de transiciones conociendo:
 - el factor de ganancia (directamente proporcional a la conductancia e inversamente proporcional a la resistencia) de una red de transistores en serie se calcula como la inversa de la suma de las inversas de los factores de ganancia de los transistores.
 - el peor factor de ganancia de una red de transistores en paralelo es el mínimo de los factores de ganancia de los transistores
 - el mejor factor de ganancia de una red de transistores en paralelo es la suma de los factores de ganancia de los transistores.
 - cuando existe una red mixta de transistores, se van calculando los factores de ganancia máximos y mínimos de cada una de las subredes según las anteriores reglas.
- ⊗ Los tiempos de propagación máximos y mínimos de un bloque combinacional serán los máximos y mínimos absolutos.
- ⊗ El **tiempo de incertidumbre** de un bloque combinacional se define como la diferencia entre el tiempo de propagación máximo y mínimo
 - la salida de un bloque combinacional sólo realiza transiciones en respuesta a transiciones de sus entradas durante el tiempo de incertidumbre

lógica combinacional CMOS estática (iii)

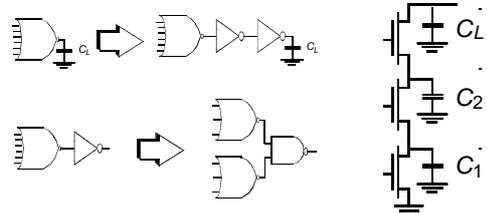
- ⊗ El tiempo de propagación de la lógica combinacional CMOS
 - se degrada linealmente cuando aumenta el fanout
 - ✓ toda salida debe conectarse tanto a transistores pMOS como nMOS
 - se degrada cuadráticamente cuando aumenta el fanin
 - ✓ un circuito con N entradas requiere 2N transistores
 - ✓ conforme aumenta el número de entradas aumenta la capacidad total.
 - ✓ conforme aumenta el número de entradas también aumenta el número de transistores en serie y disminuye el factor de ganancia equivalente.



lógica combinacional CMOS estática (iv)

Técnicas de reducción de los tiempos de propagación

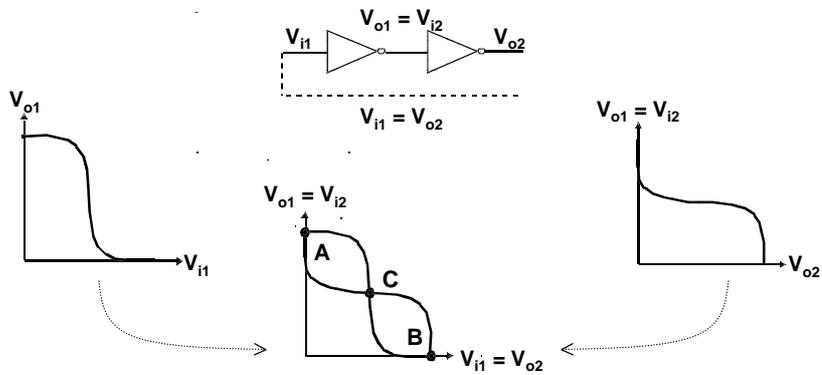
- ☒ **Reduciendo la capacidad de carga:**
 - Reduciendo capacidades parásitas: difusión, de puerta.
 - Reduciendo la capacidad de las interconexiones.
 - Reduciendo el fanout y el fanin (no mayor de 4).
- ☒ **Incrementando el factor de ganancia de los transistores**
 - No obstante, al aumentar el tamaño de los transistores se acelera el retardo de la etapa a costa de retrasar el retardo de la anterior.
- ☒ **Reordenando los transistores**
- ☒ **Modificando el diseño lógico**
 - usando buffers que permitan aislar el efecto del fanin del efecto del fanout
 - rediseñando con bloques de menor fanin a costa de un mayor número de niveles de lógica



diseño de circuitos integrados I

lógica secuencial CMOS estática (i)

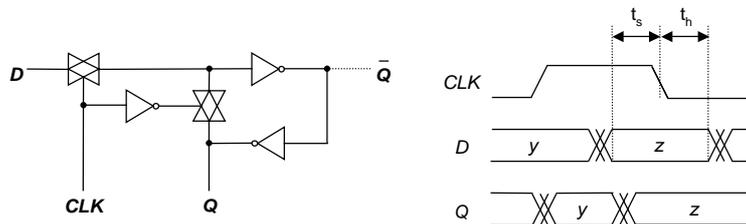
- ☒ El elemento de almacenamiento básico en lógica CMOS estática es un doble inversor realimentado.
 - Posee dos puntos estables: A y B.
 - Posee un punto metaestable: C.



diseño de circuitos integrados I

lógica secuencial CMOS estática (ii)

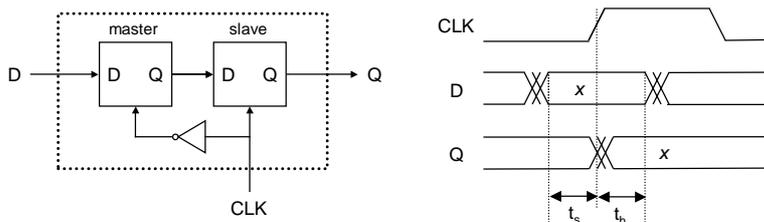
- ☒ Biestable tipo D disparado por nivel alto (**latch**):
 - **terminales:** D - entrada de datos, CLK - entrada de reloj, Q - salida de datos
 - **comportamiento:**
 - ✓ si CLK='1', transmite la entrada a la salida
 - ✓ si CLK='0', la salida permanece estable al último valor de la entrada cuando CLK='1'.
- ☒ Para que un latch tenga un comportamiento predecible:
 - t_s - **tiempo de setup** - tiempo mínimo que debe permanecer la entrada estable antes de la deshabilitación del dispositivo.
 - ✓ viene determinado por el retardo de almacenamiento de un dato
 - t_h - **tiempo de hold** - tiempo mínimo que debe permanecer la entrada estable después de la deshabilitación del dispositivo.
 - ✓ viene determinado por los retardos de conmutación de las puertas de paso



diseño de circuitos integrados I

lógica secuencial CMOS estática (iii)

- ☒ Biestable tipo D disparado por flanco de subida (**flip-flop**):
 - **terminales:** D - entrada de datos, CLK - entrada de reloj, Q - salida de datos
 - **comportamiento:**
 - ✓ cuando CLK pasa de '0' a '1', transmite la entrada a la salida
- ☒ Para que un flip-flop tenga un comportamiento predecible:
 - t_s - **tiempo de setup** - tiempo mínimo que debe permanecer la entrada estable antes del flanco de reloj. Depende del setup del master
 - t_h - **tiempo de hold** - tiempo mínimo que debe permanecer la entrada estable después del flanco de reloj. Depende del hold de slave
 - ✓ Adicionalmente el tiempo de contaminación del master debe ser mayor que el tiempo de hold del slave (problemas en el flanco de bajada).



diseño de circuitos integrados I

reglas de diseño (i)

- ☒ Los parámetros de los dispositivos pueden variar de una manufactura a otra.
 - **Variaciones en los parámetros del proceso:** debidas a condiciones no uniformes durante las fases de fabricación
 - ✓ Se manifiestan como variaciones en los parámetros característicos de los transistores (grosor de óxido, profundidad de las difusiones, ...)
 - **Variaciones en las dimensiones de los elementos:** debidas a la limitada resolución del proceso fotolitográfico
 - ✓ Se manifiestan como variaciones funcionales del diseño (desalineamientos, falsos contactos, cortes, variaciones en los tamaños relativos ...)
 - Para que estas pequeñas variaciones afecten mínimamente la funcionalidad del circuito existen las reglas de diseño.
- ☒ Las **reglas de diseño** son el interfaz entre el diseñador y el ingeniero de proceso
 - Son ligaduras geométricas que aseguran una correcta construcción de máscaras
 - Son un compromiso entre rendimiento y el porcentaje de circuitos funcionales (yield), de manera que se obtengan circuitos lo más pequeños posible, sin comprometer su fiabilidad.
 - ✓ pueden existir diseños que violen las reglas de diseño y sean funcionales y viceversa.
 - **Reglas de resolución:** restringen la geometría de los elementos de un layer
 - ✓ anchura mínima, separación mínima, superficie mínima
 - **Reglas de alineamiento/solapamiento:** restringen las posiciones relativas de elementos en diferentes layers

diseño de circuitos integrados I

reglas de diseño (ii)

- ☒ **Reglas de diseño absolutas**
 - se definen en base a medidas reales
 - ✓ ej: anchura de polisilicio mínima 0.3 μm
 - son específicas de cada proceso.
 - se alcanzan niveles máximos de integración
 - dificultan el diseño
- ☒ **Reglas de diseño escalables**
 - se definen en base al parámetro λ
 - ✓ típicamente λ es la mitad de la longitud mínima de canal
 - el layout se traza sobre una retícula discreta
 - ✓ siendo la máxima resolución de la retícula igual a λ .
 - se aplican a una variedad de procesos por ser independientes de las dimensiones reales
 - ✓ conforme la escala de integración aumenta, el valor absoluto de λ disminuye.
 - facilitan el diseño y la reusabilidad a costa de ser muy conservadoras y obtener niveles de integración medios

diseño de circuitos integrados I

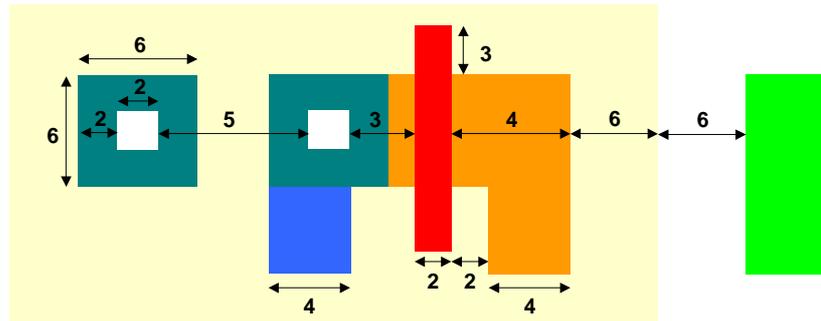
reglas de diseño (iii)

CMOS 0.25 μm (reglas de resolución)

	anchura	separación	superficie
polisilicio	2λ	3λ	$8\lambda^2$
difusión	4λ	4λ	$24\lambda^2$
metal 1,2,3,4	4λ	4λ	$32\lambda^2$
metal 5	8λ	8λ	$100\lambda^2$
metal 6	8λ	15λ	$300\lambda^2$
pozo n	12λ	12λ	$144\lambda^2$
contacto, vía	2λ	5λ	

CMOS 0.25 μm (reglas de alineamiento)

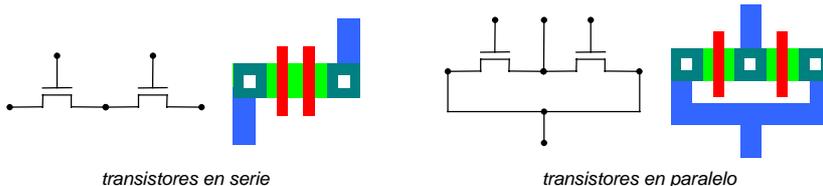
solapamiento polisilicio/difusión:	2λ
exceso de polisilicio/difusión:	3λ
exceso de difusión/polisilicio:	4λ
exceso de metal/contacto:	2λ
exceso de metal 1,2,3,4/vía:	2λ
exceso de metal 5,6/vía:	3λ
exceso pozo/difusión:	6λ



diseño de circuitos integrados I

metodología de diseño físico (i)

- ☒ El proceso es de pozo n (n-well), es decir, el sustrato es tipo p ligeramente dopado
 - para diseñar un transistor nMOS se hace cruzar polisilicio sobre difusión tipo n.
 - para diseñar un transistor pMOS se traza un pozo n y sobre el se hace cruzar polisilicio sobre difusión tipo p.
 - nunca conectar directamente difusión tipo n y difusión tipo p, usar metal.
- ☒ Intentar mantener agrupados transistores del mismo tipo
 - comparten el mismo sustrato
 - los transistores nMOS suelen estar cerca de Vss y los pMOS cerca de Vdd.
 - transistores en serie o en paralelo del mismo tipo, pueden compartir difusión.
- ☒ Diseñar siempre que sea posible usando anchuras mínimas
 - Reduce las capacidades parásitas, disminuyendo los tiempos de conmutación.



transistores en serie

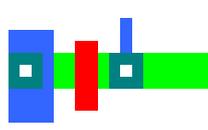
transistores en paralelo

diseño de circuitos integrados I

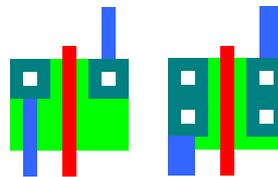
metodologías de diseño físico (ii)

☒ Interconectar componentes usando preferentemente metal:

- no usar difusiones para conectar, mantenerlas lo más pequeñas posibles.
- polisilicio para interconexiones muy próximas (típicamente entradas entre sí).
- metal 1 para el contacto entre las capas inferiores de polisilicio o difusiones (típicamente salidas entre sí, y salidas con entradas)
- usar siempre metales superiores para interconexiones largas.
- recordar que un layer solo se puede conectar directamente con layers adyacentes, para conexiones entre layers no adyacentes apilar vías.
- recordar que cada contacto entre metal y difusión soporta aprox. 1 mA, usar varios contactos cuando sea necesario.
- usar siempre metal para distribuir Vdd y Vss, recordando que los metales externos tienen menor resistencia que los metales internos.



diseño con anchuras mínimas



uso de varios contactos

diseño de circuitos integrados I

metodologías de diseño físico (iii)

☒ Trazar los elementos de cada layer lo más homogéneamente posible, alternando la dirección entre layers adyacentes

➢ técnica de Weinberger

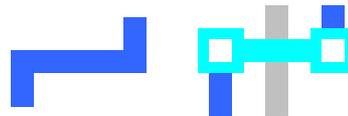
- ✓ alimentación y tierra se distribuyen mediante conexiones metálicas horizontales.
- ✓ difusiones se trazan en vertical y polisilicio en horizontal.
- ✓ las entradas y salidas se disponen a izquierda y derecha de la celda.
- ✓ las interconexiones se trazan horizontalmente en metal.

➢ técnica de celdas estándar

- ✓ alimentación y tierra se distribuyen mediante conexiones metálicas horizontales.
- ✓ las difusiones se trazan en horizontal y el polisilicio en vertical.
- ✓ las entradas y salidas se disponen arriba y abajo de la celda.
- ✓ las interconexiones se trazan horizontalmente en metal a través de canales de rutado.

☒ No optimizar uno a uno los componentes del sistema, el diseño puede eternizarse

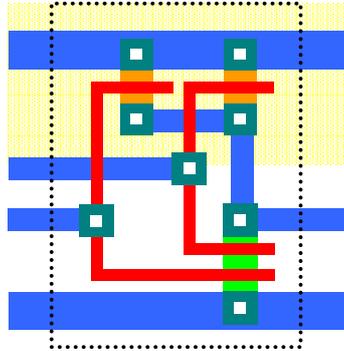
- usar masivamente facilidades de copia/pegado



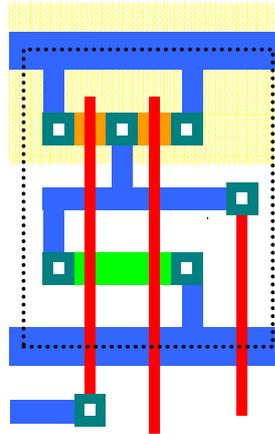
trazado homogéneo

diseño de circuitos integrados I

metodologías de diseño físico (iv)



puerta NAND
estilo Weinberger



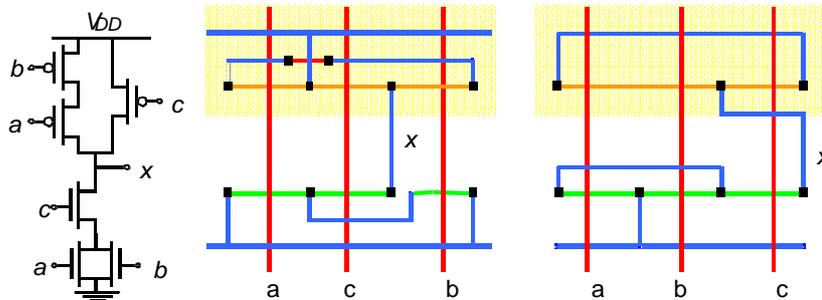
puerta NAND
estilo celdas estándar

diseño de circuitos integrados I

metodologías de diseño físico (v)

- ☒ Para obtener una alta densidad de integración en el estilo de celdas estándar es conveniente que los transistores nMOS y pMOS se tracen colindantes y en fila
 - así todos pueden compartir la misma difusión y se evita el trazado explícito de las conexiones entre fuentes y drenadores

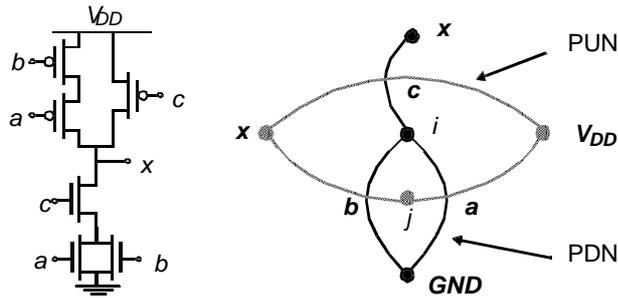
- ☒ Sin embargo, para lograrlo es importante elegir un orden adecuado de trazado de las entradas



diseño de circuitos integrados I

metodologías de diseño físico (vi)

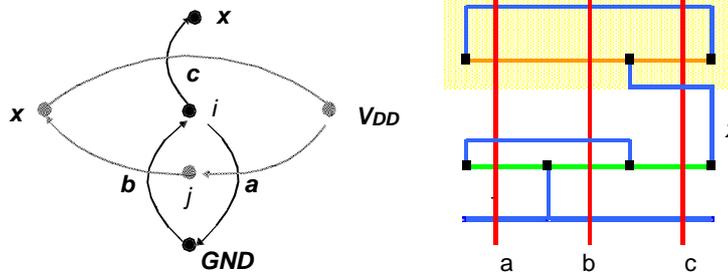
- ☒ Para elegir el orden de trazado de las entradas existe el **método del grafo lógico**
- ☒ **Construcción del grafo lógico:** que se puede trazar para la red de transistores de pullup o de pulldown.
 - los **vértices** del grafo representan a los puntos de unión de la red de transistores
 - cada vértice se nombra según el nombre de la señal que representa
 - los **arcos** representan a los transistores
 - cada arco se nombra según la entrada que controla al transistor



diseño de circuitos integrados I

metodologías de diseño físico (vii)

- ☒ **Identificación de un camino de Euler**
 - un **camino de Euler**, es un recorrido de todos los vértices del grafo de manera que cada arco solo se visite una vez
 - una red de transistores nMOS (pMOS) pueden trazarse en una única difusión si existe un camino de Euler en el grafo de la red de pulldown (pullup)
 - el orden de trazado de las entradas queda determinado por la secuencia de arcos en el camino de Euler elegido



diseño de circuitos integrados I

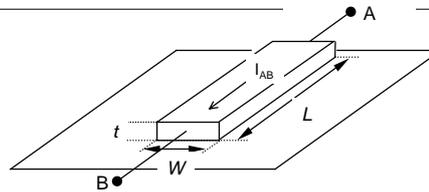
caracterización (i)

resistencia

- ⊗ La resistencia de una lámina es: $R = \frac{\rho}{t} \frac{L}{W} \Rightarrow I_{AB} = \frac{\rho}{t} \frac{L}{W} V_{AB}$
 - para un cierto material la resistividad, ρ , es constante.
 - para un cierto proceso tecnológico el grosor, t , de una cierta capa es constante.
- ⊗ Por ello esta expresión se reescribe como: $R = \frac{L}{W} R_s$
 - donde $R_s = \frac{\rho}{t}$ es la resistencia de un cuadrado de material, con unidades de $\Omega/$.
 - permitiendo el cálculo de la resistencia en función de la relación L/W .
- ⊗ Aunque el comportamiento de un transistor es no-lineal a veces es útil aproximarlo en términos de la "resistencia del canal": $R_{on} = \frac{L}{W} cte$ $\left[cte = \frac{1}{k'(V_{GS} - V_T)} \right]$
 - Constante que depende del tipo de transistor

CMOS 0.25 μ m

Polisilicio:	4 $\Omega/$	Contacto:	2 $\Omega/$
Difusión:	6 $\Omega/$	Vía 1:	2 $\Omega/$
Metal 1:	0.25 $\Omega/$	Vía 2,3:	3 $\Omega/$
Metal 2,3,4:	0.06 $\Omega/$	Vía 4:	2 $\Omega/$
Metal 5,6:	0.04 $\Omega/$	Vía 5:	1 $\Omega/$



diseño de circuitos integrados I

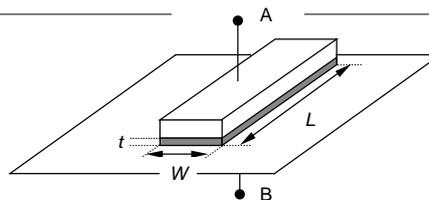
caracterización (ii)

capacidad

- ⊗ La capacidad de una lámina depende del área del aislante: $C = \frac{\epsilon_0 \epsilon_{ins} LW}{t}$
 - para un cierto material la permeabilidad, ϵ_{ins} , es constante.
 - para un cierto proceso tecnológico el grosor, t , de una cierta capa es constante.
- ⊗ Por ello esta expresión se reescribe como: $C = \frac{LW}{4} C_g$
 - donde $C_g = \frac{\epsilon_0 \epsilon_{ins}}{t}$ es la capacidad de un cuadrado de 2λ , con unidades de $F/$.
 - permitiendo el cálculo de la capacidad en función de la relación LW .
- ⊗ Aunque las capacidades parásitas de un transistor son múltiples y no lineales la más importante es la "capacidad de puerta" que suele aproximarse por su valor en el peor caso: $C_G = C_{ox} LW$

CMOS 0.25 μ m (capacidades de superficie)

Poli (ox. fino) /sustrato:	4.6 fF/ $\mu^2 = 0.3$ fF/
Poli (ox grueso) /sustrato:	0.080 fF/ μ^2
Metal 1 / sustrato:	0.028 fF/ μ^2
Metal 2 / sustrato:	0.013 fF/ μ^2
Metal 3 / sustrato:	0.008 fF/ μ^2

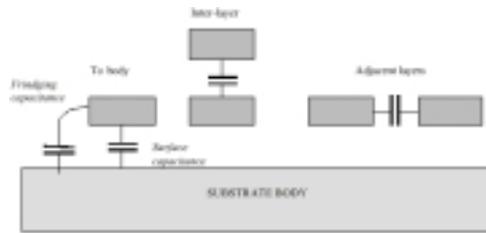


diseño de circuitos integrados I

caracterización (iii)

capacidad

- ⊗ El modelo capacitivo de una lámina calculado según su superficie solamente es válido cuando el grosor de la lámina es despreciable, pero a escala submicrónica:
 - no existen láminas, sólo bloques rodeados de aislante.
 - debe tenerse en cuenta
 - ✓ capacidades de borde (dependen del perímetro)
 - ✓ capacidades verticales entre layers adyacentes (dependen del área de superposición)
 - ✓ capacidades laterales entre bloques adyacentes del mismo layer. (dependen de la longitud del trazado paralelo).



CMOS 0.25μm (capacidades de borde)

Metal 1:	0.042 fF/μm
Metal 2:	0.036 fF/μm
Metal 3:	0.033 fF/μm

CMOS 0.25μm (crosstalk vertical)

Metal 1 / polisilicio:	0.060 fF/μm ²
Metal 2 / metal 1:	0.038 fF/μm ²
Metal 3 / metal 2:	0.050 fF/μm ²

CMOS 0.25μm (crosstalk lateral)

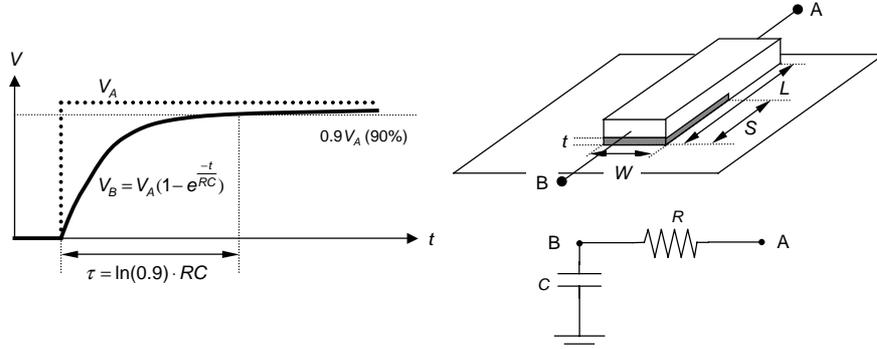
Metal 1 (W,d=0.5μm):	0.010 fF/μm ²
----------------------	--------------------------

diseño de circuitos integrados I

caracterización (iv)

retardo de conmutación

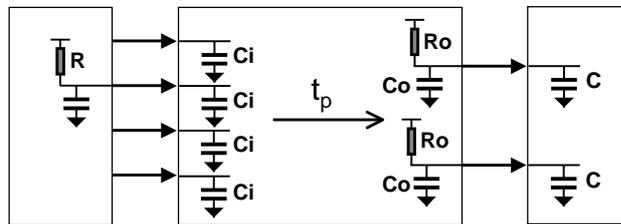
- ⊗ El retardo de conmutación de un punto es $\tau \propto RC$
- ⊗ Esta expresión puede reescribirse como: $\tau \propto (\frac{L}{W} R_s) (\frac{WS}{4} C_g) = \frac{L}{W} \cdot \frac{WS}{4} \tau_u$
 - donde $\tau_u = R_s C_g$ es el retardo de conmutación de un cuadrado de 2λ , con unidades de s/.



diseño de circuitos integrados I

caracterización (v)

- ☒ Es imposible analizar el comportamiento temporal de un diseño con miles de transistores analizando individualmente cada uno de ellos.
- ☒ Un módulo se caracteriza por:
 - Función lógica.
 - Tiempos de propagación internos independientes de la carga.
 - Capacidad de las entradas, C_i , y capacidad de las salidas, C_o
 - Resistencia de las entradas, R_i , y resistencia de las salidas, R_o
 - ✓ en CMOS las entradas tienen una resistencia de entrada muy alta
 - Los correspondientes productos RC permiten el cálculo de los tiempos de propagación función de la carga.



diseño de circuitos integrados I

• • • • •