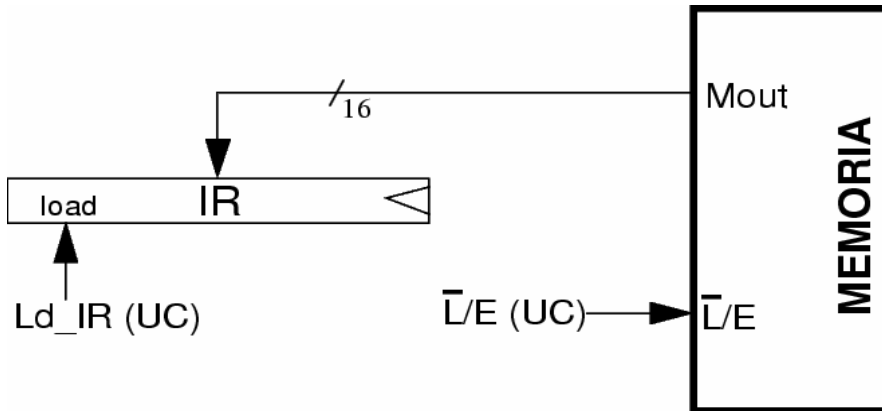
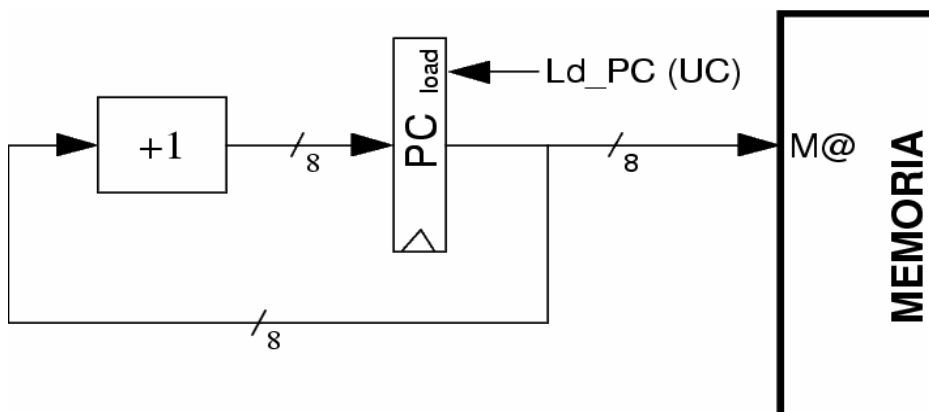


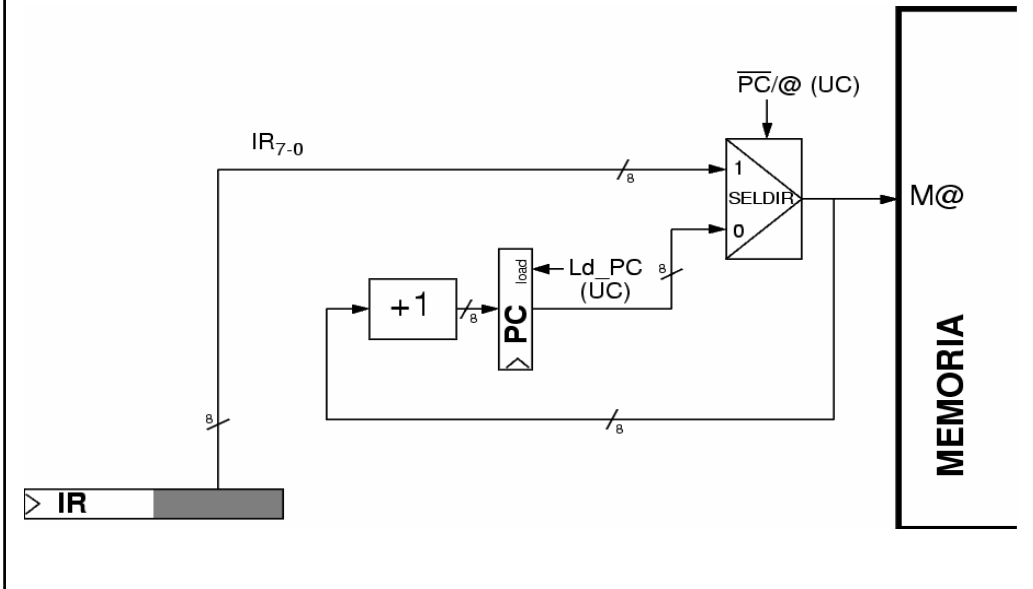
Almacenamiento de la instrucción en ejecución



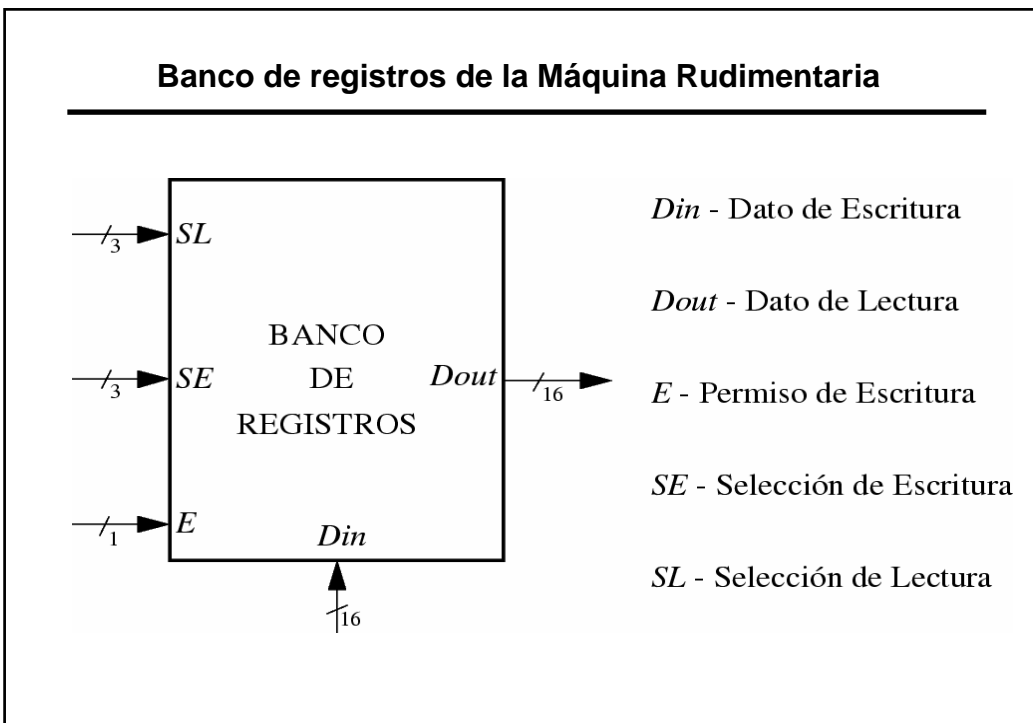
Incremento de la dirección contenida en el PC



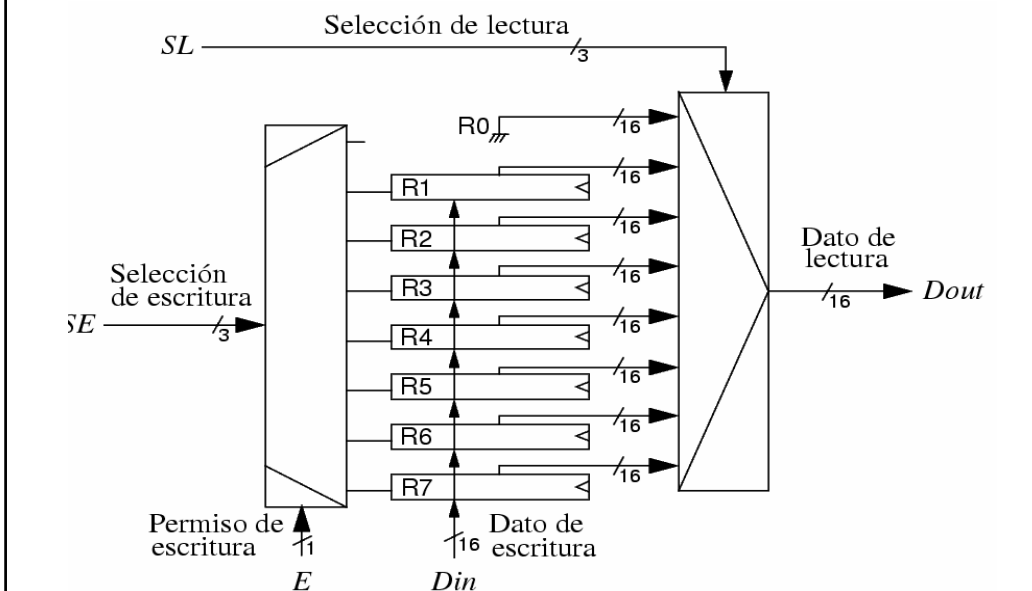
Control del secuenciamiento implícito



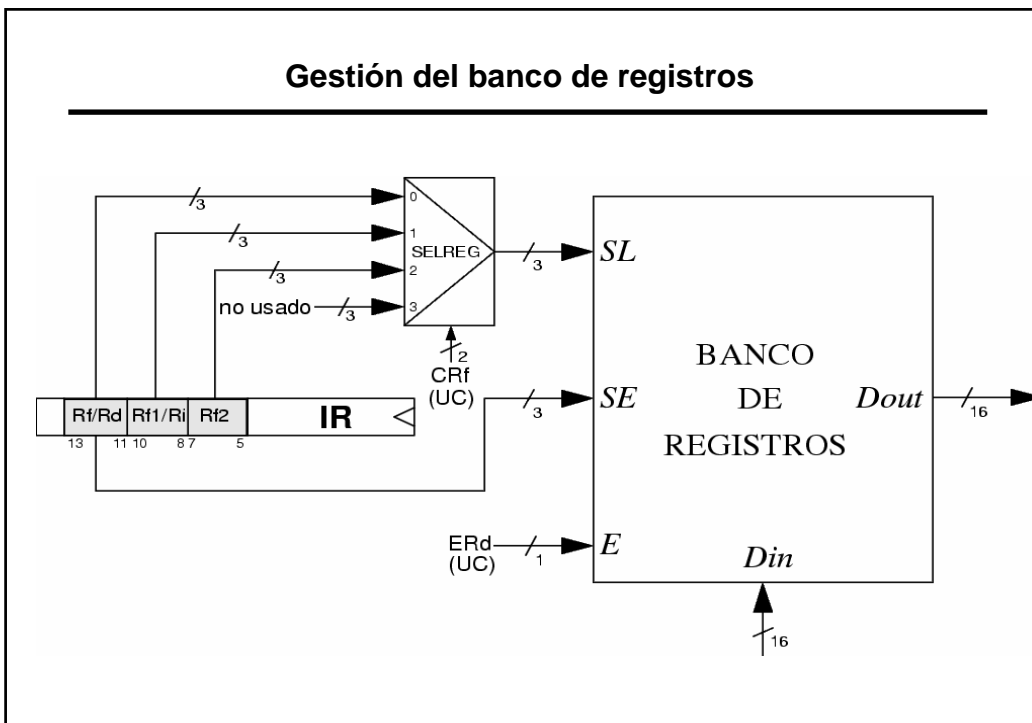
Banco de registros de la Máquina Rudimentaria



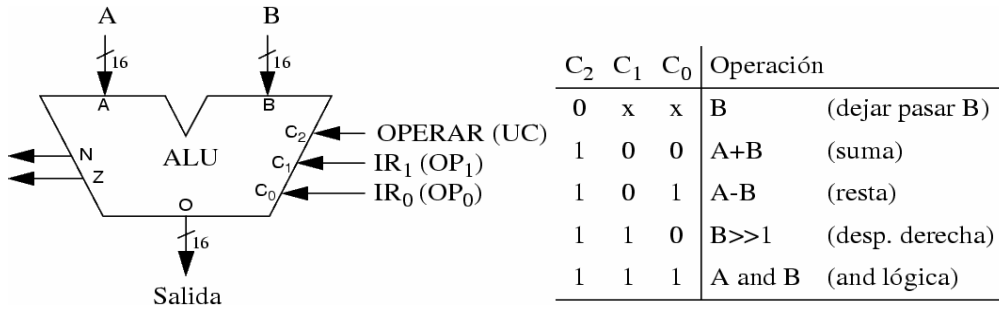
Diseño interno del banco de registros



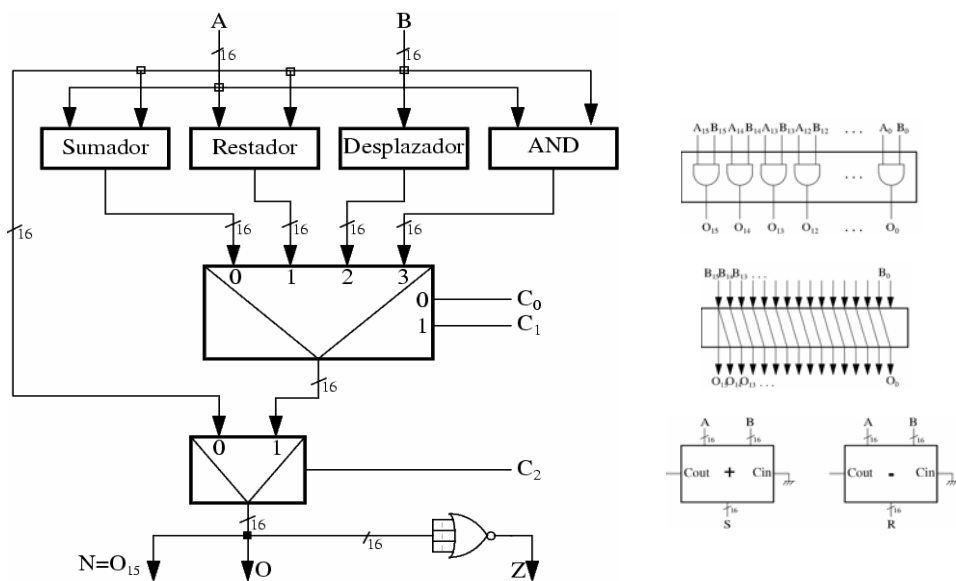
Gestión del banco de registros



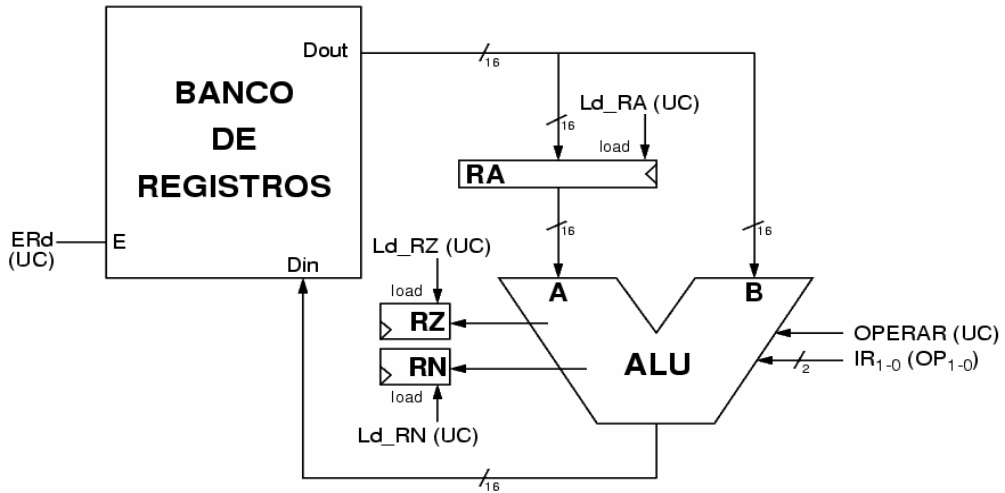
Especificaciones de la ALU



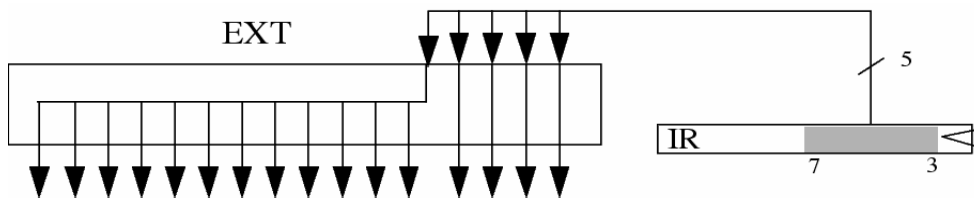
Diseño interno de la ALU



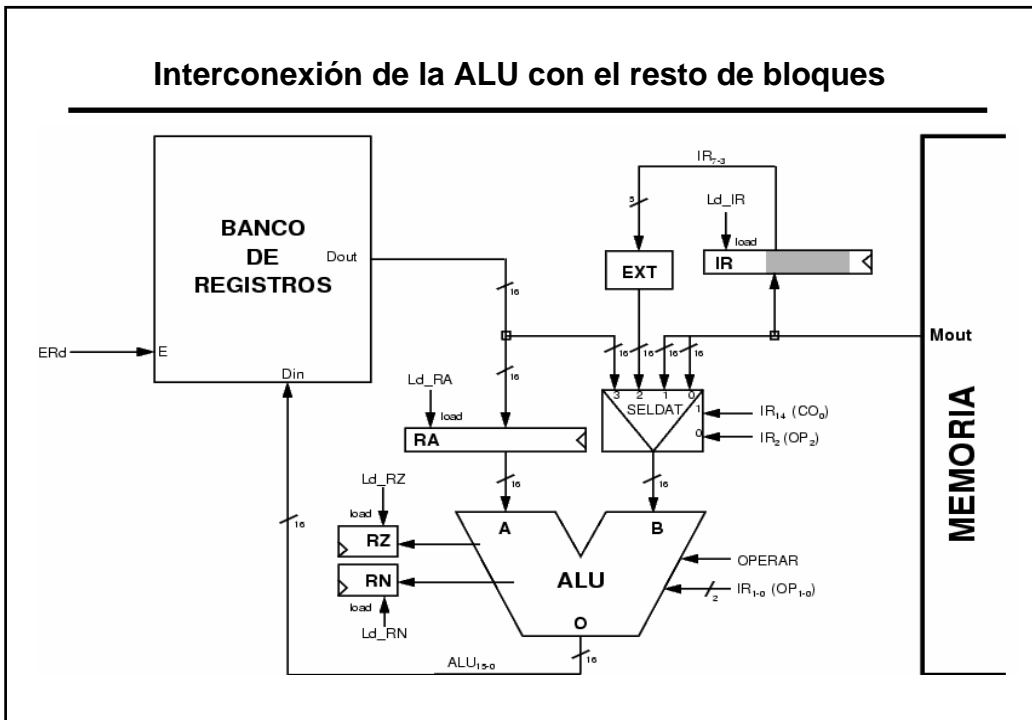
Interconexión de la ALU con el banco de registros, RN y RZ



Extensión de signo del operando inmediato



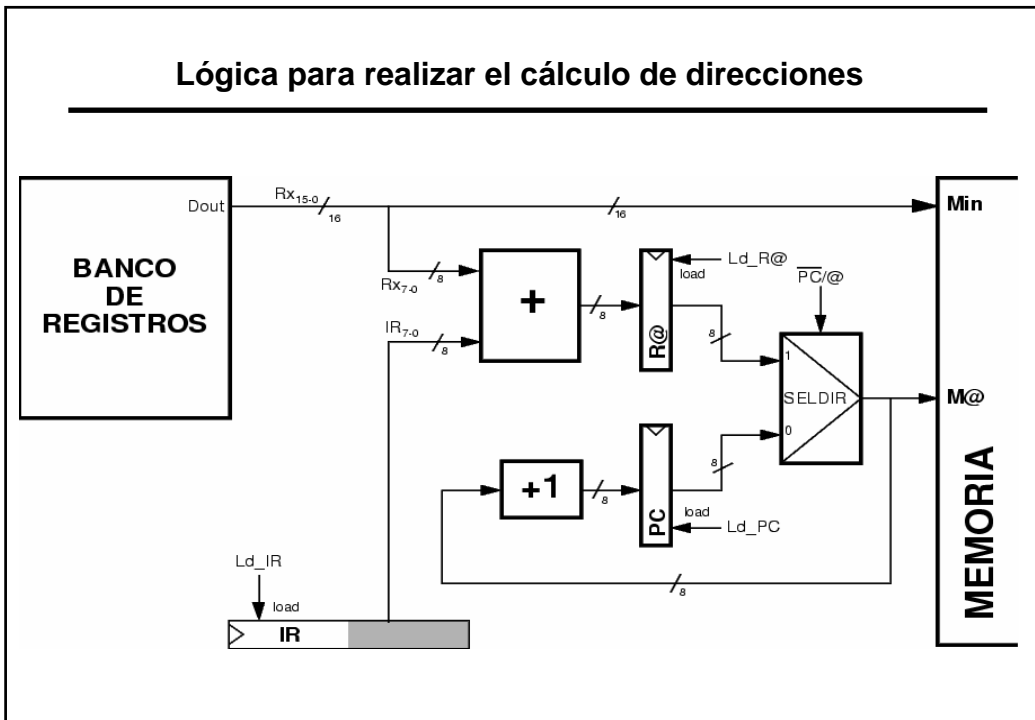
Interconexión de la ALU con el resto de bloques



Bloque que evalúa la condición de salto y tabla de verdad

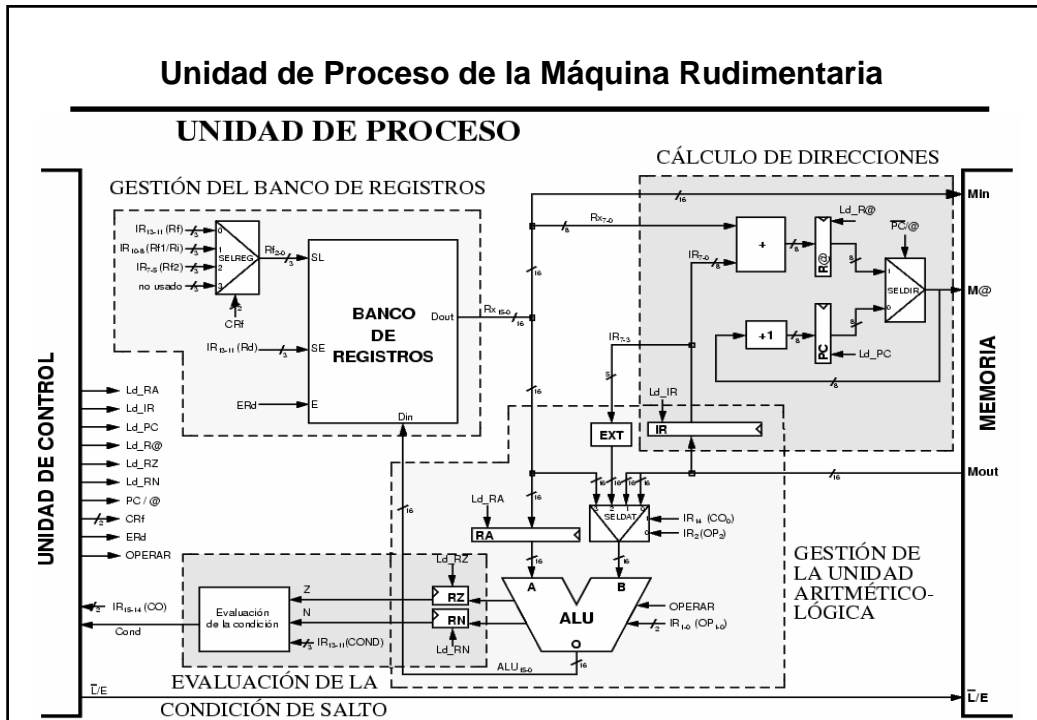
COND	Cond	(instrucción de salto)
000	1	BR
001	Z	BEQ
010	N	BL
011	N v Z	BLE
100		
101	\bar{Z}	BNE
110	\bar{N}	BGE
111	$\overline{N v Z}$	BG

Lógica para realizar el cálculo de direcciones



Unidad de Proceso de la Máquina Rudimentaria

UNIDAD DE PROCESO



Actividad en la Unidad de Proceso durante la fase de fetch

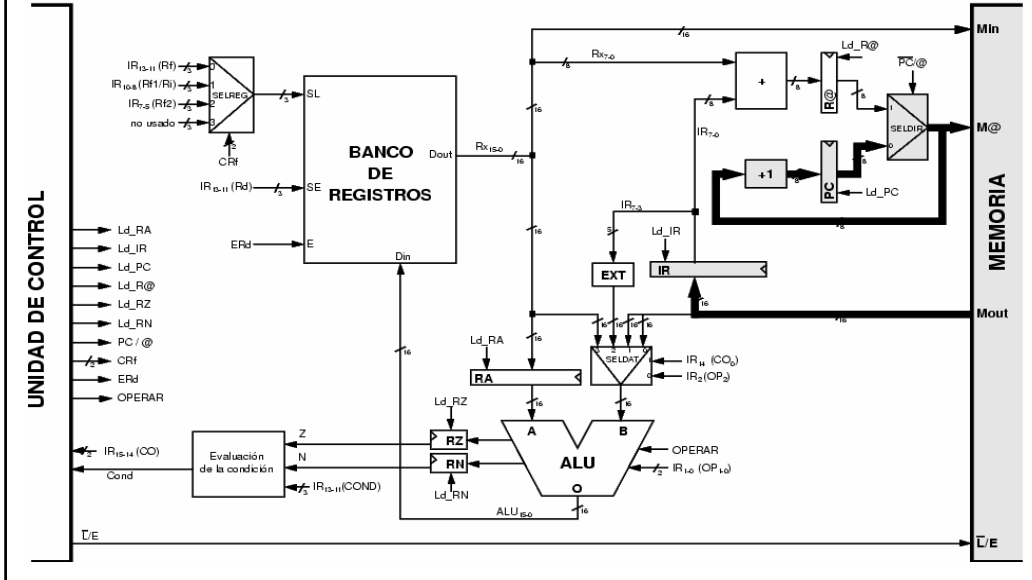


Diagrama de estados y tabla de salidas de las fases de fetch y descodificación

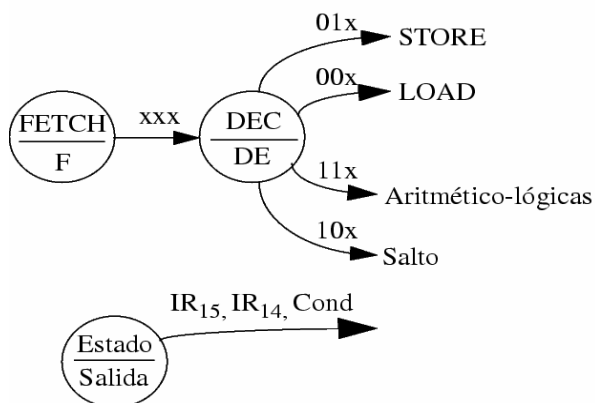
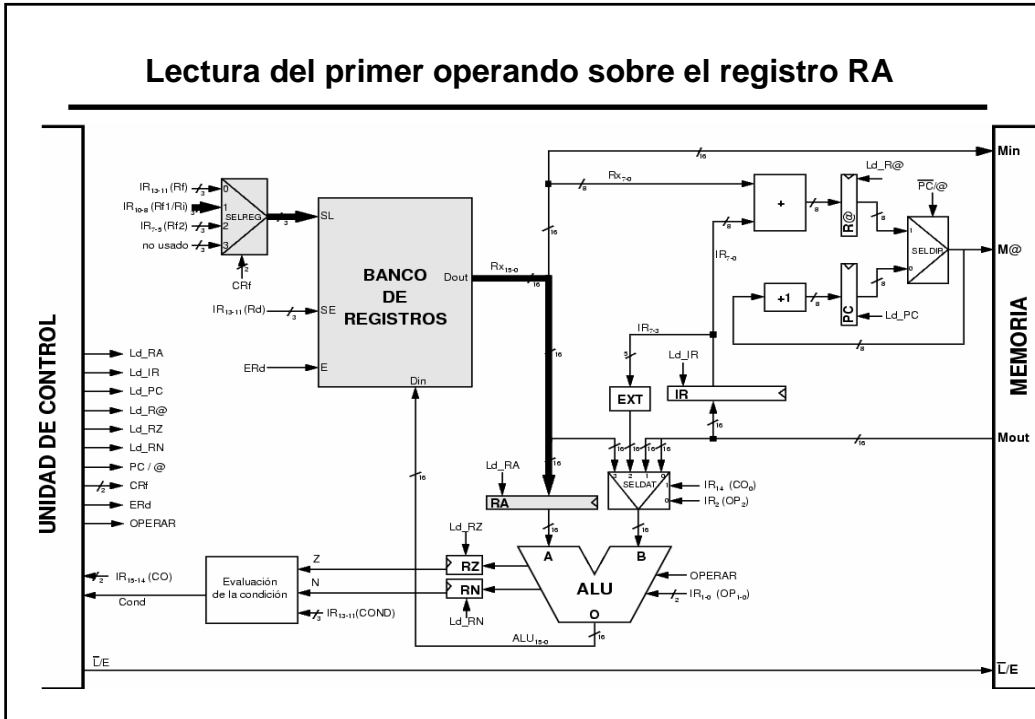


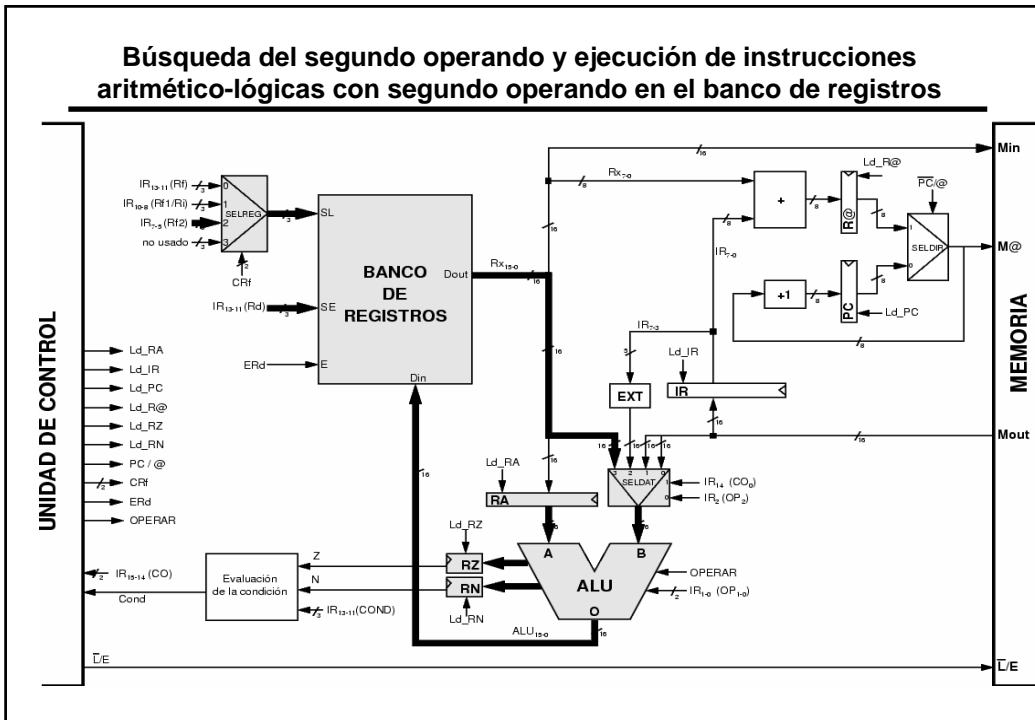
TABLA DE SALIDAS

Salidas UC	F	DE
Ld_RA	0	0
Ld_IR	1	0
Ld_PC	1	0
$Ld_R@$	0	0
Ld_RZ	0	0
Ld_RN	0	0
ERd	0	0
$\bar{L}E$	0	0
$\overline{PC}/@$	0	x
CRf	x	x
$OPERAR$	x	x

Lectura del primer operando sobre el registro RA



Búsqueda del segundo operando y ejecución de instrucciones aritmético-lógicas con segundo operando en el banco de registros



Búsqueda del segundo operando y ejecución de instrucciones aritmético-lógicas con segundo operando inmediato

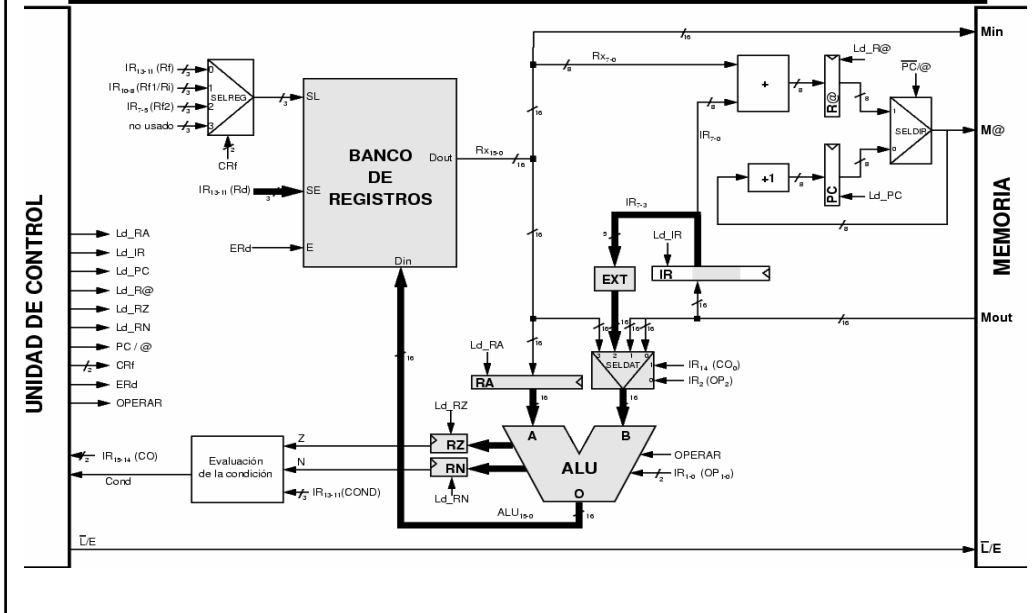


Diagrama de estados y tabla de salidas para las instrucciones aritmético-lógicas

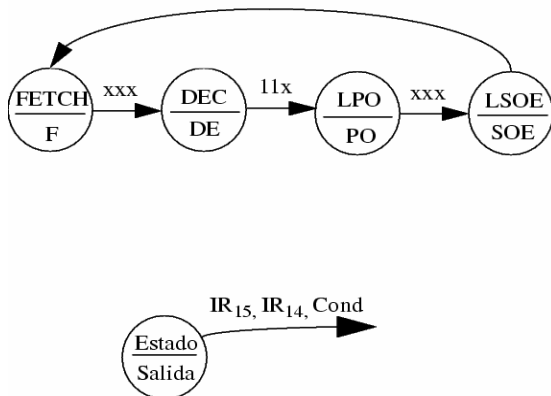
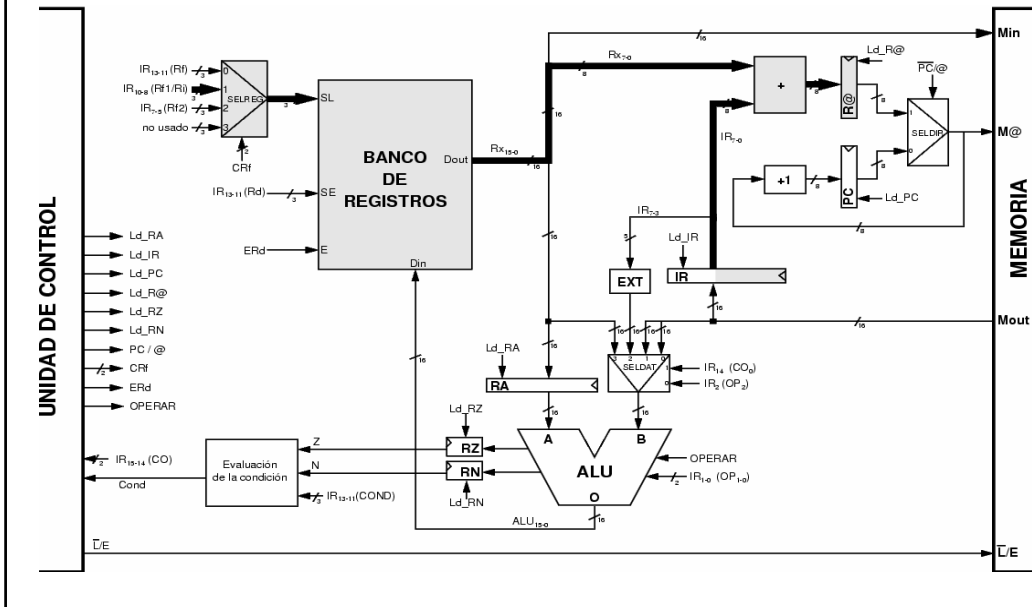


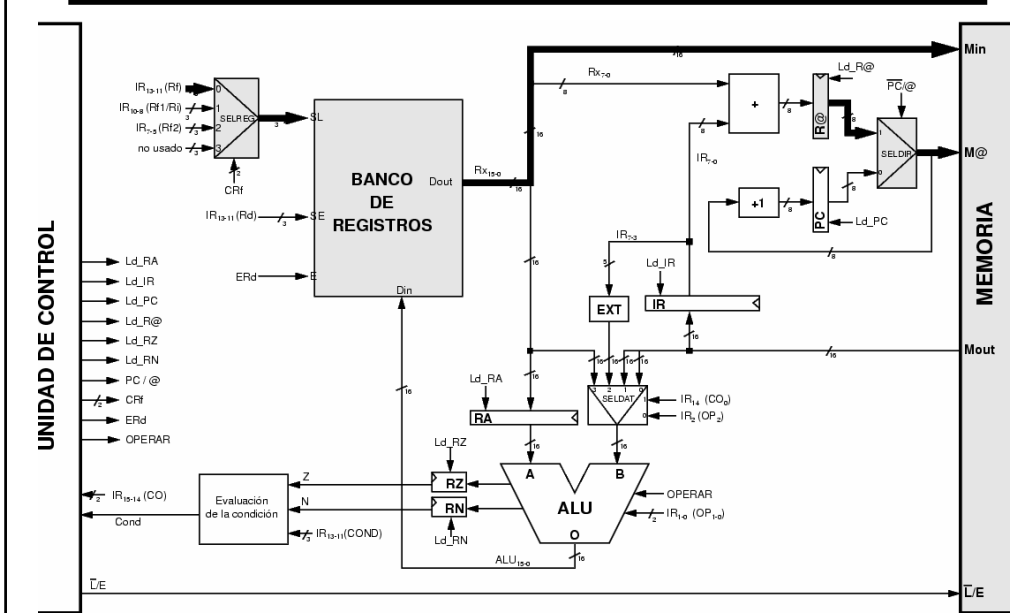
TABLA DE SALIDAS

Salidas UC	PO	SOE
<i>Ld_RA</i>	1	0
<i>Ld_IR</i>	0	0
<i>Ld_PC</i>	0	0
<i>Ld_R@</i>	0	0
<i>Ld_RZ</i>	0	1
<i>Ld_RN</i>	0	1
<i>ERd</i>	0	1
$\overline{L/E}$	0	0
<i>PC/@</i>	x	x
<i>CRf</i>	1	2
<i>OPERAR</i>	x	1

Actividad en la Unidad de Proceso durante la carga de la dirección de acceso a memoria en el registro R@



Actividad en la Unidad de Proceso en la escritura en la instrucción STORE



Búsqueda del operando en la dirección en R@ y ejecución de la instrucción LOAD

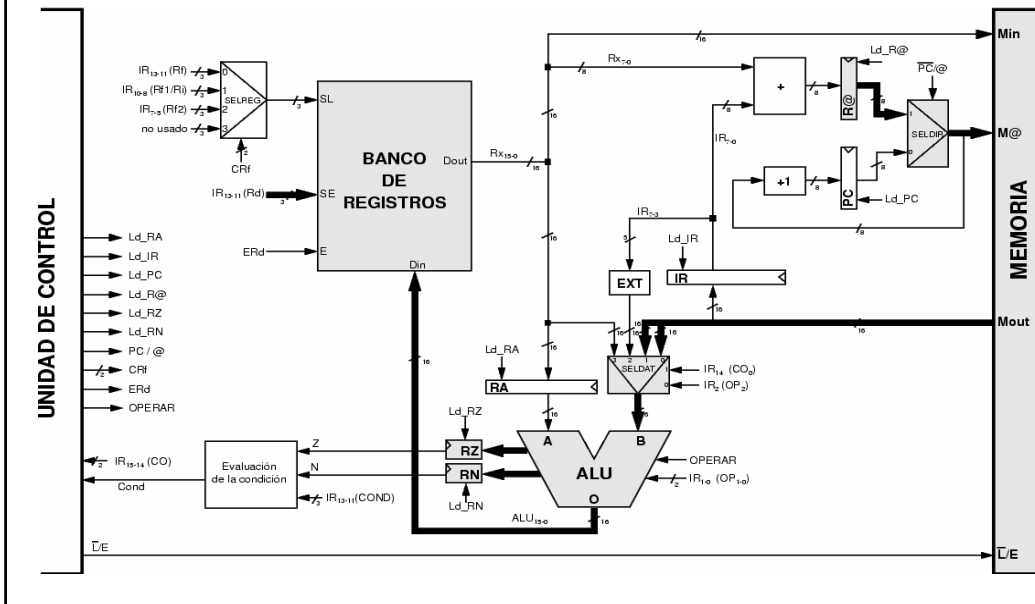
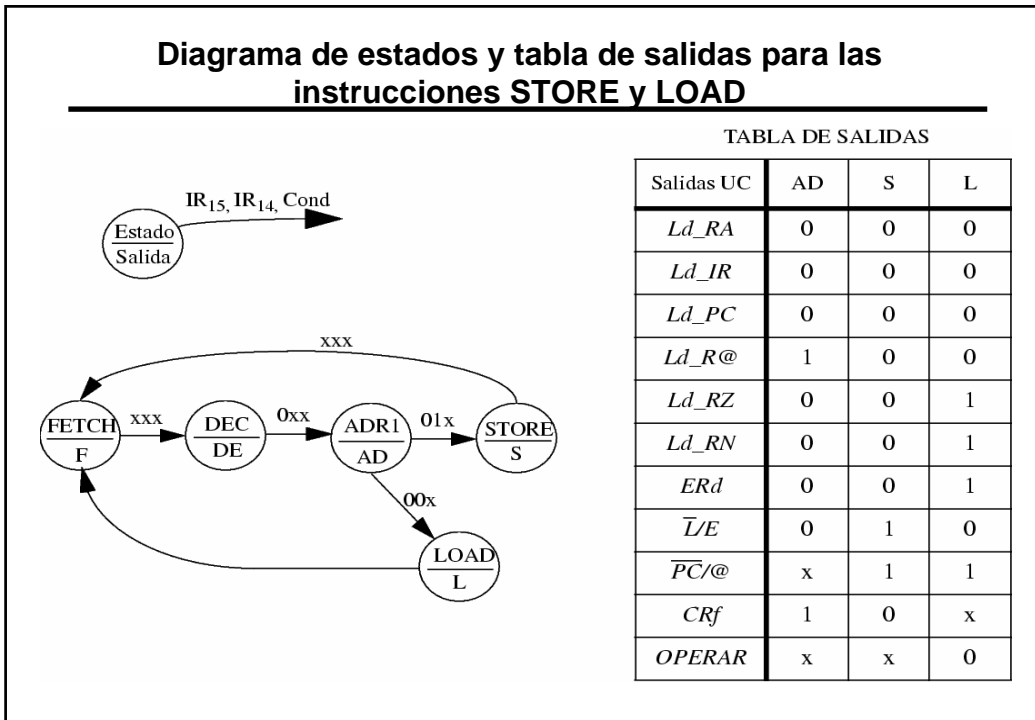
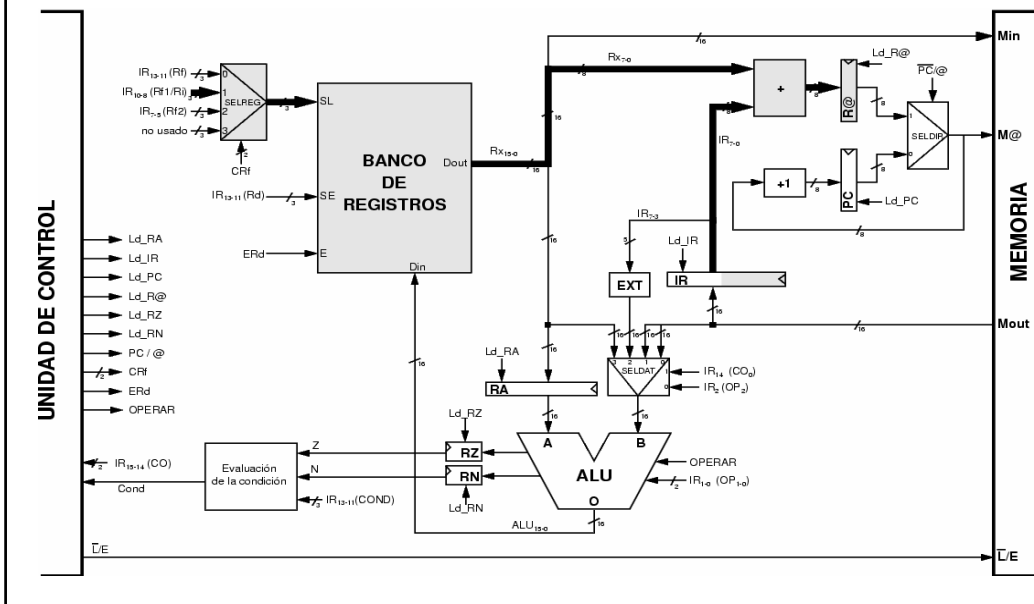


Diagrama de estados y tabla de salidas para las instrucciones STORE y LOAD



Actividad en la Unidad de Proceso durante la carga de la dirección de salto en R@



Actividad en la Unidad de Proceso durante la fase de fetch del contenido del R@

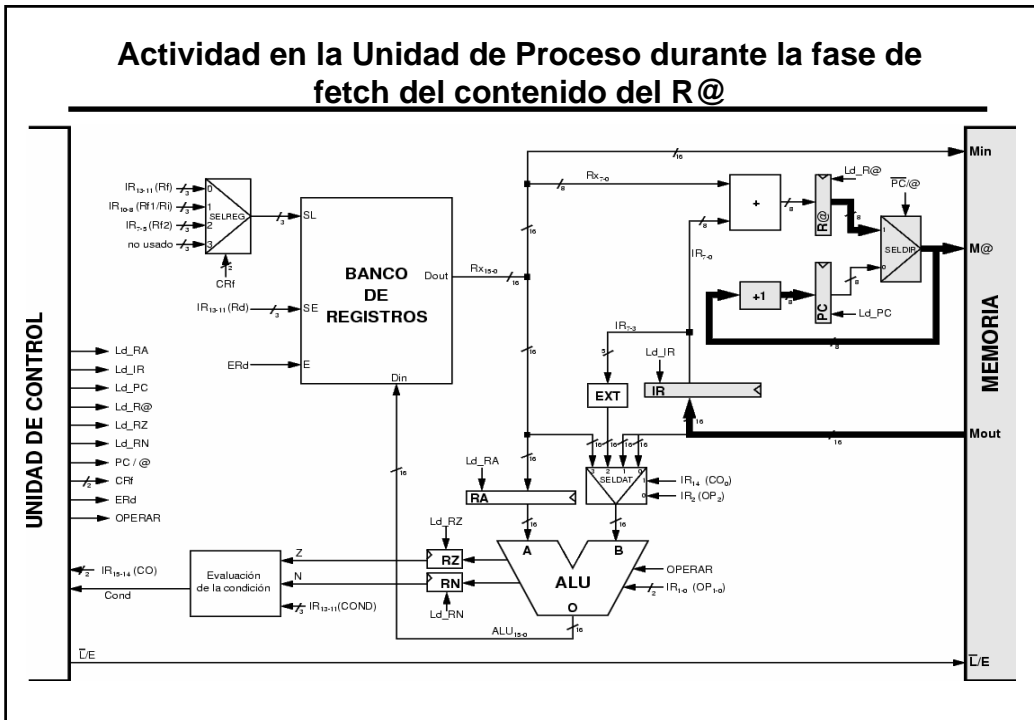
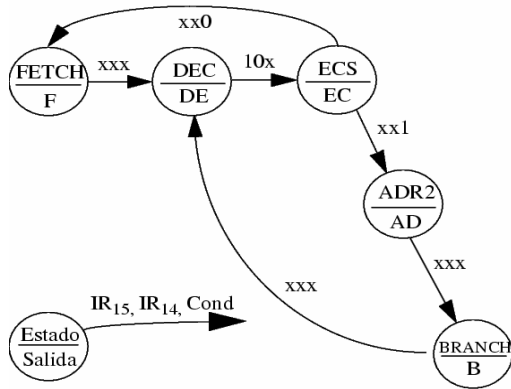


Diagrama de estados y tabla de salidas para las instrucciones de salto

TABLA DE SALIDAS



Salidas UC	EC	AD	B
<i>Ld_RA</i>	0	0	0
<i>Ld_IR</i>	0	0	1
<i>Ld_PC</i>	0	0	1
<i>Ld_R@</i>	0	1	0
<i>Ld_RZ</i>	0	0	0
<i>Ld_RN</i>	0	0	0
<i>ERd</i>	0	0	0
$\overline{L/E}$	0	0	0
$\overline{PC}/@$	x	x	1
<i>CRf</i>	x	1	x
<i>OPERAR</i>	x	x	x

Diagrama de estados de la Unidad de Control de la Máquina Rudimentaria

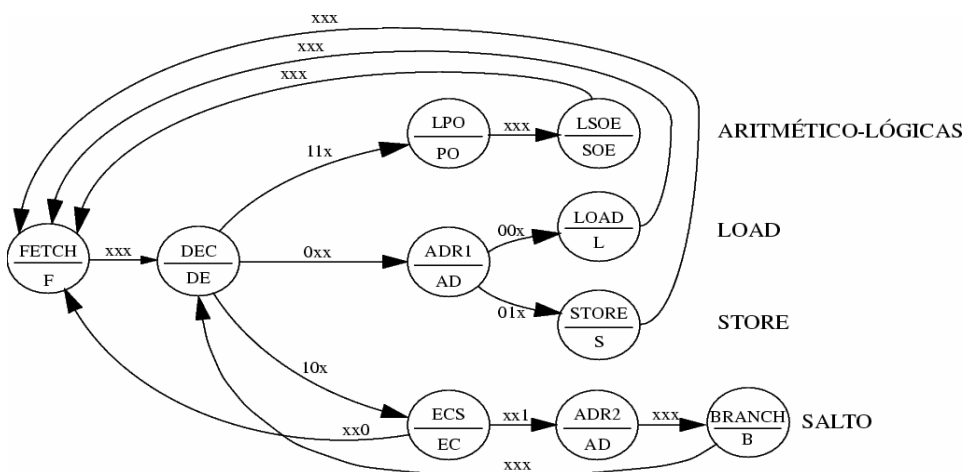


Tabla de salidas de la Unidad de Control

Salidas UC	F	DE	AD	L	S	PO	SOE	EC	B
<i>Ld_RA</i>	0	0	0	0	0	1	0	0	0
<i>Ld_IR</i>	1	0	0	0	0	0	0	0	1
<i>Ld_PC</i>	1	0	0	0	0	0	0	0	1
<i>Ld_R@</i>	0	0	1	0	0	0	0	0	0
<i>Ld_RZ</i>	0	0	0	1	0	0	1	0	0
<i>Ld_RN</i>	0	0	0	1	0	0	1	0	0
<i>ERd</i>	0	0	0	1	0	0	1	0	0
$\overline{L/E}$	0	0	0	0	1	0	0	0	0
$\overline{PC}/@$	0	x	x	1	1	x	x	x	1
<i>CRf</i>	x	x	1	x	0	1	2	x	x
<i>OPERAR</i>	x	x	x	0	x	x	1	x	x

Diagrama de estados de la Unidad de Control después de la optimización 1

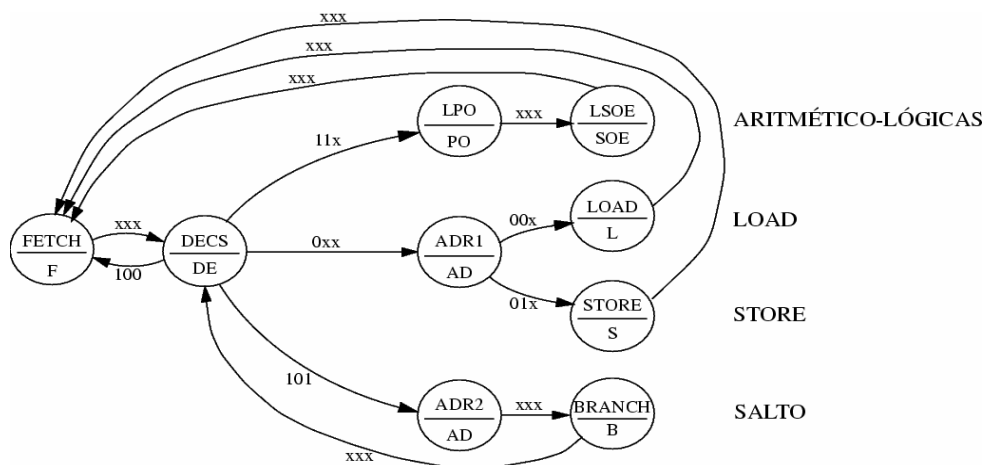


Diagrama de estados de la Unidad de Control después de la optimización 2

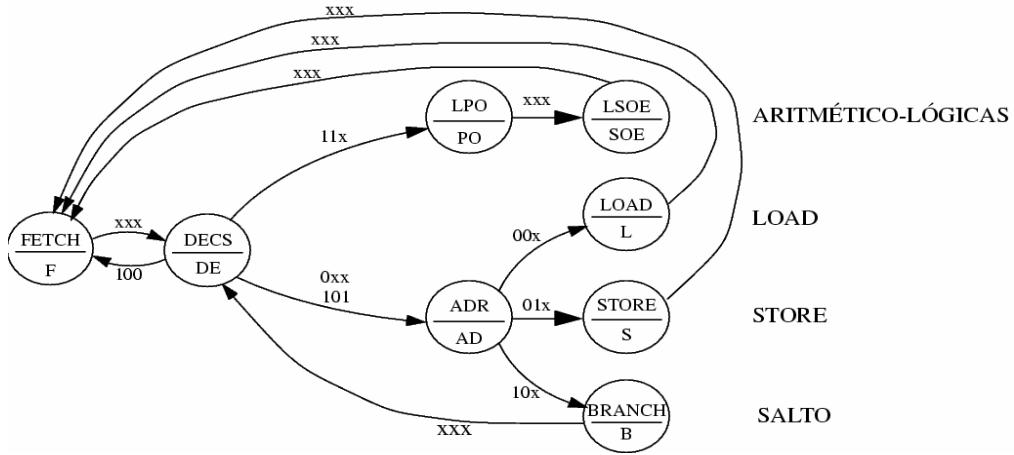


Diagrama de estados de la Unidad de Control después de la optimización 3

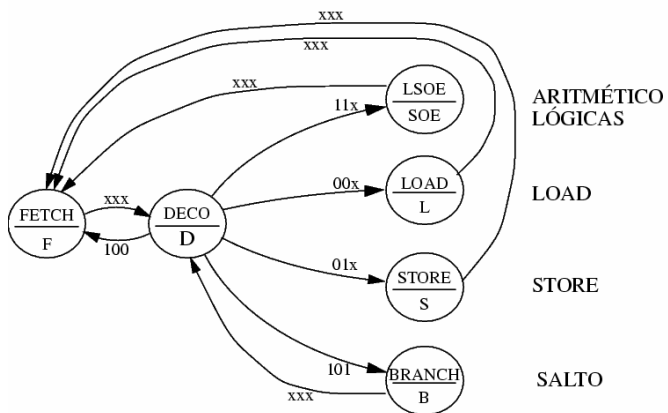
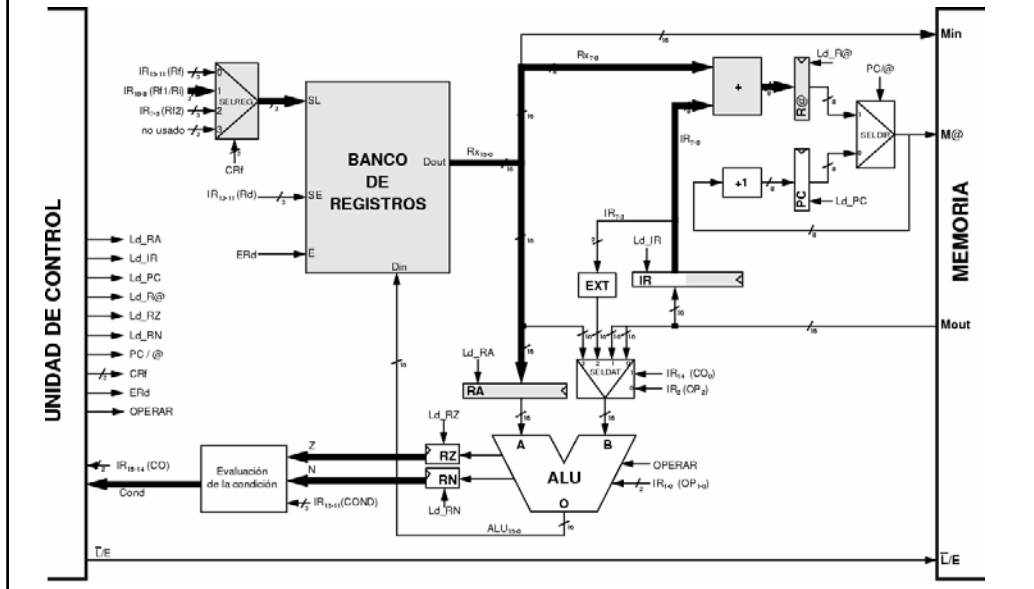


TABLA DE SALIDAS

Salidas UC	D
<i>Ld_RA</i>	1
<i>Ld_IR</i>	0
<i>Ld_PC</i>	0
<i>Ld_R@</i>	1
<i>Ld_RZ</i>	0
<i>Ld_RN</i>	0
<i>ERd</i>	0
<i>L/E</i>	0
<i>PC/@</i>	X
<i>CRf</i>	1
<i>OPERAR</i>	x

Actividad de la Unidad de Proceso durante el estado DECO



Actividad de la Unidad de Proceso durante el estado ARIT

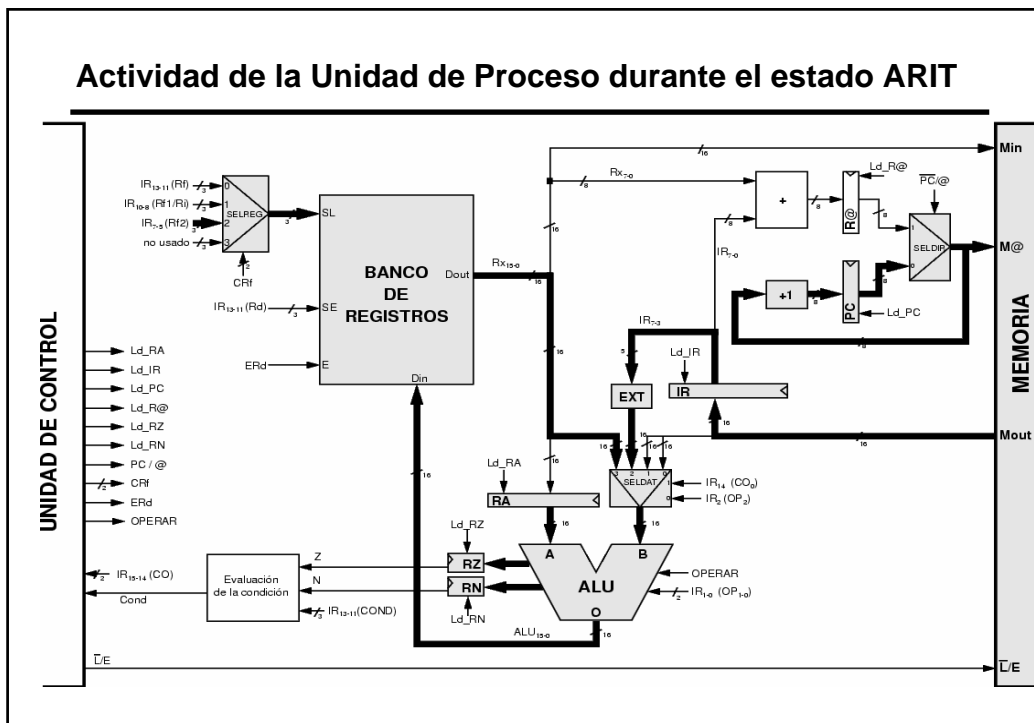


Diagrama de estados simplificado de la Unidad de Control

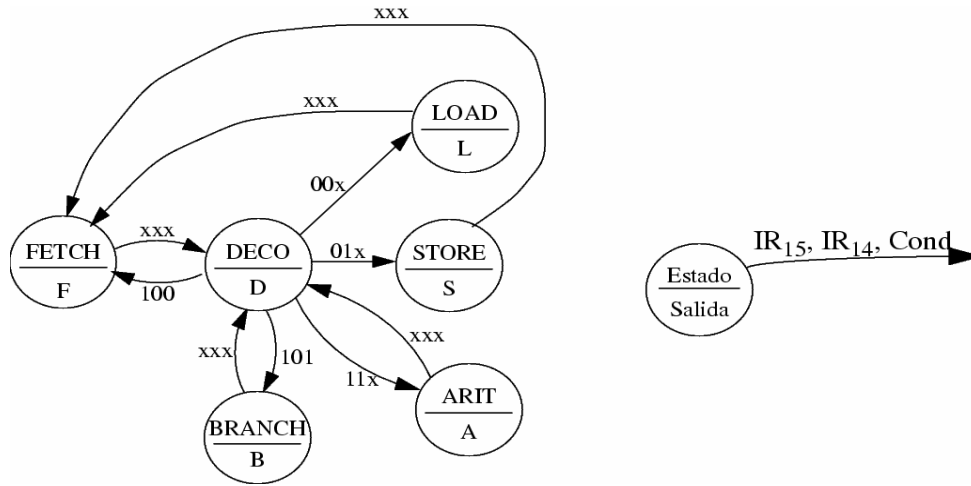
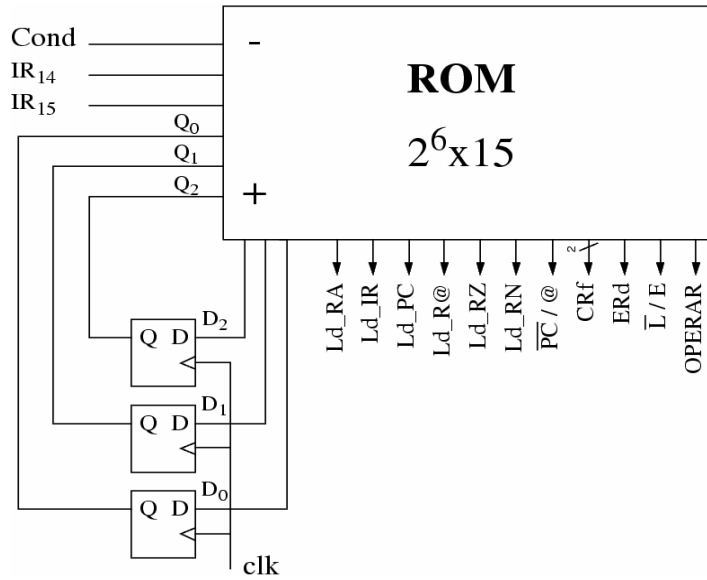


Tabla de salidas de la Unidad de Control simplificada

Salidas UC	F	D	A	L	S	B
<i>Ld_RA</i>	0	1	0	0	0	0
<i>Ld_IR</i>	1	0	1	0	0	1
<i>Ld_PC</i>	1	0	1	0	0	1
<i>Ld_R@</i>	0	1	0	0	0	0
<i>Ld_RZ</i>	0	0	1	1	0	0
<i>Ld_RN</i>	0	0	1	1	0	0
<i>ERd</i>	0	0	1	1	0	0
$\overline{L}E$	0	0	0	0	1	0
$\overline{P}C/@$	0	X	0	1	1	1
<i>CRf</i>	x	1	2	x	0	x
<i>OPERAR</i>	x	x	1	0	x	x

Realización de la Unidad de Control con una ROM



Contenido de la ROM en la realización de la Unidad de Control

Estado	Q_2	Q_1	Q_0	IR_{15}	IR_{14}	$Cond$	D_2	D_1	D_0	Ld_RA	Ld_IR	Ld_PC	$Ld_R@$	Ld_RZ	Ld_RN	$\overline{PC}/@$	CRf	ERd	\overline{L}/E	$OPERAR$
FETCH	0	0	0	x	x	x	0	0	1	0	1	1	0	0	0	0	xx	0	0	x
DECO	0	0	1	0	0	x	0	1	0	1	0	0	1	0	0	x	01	0	0	x
	0	0	1	0	1	x	0	1	1	1	0	0	1	0	0	x	01	0	0	x
	0	0	1	1	0	0	0	0	0	1	0	0	1	0	0	x	01	0	0	x
	0	0	1	1	0	1	1	0	1	1	0	0	1	0	0	x	01	0	0	x
	0	0	1	1	1	x	1	0	0	1	0	0	1	0	0	x	01	0	0	x
LOAD	0	1	0	x	x	x	0	0	0	0	0	0	0	1	1	1	xx	1	0	0
STORE	0	1	1	x	x	x	0	0	0	0	0	0	0	0	0	1	00	0	1	x
ARIT	1	0	0	x	x	x	0	0	1	0	1	1	0	1	1	0	10	1	0	1
BRANCH	1	0	1	x	x	x	0	0	1	0	1	1	0	0	1	1	xx	0	0	x
	1	1	0	x	x	x	x	x	x	x	x	x	x	x	x	x	xx	x	x	x
	1	1	1	x	x	x	x	x	x	x	x	x	x	x	x	x	xx	x	x	x