Estructura y Tecnología de Computadores

Módulo F. El subsistema de memoria

Tema 12. Organización de la memoria

José Manuel Mendías Cuadros
Dpto. Arquitectura de Computadores y Automática
Universidad Complutense de Madrid

contenidos

1. Introducción

Función del sistema de memoria. Parámetros de caracterización del sistema de memoria: ubicación, método de acceso, tiempos de acceso y de ciclo, ancho de banda, tamaño, coste por byte y unidad de transferencia.

2. Jerarquía de memoria

Necesidad de la jerarquía de memoria. Niveles de la jerarquía de memoria. Principio de localidad de referencia: espacial y temporal. Propiedades de una jerarquía de memoria. Parámetros de caracterización del rendimiento en una jerarquía de memoria: tiempos de acierto y de penalización.

3. Tipos de memoria semiconductora

Clasificación: RAM, NVRAM, ROM, PROM, EPROM, EEPROM y FLASH. Adaptadores de memoria.

4. Memoria RAM estática (SRAM)

Características y estructura. Ciclo de lectura. Ciclo de escritura Diseño de placas de memoria SRAM.

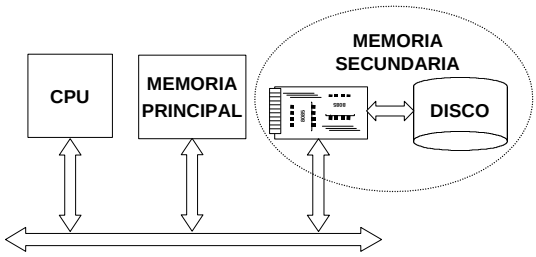
5. Memoria RAM dinámica (DRAM)

Características y estructura. Ciclo de lectura. Ciclo de escritura. Evolución de la memoria DRAM. Diseño de placas de memoria DRAM. Organización avanzada de DRAM: EDRAM, EDO RAM, CDRAM, SDRAM, RDRAM.

1. introducción

El sistema de memoria almacena los programas y datos que requiere la CPU

- Desde el punto de vista del programador/usuario está **compuesta** por:
  - ***Memoria principal***:
    - Conjunto de celdas de almacenamiento organizadas en *palabras* del mismo tamaño
    - Palabras que almacenan sin distinción tanto datos como programas
    - Palabras que se referencian por su *dirección*
  - La memoria principal es *accedida directamente* por la CPU a través del bus del sistema
  - ***Memoria secundaria***:
    - Un conjunto de periféricos en donde se almacenan "archivos" de datos y/o programas que pueden ser cargados en memoria principal para su procesado por el computador.
  - La memoria secundaria es *accedida indirectamente* por la CPU a través de un interfaz de E/S



1. introducción

Parámetros de caracterización de un sistema de memoria

- **Ubicación**
  - ***CPU*** (Ej. registros)
  - ***Interna:*** accesible directamente por la CPU (Ej. memoria cache, memoria principal)
  - ***Externa:*** accesibles por la CPU a través de interfaces de E/S (Ej. discos, cintas, CD-ROM, ...)
- **Método de acceso**
  - ***Acceso secuencial*** (Ej. cintas)
    - La información se almacena en forma de bloques o registros organizados secuencialmente
    - Para leer/escribir un registro hay que desplazarse desde la posición actual a la deseada, pasando por todos los registros intermedios
    - El tiempo necesario para acceder a un registro es variable, en función de su posición
  - ***Acceso directo*** (Ej. discos)
    - Los bloques de información se organizan en regiones (pistas)
    - Para leer/escribir un bloque se accede de forma directa a la región específica y dentro de esa región se realiza una búsqueda secuencial del bloque en cuestión (sector)
    - El tiempo de acceso es variable, aunque es más rápido que el acceso secuencial
  - ***Acceso aleatorio -- random --*** (Ej. memoria principal)
    - Cada posición de memoria tiene un único método de acceso cableado físicamente
    - El tiempo de acceso a una posición es independiente de su dirección o de la secuencia de accesos previos
  - ***Acceso asociativo*** (Ej. memoria cache)
    - Es una memoria de acceso aleatorio en la que las palabras no están ordenadas por dirección
    - Cada palabra tiene asociada una marca o *tag* (normalmente almacena su dirección o parte de la misma)
    - Para acceder a una determinada dirección de memoria es necesario comparar la dirección a la que se desea acceder con cada una de las marcas de todas las palabras de memoria

1. introducción

Parámetros de caracterización de un sistema de memoria (cont.)

- **Tiempo de acceso (T_i)**
  - En memorias de acceso aleatorio
    - ⇨ Tiempo que transcurre desde que se especifica una dirección de memoria hasta que el dato o bien ha sido almacenado o bien está disponible para su uso
  - En memorias de acceso secuencial/directo
    - ⇨ Tiempo que se tarda en situar el mecanismo de lectura/escritura sobre la posición deseada
- **Tiempo de ciclo de memoria**
  - Aplicable únicamente a memorias de acceso aleatorio
    - ⇨ Tiempo mínimo que debe dejarse transcurrir entre dos accesos consecutivos
    - ⇨ Es algo mayor que el tiempo de acceso (contempla los tiempos de permanencia de las señales en los buses)
- **Ancho de banda o velocidad de transferencia (B_i)**
  - Velocidad a la que se pueden transmitir datos desde/hacia una unidad de memoria
  - En memorias de acceso aleatorio
    - ⇨ Es igual a la inversa del tiempo de ciclo de memoria
  - En memorias de acceso secuencial/directo
    - ⇨ Depende del tiempo de acceso medio y de la velocidad de transferencia del dispositivo
- **Tamaño de la memoria (S_i)**
  - Nº de bytes que pueden almacenarse en el dispositivo de memoria
- **Coste por byte (Ci)**
  - Coste medio estimado por cada byte de memoria
    - ⇨ El coste total de un dispositivo de memoria viene dado por $C_i * S_i$
- **Unidad de transferencia (X_i)**
  - Unidad de información con las que trabaja un determinado dispositivo de memoria
    - ⇨ Puede oscilar entre un byte o una palabra, hasta bloques de varios Kbytes

2. jerarquía de memoria

Problema:

- ¿Qué se requiere de un sistema de memoria?:
  - Que sea grande
  - Que sea rápido
  - Que sea barato
- Ninguna tecnología es óptima para satisfacer todas las necesidades de un computador ya que en todo el espectro de posibles tecnologías se cumple:
  - A mayor capacidad, mayor tiempo de acceso
  - A menor tiempo de acceso, mayor coste bit
  - A mayor capacidad, menor coste por bit
  - **Conclusión**: es imposible que utilizando una única tecnología se cumplan los requisitos de capacidad, velocidad y coste

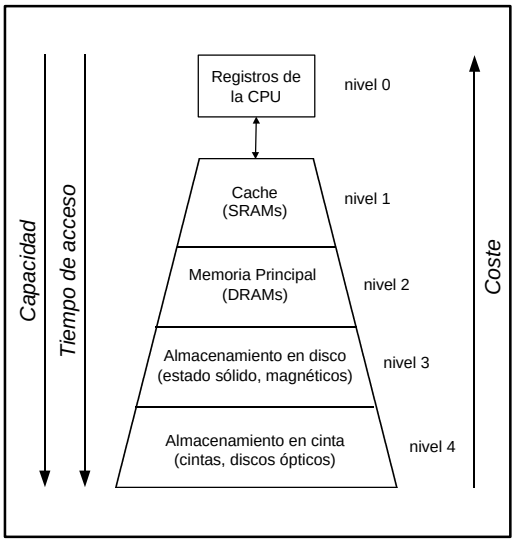
Solución: jerarquía de memoria

- Usar varias tecnologías y *organizarlas jerárquicamente por niveles*
- De manera que desde el **punto de vista de la CPU**:
  - se comporten como un único sistema de memoria
  - con un *tamaño* igual al que pueda disponerse de la *tecnología más barata*
  - con un *tiempo de acceso* tan rápido como el que pueda ofertar la *tecnología más rápida*

2. jerarquía de memoria

Niveles de la Jerarquía de memoria

- Un computador típico está formado por diversos niveles de memoria, *organizados de forma jerárquica*:
  - Registros de la CPU
  - Memoria Cache
  - Memoria Principal
  - Memoria Secundaria (discos)
  - Unidades de Cinta (Back-up) y CD-ROMs
- El coste de todo el sistema de memoria excede al coste de la CPU
  - Es muy importante optimizar su uso



2. jerarquía de memoria

- **Si consideramos el nivel i y el nivel i-1**, de la jerarquía de memoria en general se cumple que:
  - $T_{i-1} < T_i$; $S_{i-1} < S_i$; $C_{i-1} > C_i$; $B_{i-1} > B_i$; $X_{i-1} < X_i$
  - Los niveles más bajos de memoria son de acceso rápido, de pequeño tamaño, de un alto coste por bit, de ancho de banda elevado y utilizan unidades de transferencia pequeñas, en relación con los niveles más altos

	Registros CPU	Cache	Memoria Principal	Disco	Cinta
Tecnología	ECL	256K-bit SRAM	4M-bit DRAM	1 Gbyte	5-Gbyte
t_i: Tiempo de acceso	10 ns	25-40 ns	60-100 ns	12-20 ms	2-20 min (búsqueda)
s_i: Capacidad	512 bytes	128 Kb	512 Mb	60-228 Gb	512 Gb - 2 Tb
c_i: Coste (cent/Kb)	18000	72	5.6	0.23	0.01
b_i: Ancho de banda (Mb/s)	400-800	250-500	80-133	3-5	0.18-0.23
x_i: Unidad de transferencia	4-8 bytes/palabra	32 bytes/bloque	0.5-1 Kb/página	5-512 Kb/fichero	backup
Gestión de asignación	Compilador	Hardware	SO	SO / usuario	SO / usuario

Sistema de memoria de un Mainframe en 1993

2. jerarquía de memoria

- **Objetivo**: el sistema de memoria jerárquica debe hacer que todo momento los datos que necesite la CPU se encuentren en el nivel más bajo de jerarquía.
- **Medio**: anticipando las referencias que realizará en un futuro la CPU

Principio de localidad

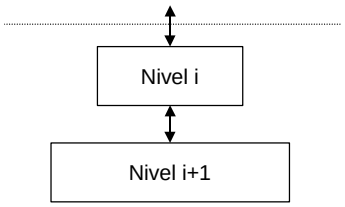
Las referencias a direcciones de memoria que realiza la CPU *no son completamente aleatorias* sino que tienden a agruparse en una pequeña porción del espacio de direcciones disponible. Así si se referencia una dirección:

- **Localidad temporal**: es posible que se vuelva a referenciar en un futuro cercano
  - ⇨ bucles, subrutinas, variables locales
- **Localidad espacial**: es posible que se referencien direcciones cercanas y en particular es posible que se referencie la siguiente dirección (*localidad secuencial*)
  - ⇨ programas secuenciales, estructuras de datos

- El sistema de memoria jerárquica hace *uso del principio de localidad de referencia*:
  - Manteniendo en cada nivel una copia de un subconjunto de la información almacenada en el siguiente nivel
  - Manteniendo cerca del procesador las últimos datos referenciados
  - Moviendo cerca del procesador no sólo el dato referenciado sino una colección de datos (bloque) contiguos a dicha referencia
- *Propiedades* de una jerarquía de memoria:
  - **Inclusión**: todos los datos contenidos en un nivel dado se encuentran en un nivel superior
  - **Coherencia**: las copias de un mismo dato en diferentes niveles deben ser coherentes

2. jerarquía de memoria

Parámetros de caracterización del rendimiento de un sistema jerárquico de memoria



$$S_t = S_{i+1}$$

$$C_t = \frac{C_i \cdot S_i + C_{i+1} \cdot S_{i+1}}{S_i + S_{i+1}} \quad si\ S_{i+1} >> S_i \Rightarrow C_t \approx C_{i+1}$$

$$T_t = T_i + (1-H)T_{i+1} \quad si\ H \approx 1 \Rightarrow T_t \approx T_i$$

- *Nomenclatura*:
  - **Bloque**: unidad mínima de transferencia entre los dos niveles
  - **Acierto (*hit*)**: el dato solicitado está en el nivel i
    - ⇨ *Tasa de aciertos (hit ratio)*: la fracción de accesos encontrados en el nivel i
    - ⇨ *Tiempo de acierto***:** tiempo de acceso del nivel i + tiempo detección de acierto
  - **Fallo (miss):** el dato solicitado no está en el nivel i y es necesario buscarlo en el nivel i+1
    - ⇨ *Tasa de fallos (miss ratio):* 1 - (Tasa de aciertos)
    - ⇨ *Tiempo de penalización:* tiempo de sustitución de un bloque del nivel i + tiempo de acceso al dato

3. tipos de memoria semiconductora

Clasificación

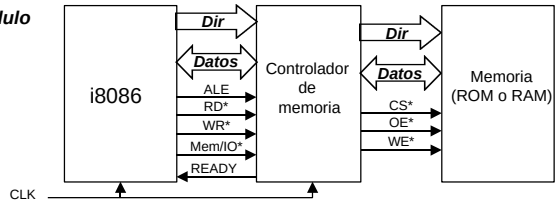
Tipo de memoria	Clase	Volátil	Descripción / Tipos
RAM (Random Access Memory)	Memorias de lectura/escritura	Sí	DRAM (RAM dinámica) • Almacena los datos como cargas de un condensador SRAM (RAM estática) • Almacena los datos en biestables
NVRAM (Non-Volatile RAM)		No	Mantiene los datos mediante una batería interna
ROM (Read Only Memory)	Memorias de sólo lectura	No	Programables por máscara (como cualquier chip) una sola vez
PROM (Programmable ROM)		No	Programables eléctricamente por el usuario una única vez
EPROM (Erasable PROM)	Memorias de Sobre todo lectura	No	Programables eléctricamente por usuario Borrables por ultravioleta (chip completo)
EEPROM (Electrically Erasable PROM)		No	Programables eléctricamente por usuario Borrables eléctricamente por bloques
FLASH memory		No	Programables eléctricamente por usuario Borrables eléctricamente por bytes

3. tipos de memoria semiconductora

Conexión de módulos de memoria (ROM o RAM) al bus del sistema

- Los módulos típicos de memoria ROM (PROM, EPROM, etc.) y RAM (SRAM, DRAM) son asíncronos
  - La operaciones de lectura y escritura no se rigen por una señal de reloj
  - Para iniciar una transferencia se utilizan las señales de
    - Dirección
    - Chip select (CS*)
    - Tipo de operación: OE* = Output Enabled (operación de lectura) y WE* = Write Enabled (operación de escritura)
  - Los ciclos de lectura/escritura tienen una duración determinada y conocida para un módulo de memoria específico
- El módulo de memoria debe conectarse al bus del sistema a través de un **controlador o adaptador de memoria**
  - Convierte las señales de control que genera la CPU a las señales que utiliza el módulo de memoria
  - Genera las señales de control necesarias sobre la CPU para que las transferencias se realice correctamente, conocido el tiempo de ciclo de la memoria
    - WAIT o READY en bus semisíncrono
    - SSYNC o DTACK* en bus asíncrono

Ejemplo:
Conexión de un módulo de memoria al i8086

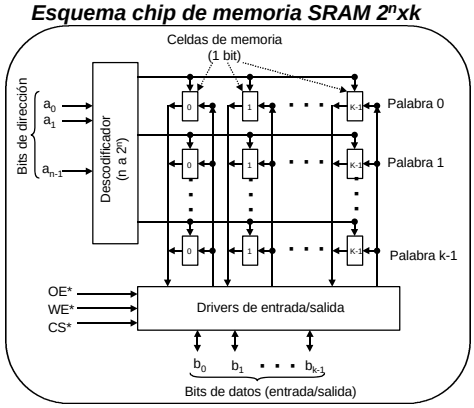


4. memoria RAM estática (SRAM)

Características de la memoria RAM estática (SRAM)

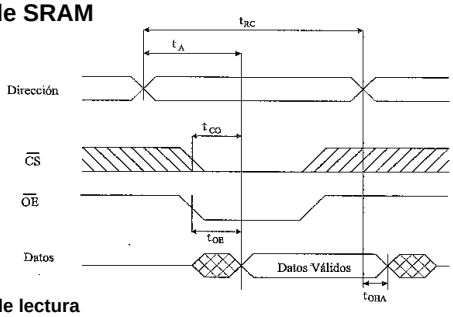
- **Celda básica (1 bit)** constituida por un biestable
  - Mantiene la información mientras exista suministro eléctrico
  - La implementación puede ser bipolar o MOS
- **Ventajas**
  - Tiempo de acceso y de ciclo reducido
    - ⇨ Alta velocidad de transferencia
- **Desventajas**
  - Disipan mucha energía
  - Baja densidad de integración
  - Coste elevado
- **Aplicación**
  - Diseño de memorias cache
    - ⇨ Alta velocidad y pequeño tamaño
- **Chips de memoria SRAM comerciales**
  - Tamaño 2^nxk
    - ⇨ 2^n palabras de k bits, siendo k = 1, 2, 4 u 8
  - Ejemplo: chips de memoria 51C86 de Intel
    - ⇨ Tamaño 4Kx4
  - Organización 2-D
    - ⇨ Un chip de 2^n palabras de k bits se organiza como un array de 2^n filas por k columnas
  - Para construir placas de memoria de mayor tamaño se deben combinar varios chips de memoria con la lógica de descodificación adicional adecuada

Esquema chip de memoria SRAM 2^nxk



4. memoria RAM estática (SRAM)

Ciclo de lectura de SRAM



t_{RC}: Tiempo de ciclo de lectura
Tiempo mínimo que deben permanecer las direcciones estables a la entrada de la memoria antes de iniciar un nuevo acceso

t_A: Tiempo de acceso
Tiempo máximo que transcurre entre que se activan las líneas de dirección y se obtiene una salida estable en las líneas de datos (supuesto que las líneas CS* y OE* están activadas con suficiente antelación)

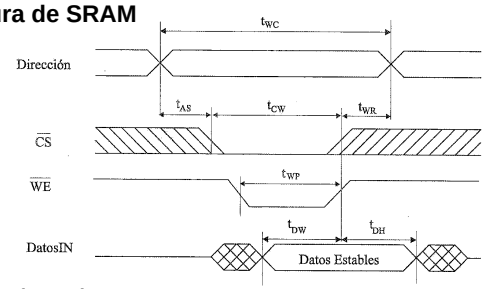
t_{CO}: Tiempo de acceso desde la selección del dispositivo
Tiempo máximo que transcurre entre que se activa la línea de selección (CS*) y se obtiene una salida estable en las líneas de datos (supuesto que las líneas de dirección y OE* están activadas con suficiente antelación)

t_{OE}: Tiempo de acceso desde la activación de la señal de lectura
Tiempo máximo que transcurre entre que se activa la señal de lectura (OE*) y se obtiene una salida estable en las líneas de datos (supuesto que las líneas de dirección y CS* están activadas con suficiente antelación)

t_{OHA}: Tiempo de permanencia de los datos (hold)
Tiempo mínimo que deben permanecer los datos estables a la salida después de desactivar las líneas de dirección

4. memoria RAM estática (SRAM)

Ciclo de escritura de SRAM



t_{WC}: Tiempo de ciclo de escritura
Tiempo mínimo que deben permanecer las direcciones estables a la entrada de la memoria antes de iniciar un nuevo acceso

t_{AS}: Tiempo de establecimiento de las direcciones
Tiempo mínimo que tienen que estar las direcciones estables antes de activar CS* y WE*

t_{WP}: Tiempo de ancho del pulso de escritura
Tiempo mínimo que debe permanecer activa la señal de escritura (WE*) para asegurar el correcto almacenam. de los datos

t_{CW}: Tiempo de ancho del pulso de selección de chip
Tiempo mínimo que debe permanecer activa la señal de "chip select" (CS*) para asegurar el correcto almacenam. de los datos

t_{DW}: Tiempo de establecimiento de los datos antes del final del ciclo
Tiempo mínimo que deben estar los datos estables en el bus antes de la desactivación de CS* y/o WE*

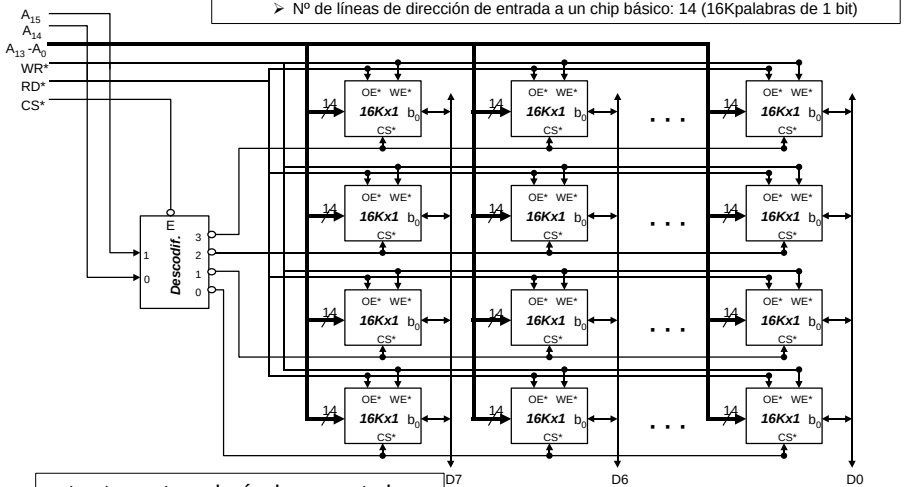
t_{WR}: Tiempo de recuperación de la escritura
Tiempo mínimo que deben permanecer las direcciones estables en el bus después de la escritura

t_{DH}: Tiempo de permanencia de los datos
Tiempo mínimo que deben permanecer los datos estables en el bus después de la escritura

4. memoria RAM estática (SRAM)

Diseño de placas de memoria SRAM

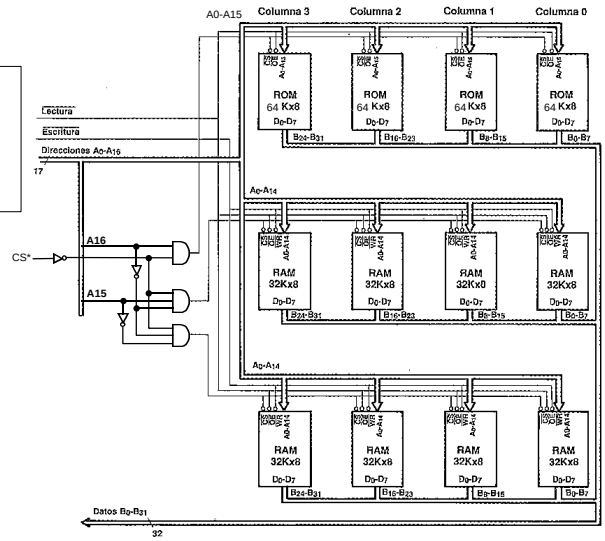
Ejemplo:
Diseñar una placa de memoria de tamaño 64Kx8 a partir de chip de 16Kx1
- Nº de chips de memoria necesarios: 32 (4 filas x 8 columnas)
- Nº total de líneas de dirección: 16 (64Kpalabras de 8 bits)
- Nº de líneas de dirección de entrada a un chip básico: 14 (16Kpalabras de 1 bit)



4. memoria RAM estática (SRAM)

Diseño de placas de memoria RAM y ROM

⌦ **Ejemplo:**
Diseñar una placa de memoria de 128Kx32 (64Kx32 de ROM y 64Kx32 de RAM) a partir de:
- Chips de memoria ROM 64Kx8
- Chips de memoria SRAM 32Kx8



5. memoria RAM dinámica (DRAM)

Características de la memoria RAM dinámica (DRAM)

⌦ **Celda básica (1 bit)** constituida por un condensador y un único transistor MOS
- La información binaria se mantiene en forma de carga del condensador
  - ⇨ 1 lógico: presencia de carga en el condensador; 0 lógico: ausencia de carga en el condensador
- El control de la carga/descarga del condensador se realiza mediante un conmutador
  - ⇨ Implementado mediante un transistor MOS
- Los condensadores pierden la carga al cabo de unos pocos milisegundos
  - ⇨ Necesidad de un ***refresco periódico*** de la información contenida en la RAM
  - ⇨ El refresco consiste en la lectura del condensador y posterior escritura con idéntico valor (amplificado)

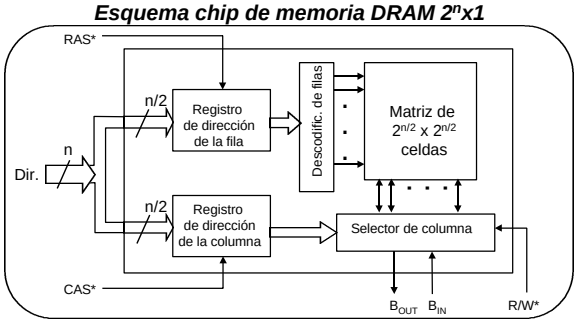
⌦ **Ventajas**
- Bajo consumo de energía
- Alta densidad de integración
- Coste reducido

⌦ **Desventajas**
- Tiempo de ciclo elevado
- Necesidad de refresco

⌦ **Aplicación**
- Diseño de memoria principal
  - ⇨ Gran tamaño y velocidad baja

⌦ **Chips de memoria DRAM**
- Tamaño 2^nx1 ó 2^nx4
- Organización 2-1/2-D
  - ⇨ Un array $2^{n/2}$x$2^{n/2}$ por bit

Esquema chip de memoria DRAM 2^nx1



RAS*: Línea de selección de la fila
CAS*: Línea de selección de la columna

5. memoria RAM dinámica (DRAM)

Ciclo de lectura de DRAM

t_{RC}: Tiempo de ciclo de lectura
Tiempo máximo que deben permanecer las direcciones estables a la entrada de la memoria antes de iniciar un nuevo acceso

t_{ASR} y t_{RAH} : Tiempos de estabilización y permanencia de la dirección de fila
Tiempo mínimo que debe permanecer la dirección de fila estable antes y después de la activación de RAS*

t_{ASC} y t_{CAH} : Tiempos de estabilización y permanencia de la dirección de columna
Tiempo mínimo que debe permanecer la dirección de columna estable antes y después de la activación de CAS*

t_{CAS}: Ancho del pulso de la señal CAS*
Tiempo mínimo que debe permanecer CAS* activada

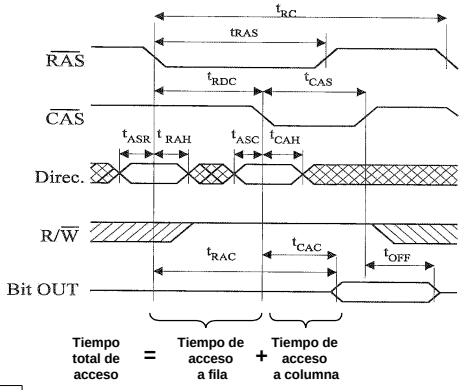
t_{RAS}: Ancho del pulso de la señal RAS*
Tiempo mínimo que debe permanecer RAS* activada

t_{RDC}: Tiempo retardo entre RAS* y CAS*
Intervalo temporal que debe transcurrir entre la activación de RAS* y la activación de CAS*

t_{RAC}: Tiempo de acceso desde la activación RAS*
Tiempo máximo que transcurre la activación de RAS* y la aparición de datos estables a la salida

t_{CAC}: Tiempo de acceso desde la activación CAS*
Tiempo máximo que transcurre la activación de CAS* y la aparición de datos estables a la salida

t_{OFF}: Tiempo de permanencia de los datos
Tiempo mínimo que deben permanecer los datos estables a la salida después de desactivar las líneas RAS* y CAS*



5. memoria RAM dinámica (DRAM)

Ciclo de escritura de DRAM

t_{RC}: Tiempo de ciclo de escritura
Tiempo máximo que deben permanecer las direcciones estables a la entrada de la memoria antes de iniciar un nuevo acceso

t_{ASR} y t_{RAH} : Tiempos de estabilización y permanencia de la dirección de fila
Tiempo mínimo que debe permanecer la dirección de fila estable antes y después de la activación de RAS*

t_{ASC} y t_{CAH} : Tiempos de estabilización y permanencia de la dirección de columna
Tiempo mínimo que debe permanecer la dirección de columna estable antes y después de la activación de CAS*

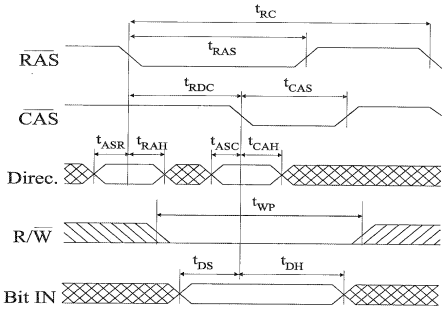
t_{CAS}: Ancho del pulso de la señal CAS*
Tiempo mínimo que debe permanecer CAS* activada

t_{RAS}: Ancho del pulso de la señal RAS*
Tiempo mínimo que debe permanecer RAS* activada

t_{RDC}: Tiempo retardo entre RAS* y CAS*
Intervalo temporal que debe transcurrir entre la activación de RAS* y la activación de CAS*

t_{WP}: Tiempo de ancho de la señal de escritura
Tiempo mínimo que debe permanecer la señal de escritura activada (R/W*=0)

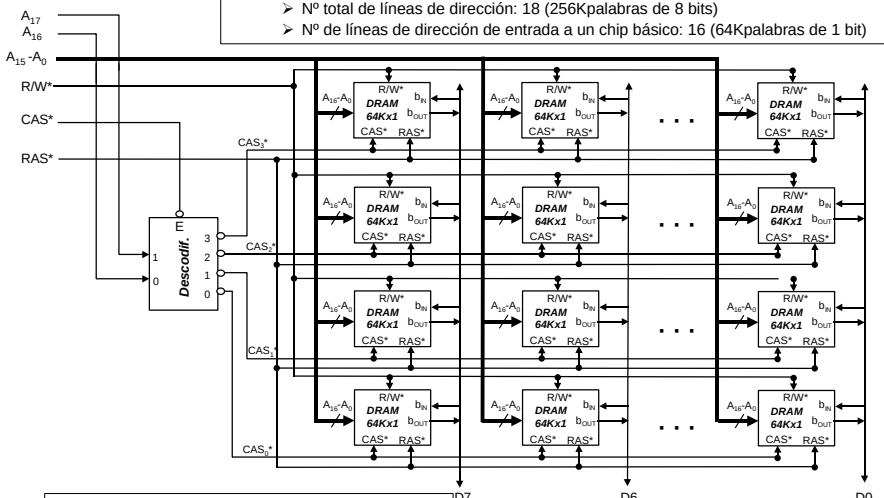
t_{DS} y t_{DH} : Tiempos de estabilización y permanencia de los datos
Tiempo mínimo que debe permanecer los datos estables antes y después de la activación de CAS*



5. memoria RAM dinámica (DRAM)

Diseño de placas de memoria DRAM

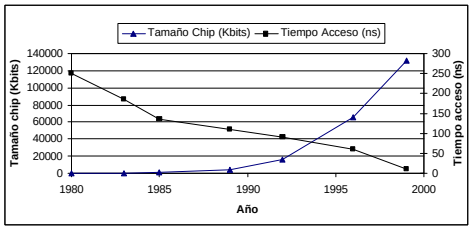
⌦ **Ejemplo:**
Diseñar una placa de memoria de tamaño 256Kx8 a partir de chip de 64Kx1
- Nº de celdas necesarias: 32 (4 filas x 8 columnas)
- Nº total de líneas de dirección: 18 (256Kpalabras de 8 bits)
- Nº de líneas de dirección de entrada a un chip básico: 16 (64Kpalabras de 1 bit)



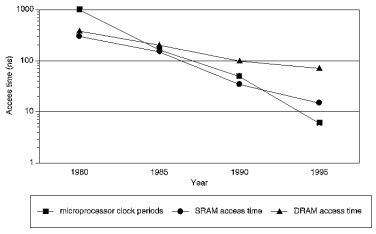
5. memoria RAM dinámica (DRAM)

Evolución de la memoria DRAM

Año	Tamaño Chip	T. acceso (ns)	Coste (ptas. por MB)
1980	64 Kbits	250	225000
1983	256 Kbits	185	75000
1985	1 Mbits	135	30000
1989	4 Mbits	110	7500
1992	16 Mbits	90	2500
1996	64 Mbits	60	1500
1999	128 Mbits	10	200



Diferencias entre la evolución de la velocidad de la DRAM, la SRAM y el procesador



⌦ Las prestaciones del procesador crecen mucho más rápidamente que las prestaciones de la DRAM
- El ancho de banda con memoria se convierte en un cuello de botella cada vez más importante
- Fenómeno denominado **"memory gap"**

⌦ Necesidad de utilizar técnicas arquitectónicas que reduzcan este problema
- Organizaciones avanzadas de DRAM
  - EDRAM, EDO RAM, CDRAM, RDRAM, etc.
- Utilización de memoria cache (SDRAM)
- Entrelazamiento de la memoria

5. memoria RAM dinámica (DRAM)

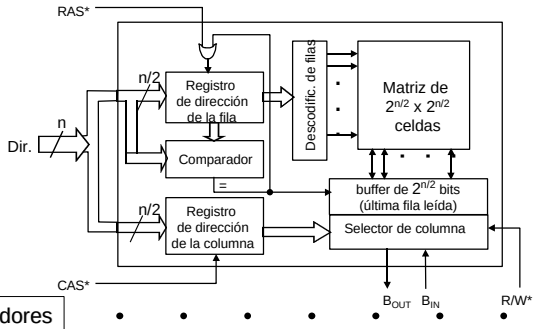
Organización avanzada de DRAM

- Existen numerosas técnicas arquitectónicas para mejorar las prestaciones de la memoria principal basada en DRAM

DRAM mejorada (EDRAM, "Enhaced DRAM" y EDO RAM "Extended Data Output DRAM")

- Cada chip de memoria DRAM tiene asociado un buffer para almacenar la última fila leída
- En los accesos siguientes se compara los N/2 bits más significativos de la dirección con la almacenada en el registro de dirección de la fila (que contiene la dirección de la última fila leída)
  - Si la dirección de fila coincide se puede tomar el dato directamente del buffer
- Cuando se leen varias palabras consecutivas con la misma dirección de fila se reduce el tiempo de acceso a memoria
  - El tiempo de acceso es igual al tiempo de acceso a la columna

Tamaño Chip	T. acceso Total (ns)	T. acceso a palabras consecutivas (ns)
64 Kbits	250	150
256 Kbits	185	100
1 Mbits	135	40
4 Mbits	110	40
16 Mbits	90	30
64 Mbits	60	20



5. memoria RAM dinámica (DRAM)

DRAM cache (CDRAM)

- Dispone también de una cache SDRAM que puede utilizarse de dos modos:
  - Como buffer de almacenamiento de las filas para acelerar el acceso a posiciones de memoria consecutivas (similar a la EDRAM o EDO RAM)
  - Como una verdadera memoria cache dentro de la jerarquía de memoria

DRAM síncrona (SDRAM)

- La SDRAM intercambia datos con la CPU de forma sincronizada con una señal de reloj externa
  - La SDRAM lee o escribe datos bajo el reloj del control del sistema
  - Cada transferencia consume un número fijo de ciclos de reloj
- Ventajas de la SDRAM sobre la DRAM asíncrona
  - Más rápida puesto que no necesita intercambiar señales de control
  - La CPU puede realizar otras tareas mientras se preparan o escriben los datos
    - ⇨ En la DRAM asíncrona la CPU debe permanecer inactiva durante este intervalo de tiempo

DRAM Rambus (RDRAM)

- La RDRAM tiene un encapsulado vertica
  - Todos los conectores están en un lateral
  - El bus que conecta el procesador con la memoria puede ser de menor longitud (menos de 12 com)
    - ⇨ Las transferencias pueden realizarse a mayor velocidad