



# Laboratorios

## Fundamentos de computadores I

**José Manuel Mendías Cuadros**

*Dpto. Arquitectura de Computadores y Automática*

*Universidad Complutense de Madrid*



# Maletín de componentes

<p><b>2</b></p> <p><b>7400</b></p>  <p>NAND 2 entradas</p>	<p><b>CANTIDAD</b></p> <p><b>2</b></p> <p><b>NOMBRE</b></p> <p><b>7410</b></p>  <p>NAND 3 entradas</p> <p><b>FUNCION</b></p>	<p><b>2</b></p> <p><b>7474</b></p>  <p>Flip Flop D</p>	<p><b>1</b></p> <p><b>7483</b></p>  <p>Sumador 4 bits</p>	<p><b>1</b></p> <p><b>7486</b></p>  <p>XOR 2 entradas</p>
<p><b>2</b></p> <p><b>7404</b></p>  <p>NOT</p>				<p><b>2</b></p> <p><b>74153</b></p>  <p>Multiplexor 4a1</p> <p><b>1</b></p> <p><b>74169</b></p>  <p>Contador 4 bits</p>





# Datasheets



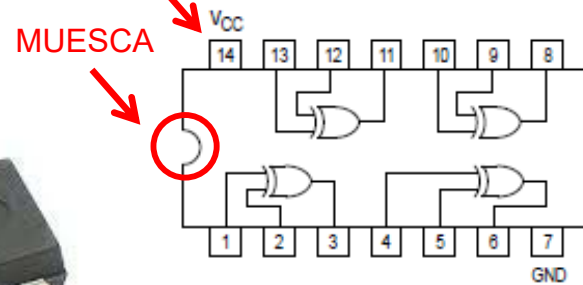
## QUAD 2-INPUT EXCLUSIVE OR GATE

SN54(74LS86)

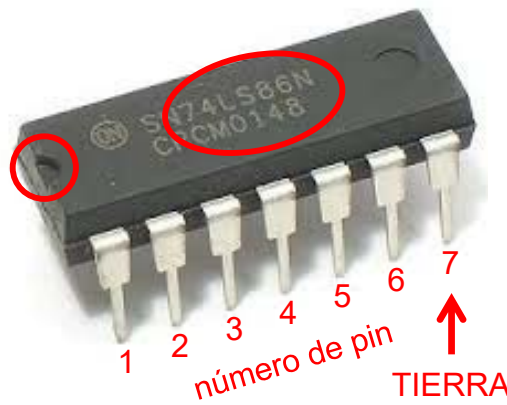
QUAD 2-INPUT EXCLUSIVE OR GATE  
LOW POWER SCHOTTKY

ALIMENTACIÓN

MUESCA



TIERRA

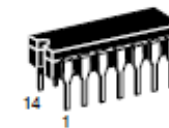


número de pin

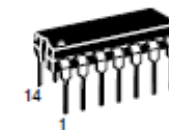
TIERRA

TRUTH TABLE

IN		OUT
A	B	Z
L	L	L
L	H	H
H	L	H
H	H	L



J SUFFIX  
CERAMIC  
CASE 632-08



N SUFFIX  
PLASTIC  
CASE 646-08



D SUFFIX  
SOIC  
CASE 751A-02

### ORDERING INFORMATION

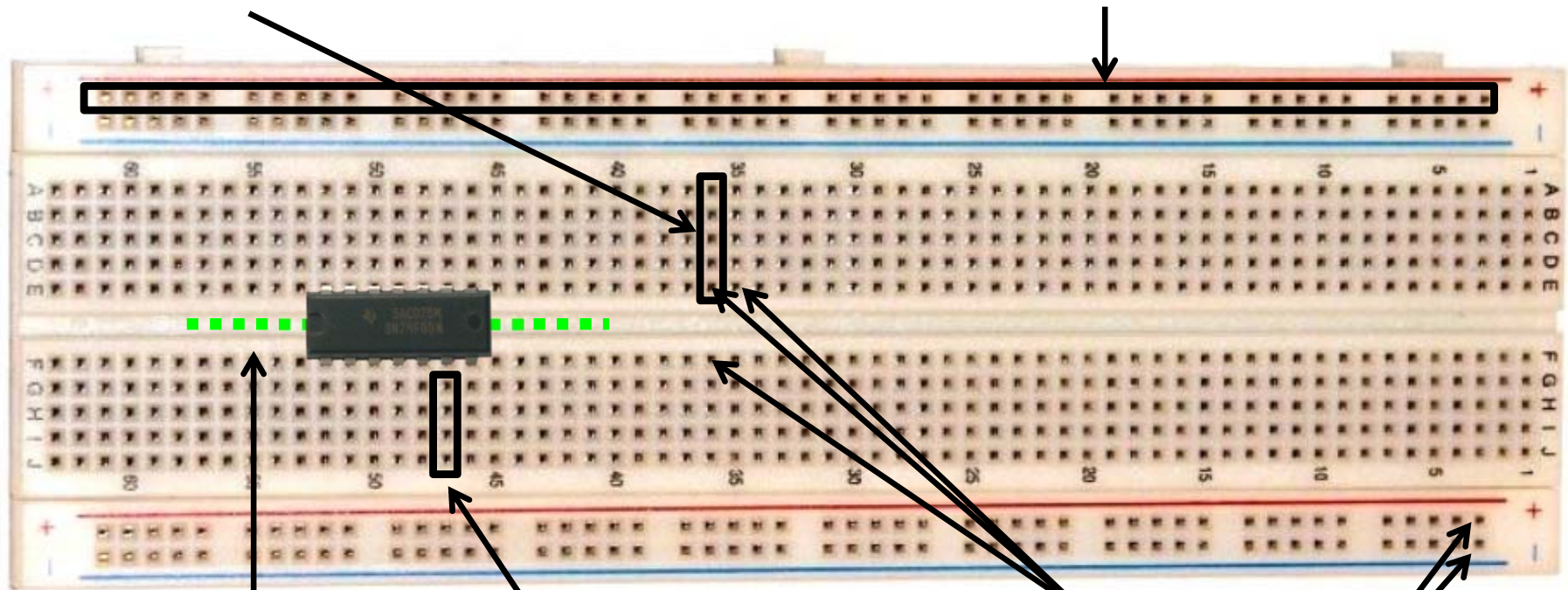
SN54LSXXJ Ceramic  
SN74LSXXN Plastic



# Placa de montaje

los 5 orificios de cada columna (pista) están conectados

todos los orificios de una misma fila lateral (bus) están conectados: se usan para distribuir alimentación/tierra



los chips se colocan a caballo del hueco central

a cada pin pueden conectarse 4 cables

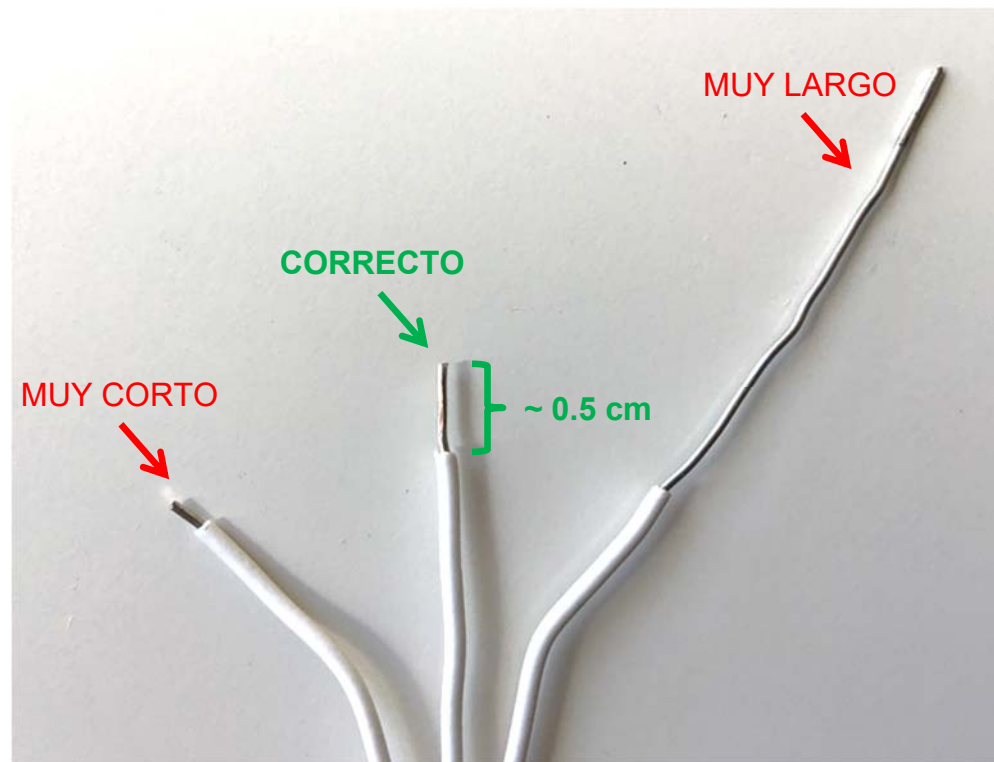
los orificios de pistas contiguas **no** están conectados

los orificios de buses contiguos **no** están conectados

# Cables



- Los cables deben cortarse a la **longitud adecuada** y **pelarse correctamente**, si el trozo sin aislante
  - es muy **corto**: no hacen contacto cuando se insertan en la placa
  - es muy **largo**: cortocircuita con otros cables cercanos





# ¿cómo conseguir material?

1. Solicitar por internet una cuenta de usuario de laboratorios:  
<http://informatica.ucm.es/cuenta-labs/>
2. Solicitar individualmente el material de prácticas de FC-1 desde el portal de la Facultad: <https://www.fdi.ucm.es/Account/>
3. Recoger el material en la **Sala de técnicos 2**.
4. Revisar en el laboratorio que todos chips funcionan.
  - Hacer esta revisión en turno libre
  - Se cambian hasta el primer día de prácticas (incluido).
  - Si se rompen con posterioridad, el alumno debe comprar nuevos.
  - El cable entregado no se repone: **reúsalo**
5. El material se devuelve al finalizar el cuatrimestre.
  - Los cables y los chips defectuosos no.



# Entrenador

encendido



fuelle de alimentación

generador de funciones (reloj)

8 leds (salida de datos)

2 displays BCD (salida de datos)

2 pulsadores (reloj manual)

8 switches (entrada de datos)



# Equipamiento adicional



Pelacables



Multímetro



Chip Tester





# Equipación adicional

- Uso del **chip tester**:
  - Encender el tester
  - Mover la palanca para abrir el zócalo
  - Insertar el chip justificado abajo y con la muesca hacia arriba
  - Mover la palanca para cerrar el zócalo
  - Pulsar AUTO para que detecte el chip
  - Pulsar TEST
- Uso del **multímetro** para medir voltajes (niveles lógicos):
  - Encender el multímetro y alimentar el circuito.
  - Situar la rueda en medida de voltaje (corriente continua) para un rango inmediatamente superior a 5 V (típicamente 20 V).
  - Conectar la sonda **NEGRA a TIERRA** (GND, terminal – de la pila).
  - Usar la sonda **ROJA para tomar medidas**:
    - Para TTL: '0' = ( $V < 0,5V$ ) y '1' = ( $V > 2.7$ )



# Material para practicar en casa

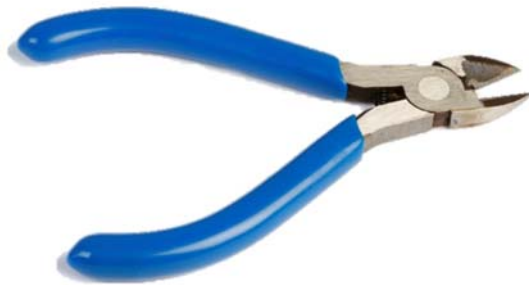
(opcional)



Pinzas de cocodrilo



Pila de petaca



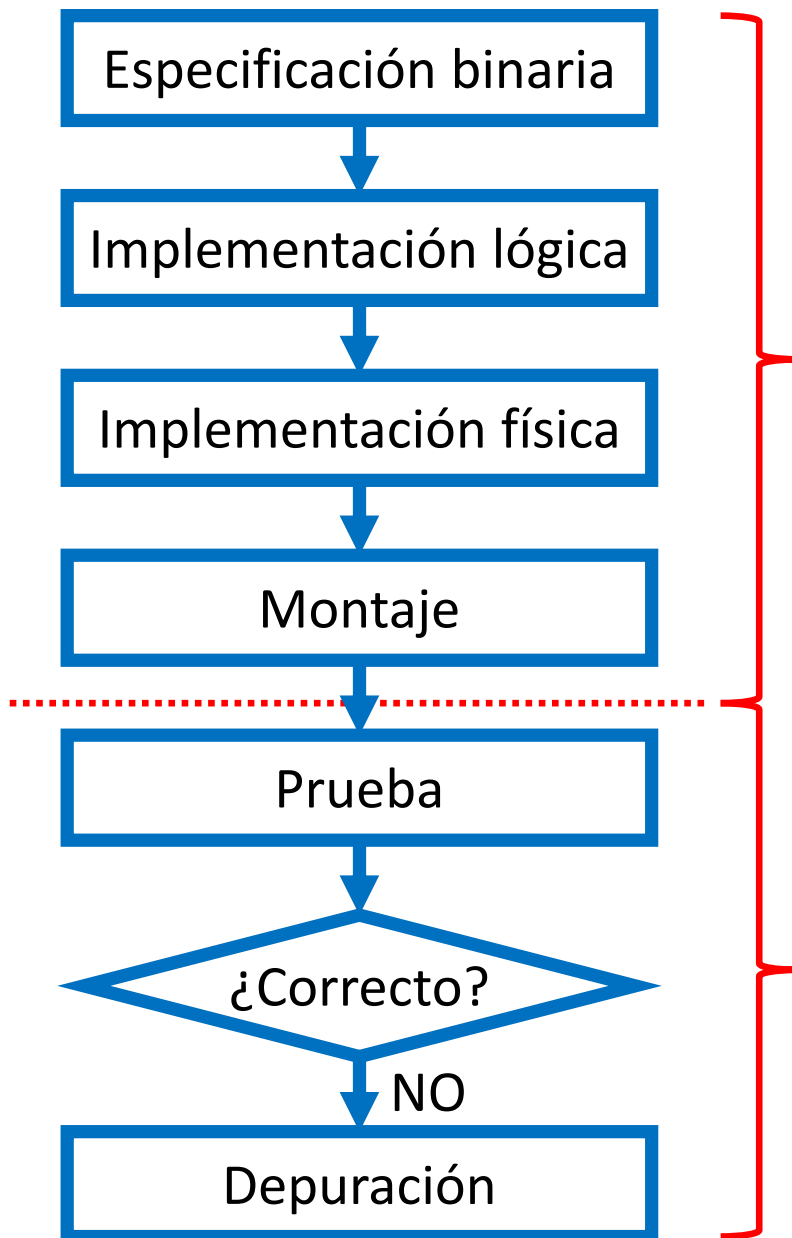
Alicates de corte



Multímetro



# Flujo de diseño



en casa

- Estudiar el enunciado
- Rellenar el cuadernillo
- Montar el circuito

en laboratorio

- Enseñar el cuadernillo
- Enseñar el circuito montado
- Enseñar la prueba del circuito



# Ejemplo

## especificación binaria

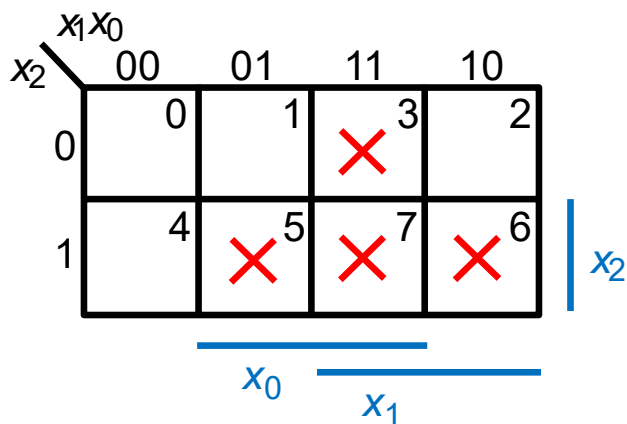


	$x_2$	$x_1$	$x_0$	$z$
<b>0</b>	0	0	0	0
<b>1</b>	0	0	1	0
<b>2</b>	0	1	0	0
<b>3</b>	0	1	1	1
<b>4</b>	1	0	0	0
<b>5</b>	1	0	1	1
<b>6</b>	1	1	0	1
<b>7</b>	1	1	1	1

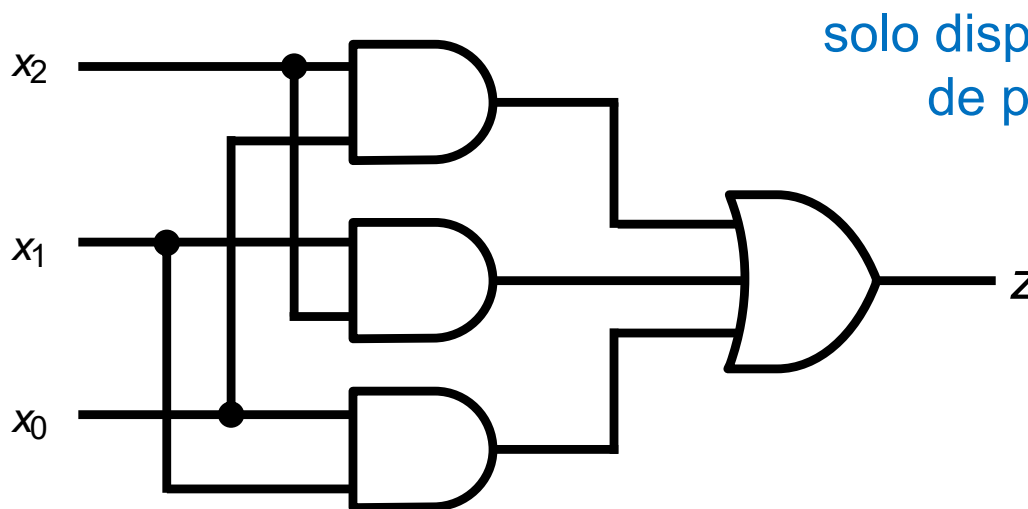


# Ejemplo

## implementación lógica



$$Z = x_2 \cdot x_0 + x_2 \cdot x_1 + x_1 \cdot x_0$$

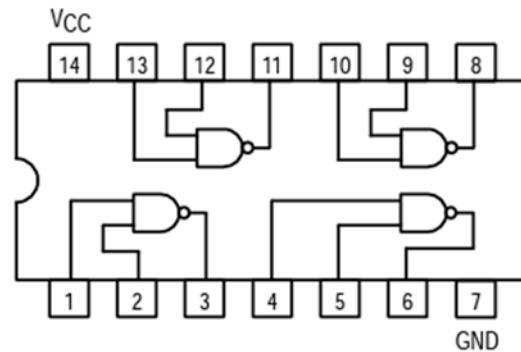




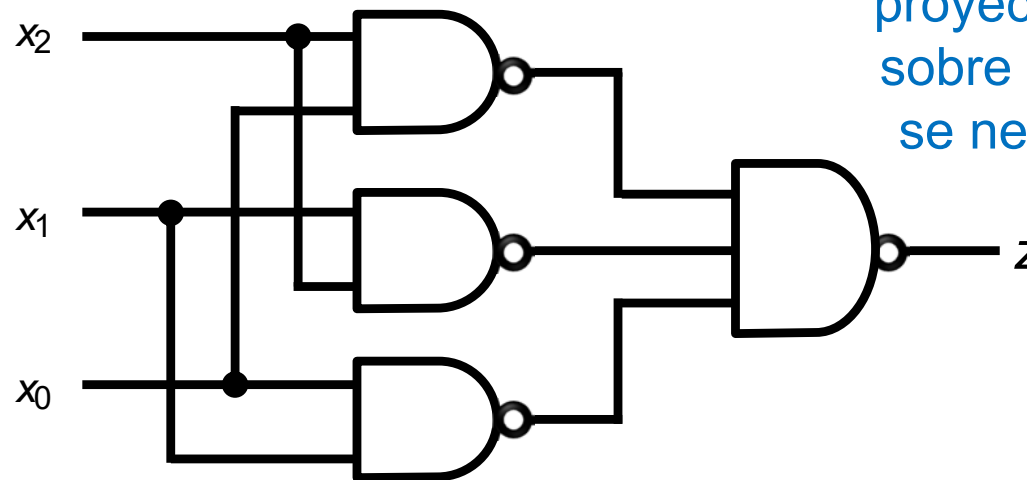
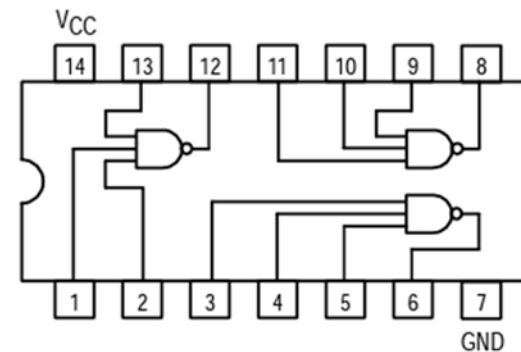
# Ejemplo

## implementación física

CHIP A (7400)



CHIP B (7410)



proyectamos el diseño  
sobre puertas NAND:  
se necesitan 2 chips

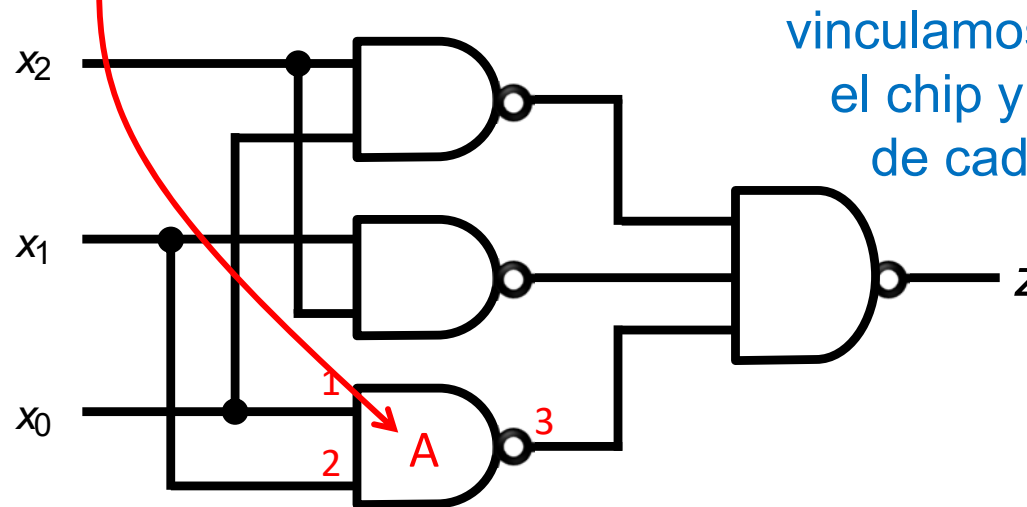
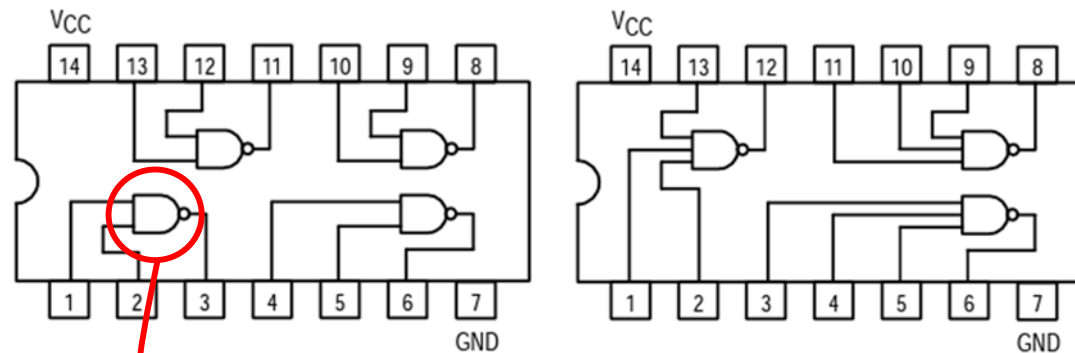


# Ejemplo

## implementación física

CHIP A (7400)

CHIP B (7410)



vinculamos puertas anotando el chip y el número de pin de cada entrada/salida

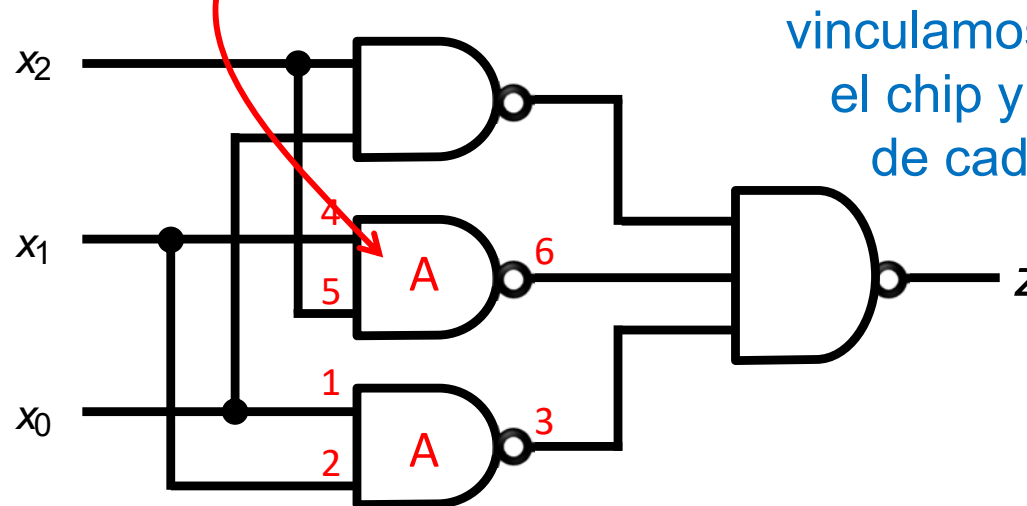
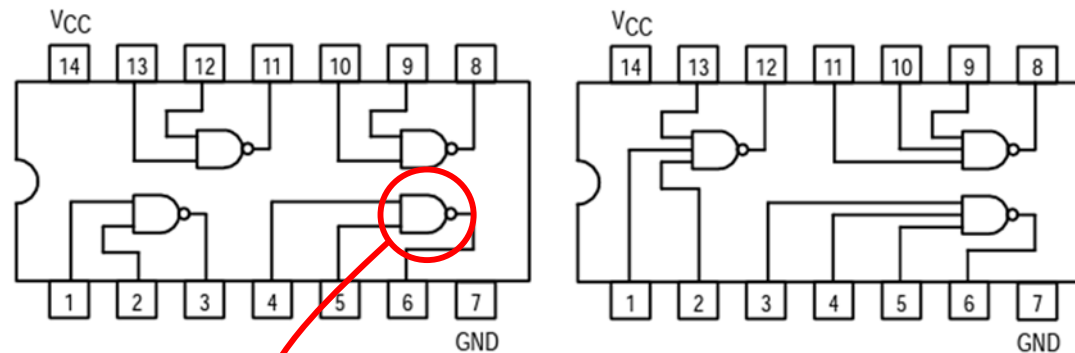


# Ejemplo

## implementación física

CHIP A (7400)

CHIP B (7410)



vinculamos puertas anotando el chip y el número de pin de cada entrada/salida





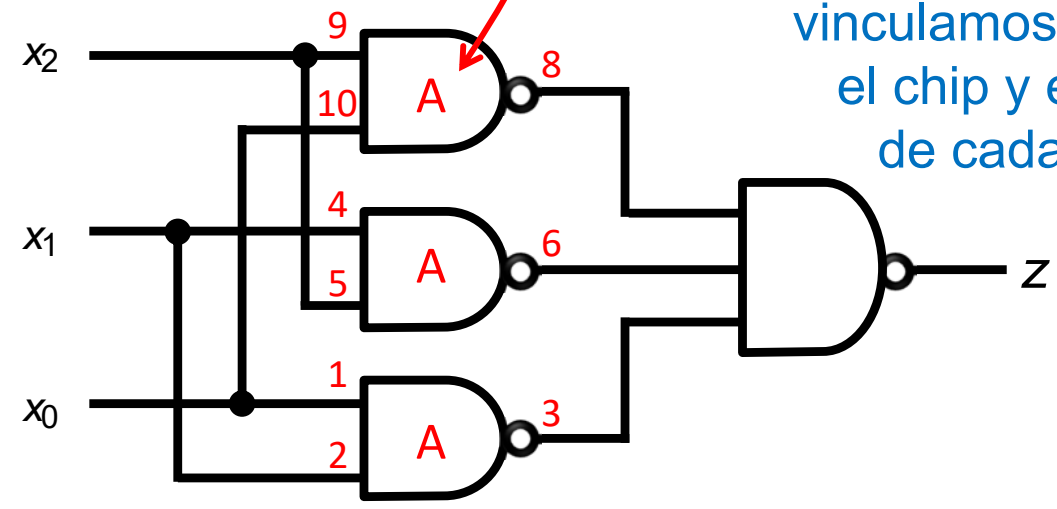
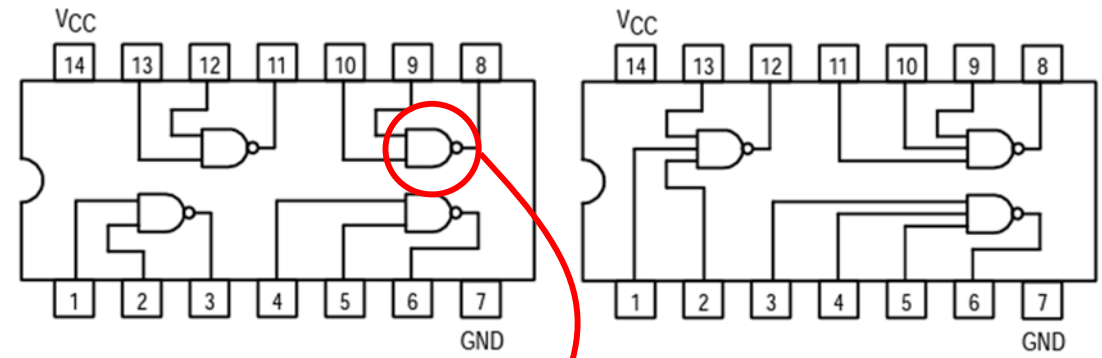
# Ejemplo

## implementación física

versión 30/08/21

CHIP A (7400)

CHIP B (7410)



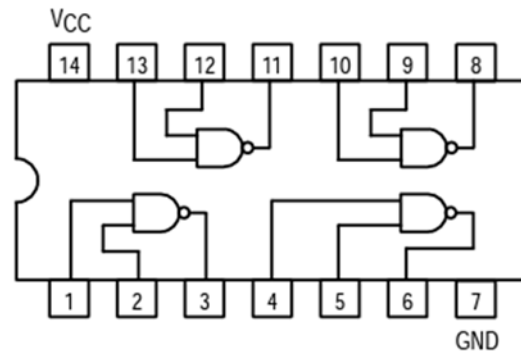
vinculamos puertas anotando el chip y el número de pin de cada entrada/salida



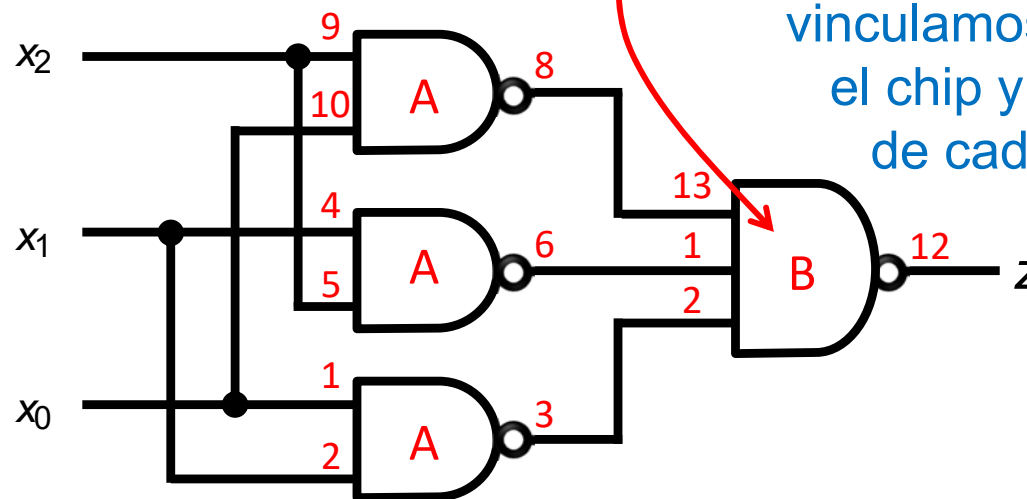
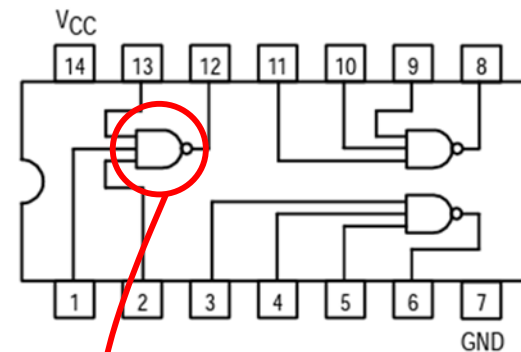
# Ejemplo

## implementación física

CHIP A (7400)



CHIP B (7410)

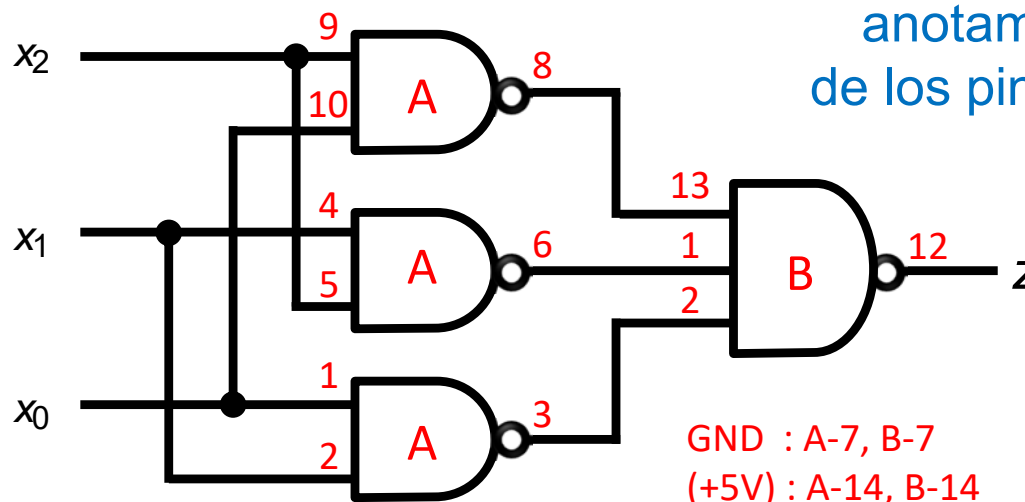
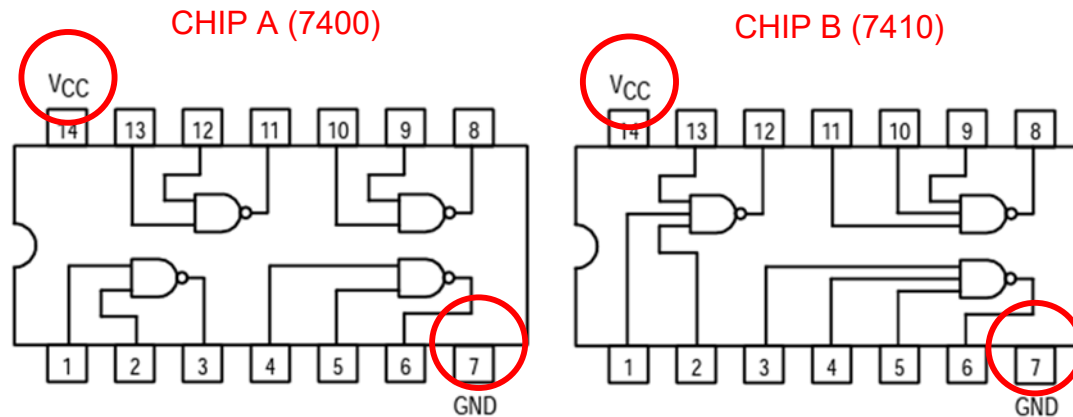


vinculamos puertas anotando el chip y el número de pin de cada entrada/salida



# Ejemplo

## implementación física



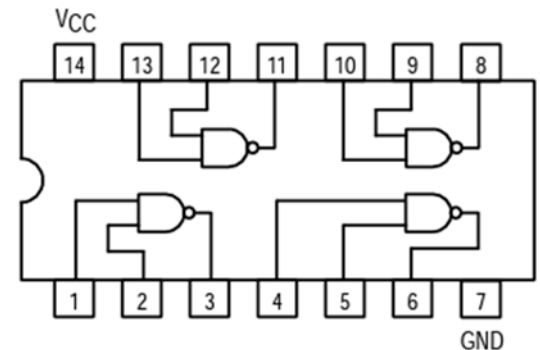


# Ejemplo

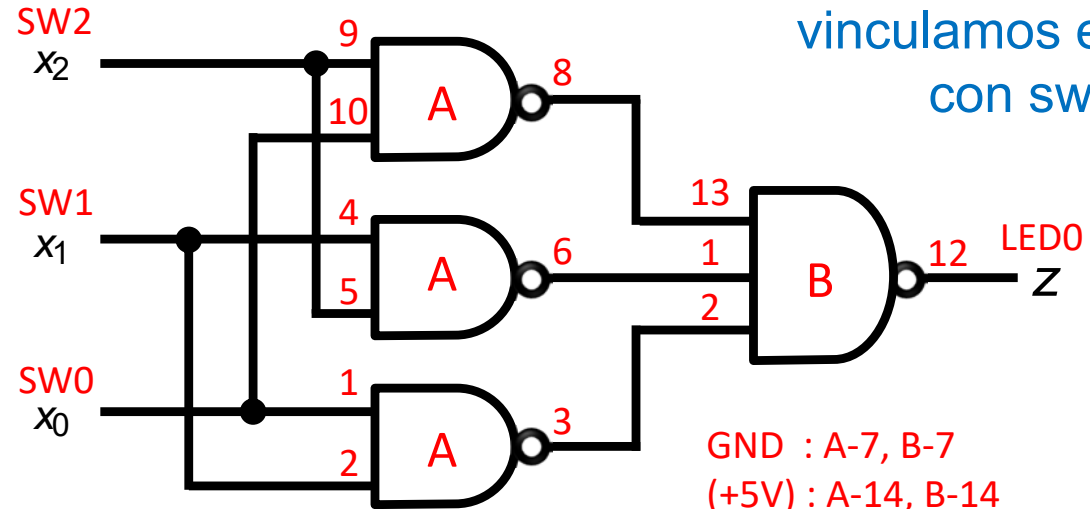
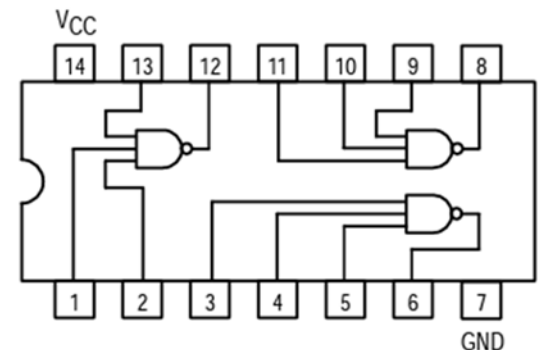
## implementación física

versión 30/08/21

CHIP A (7400)

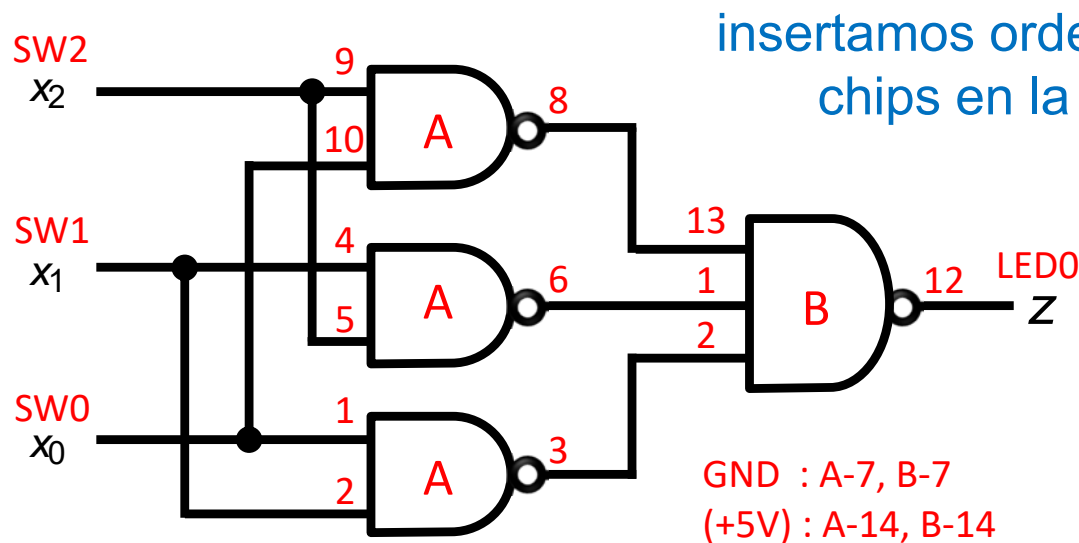
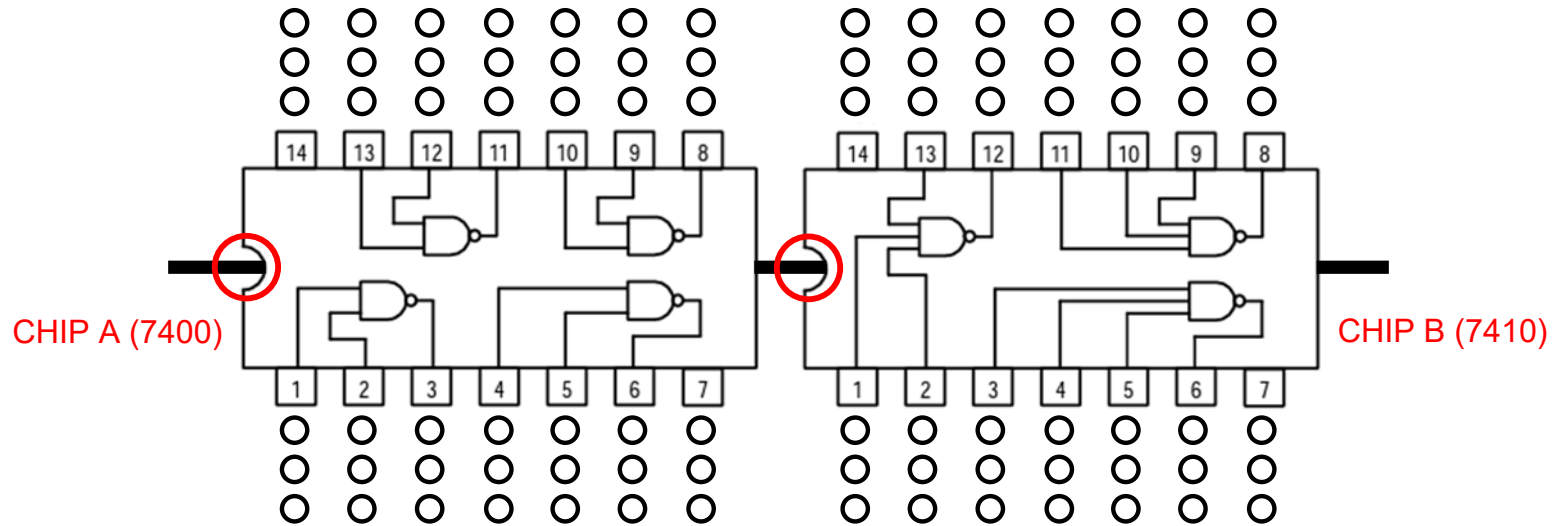


CHIP B (7410)





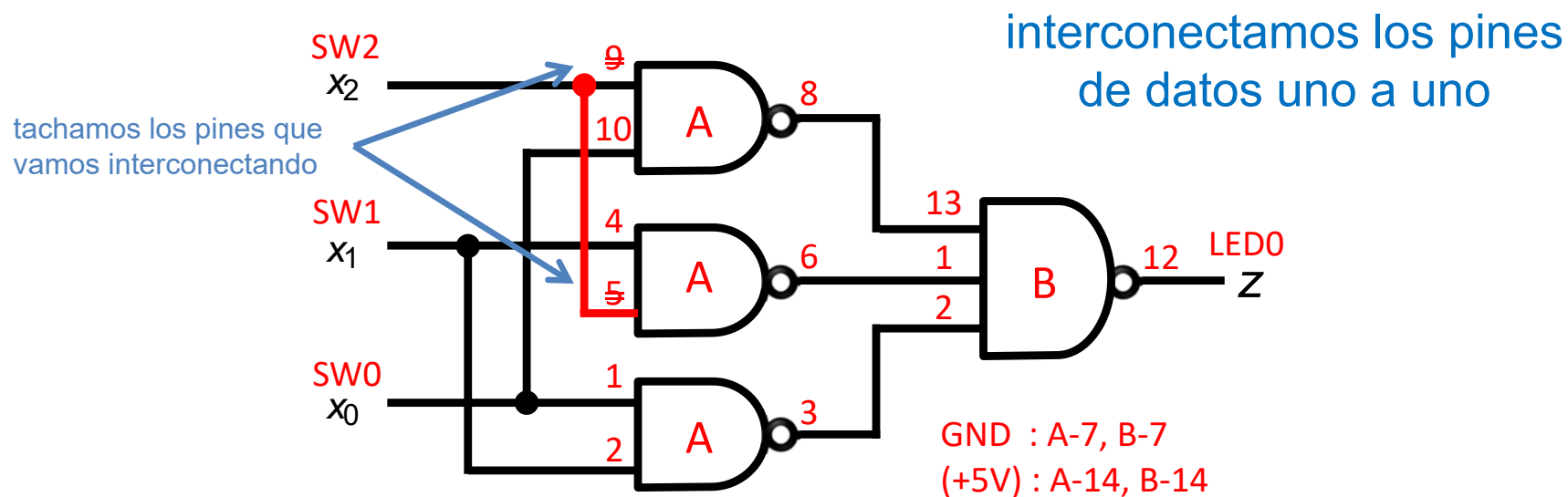
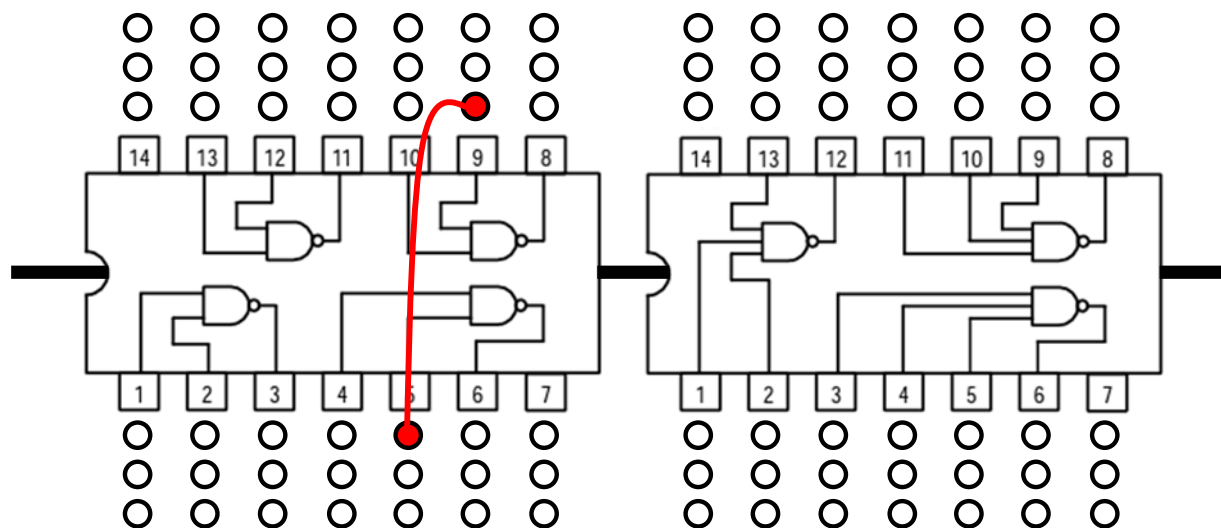
# Ejemplo montaje



insertamos ordenadamente los  
chips en la protoboard

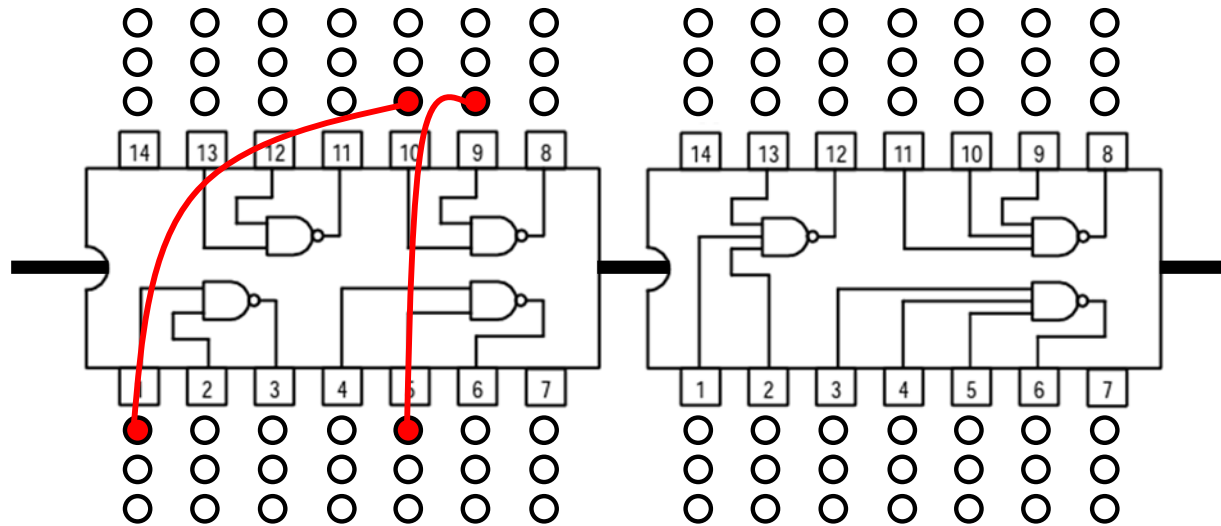


# Ejemplo montaje

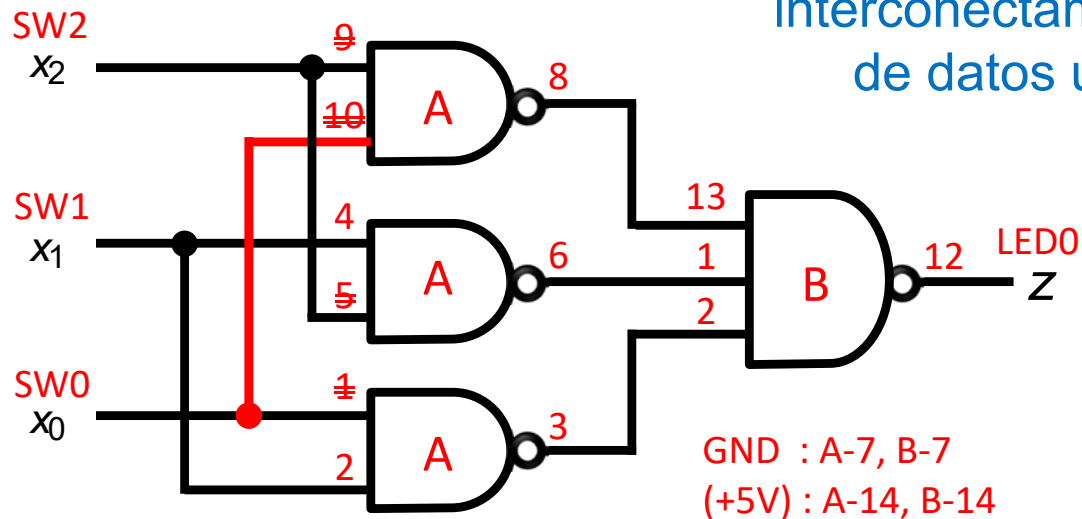




# Ejemplo montaje



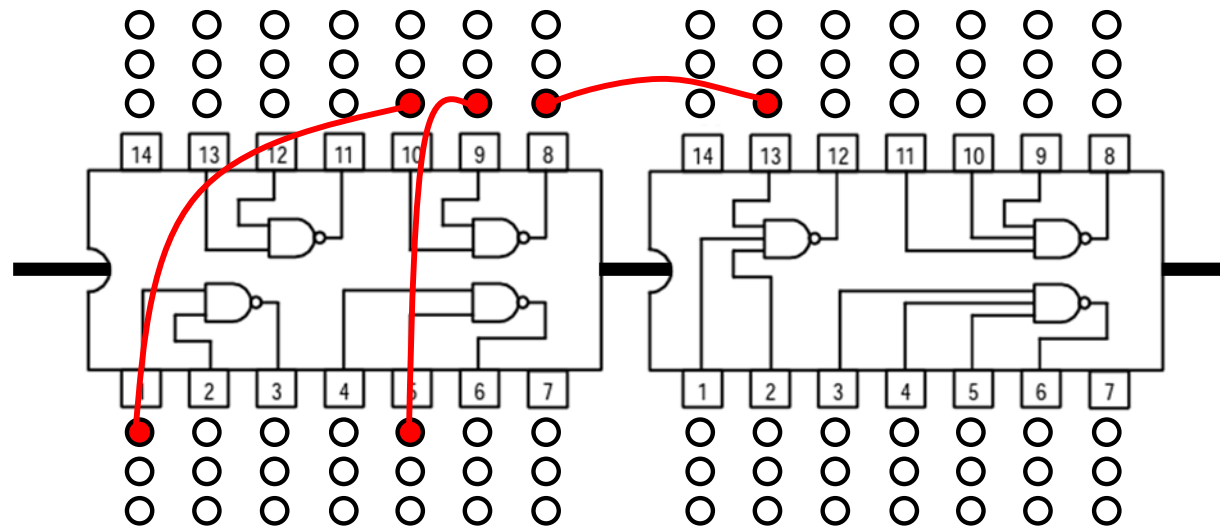
interconectamos los pines  
de datos uno a uno



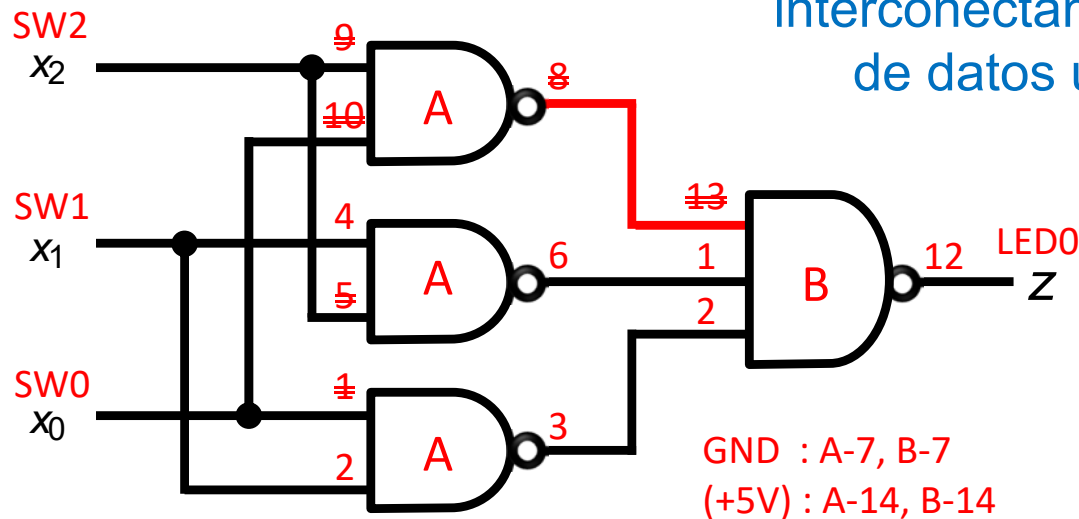
GND : A-7, B-7  
(+5V) : A-14, B-14



# Ejemplo montaje



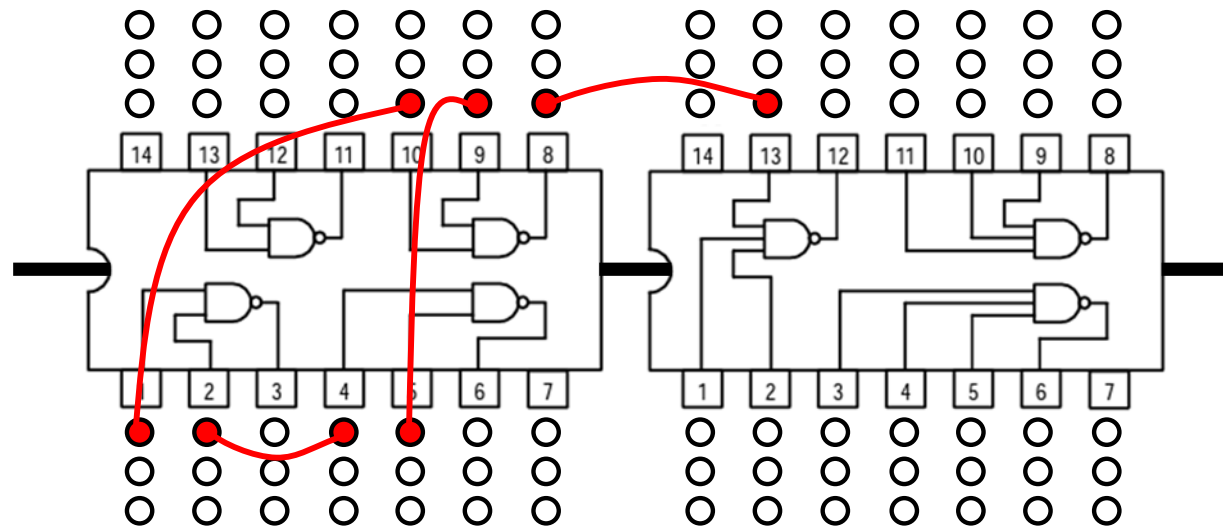
interconectamos los pines  
de datos uno a uno



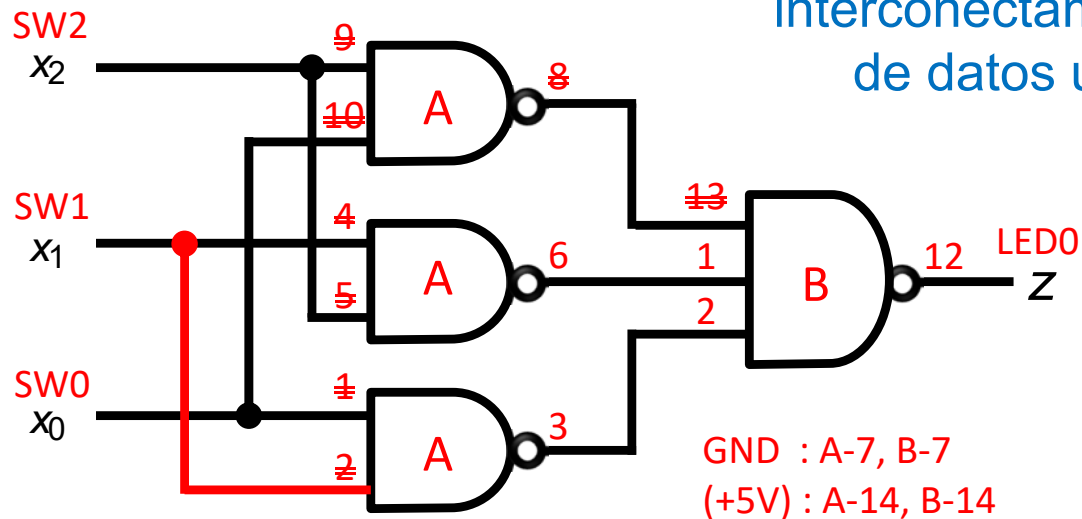




# Ejemplo montaje

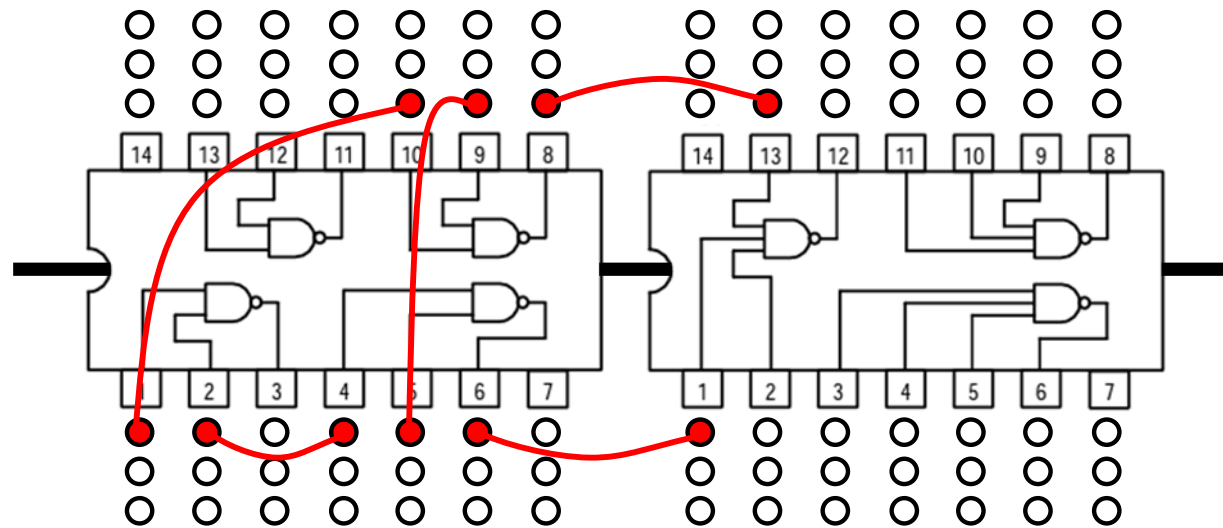


interconectamos los pines  
de datos uno a uno

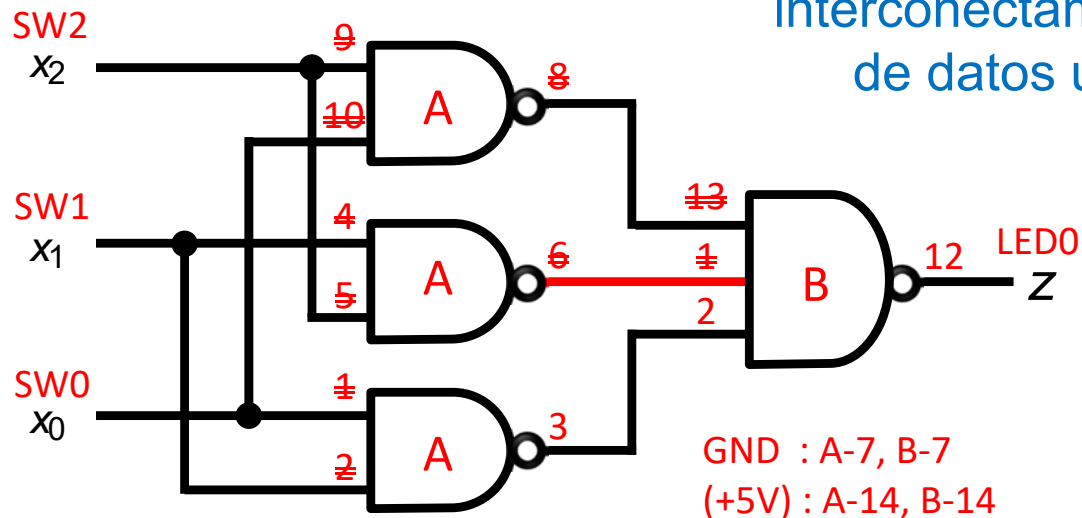




# Ejemplo montaje

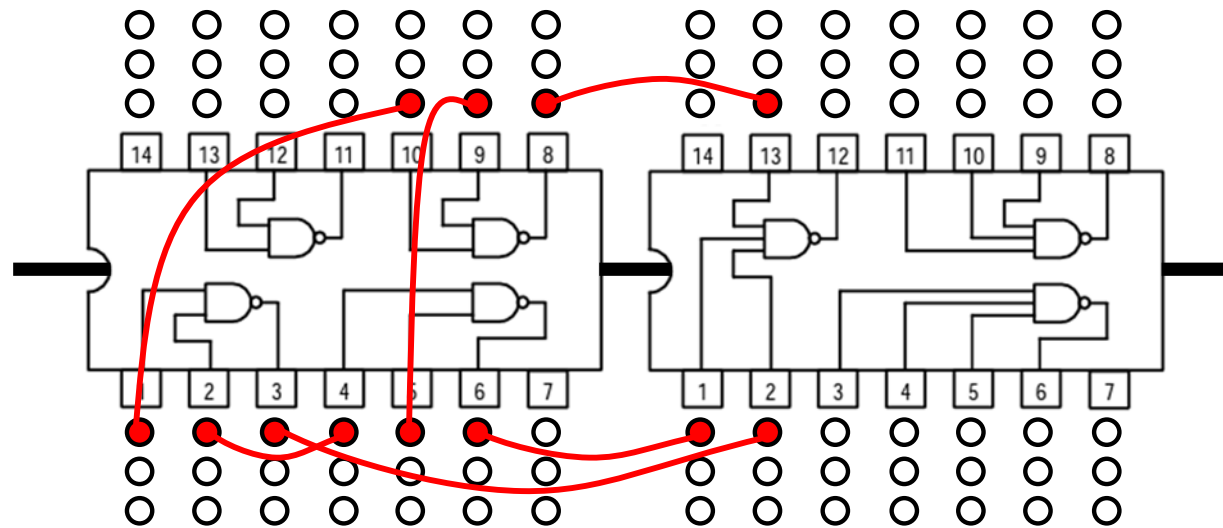


interconectamos los pines de datos uno a uno

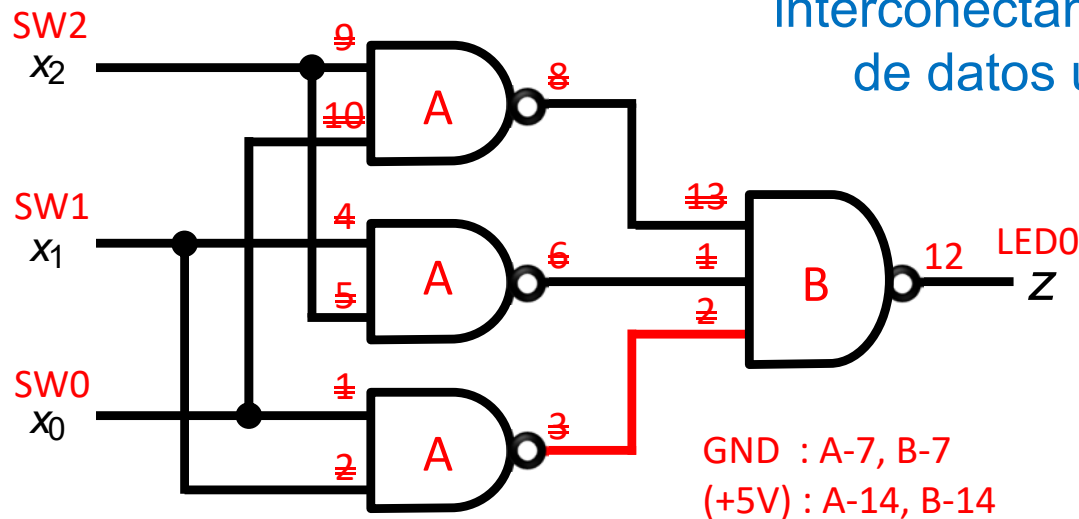




# Ejemplo montaje

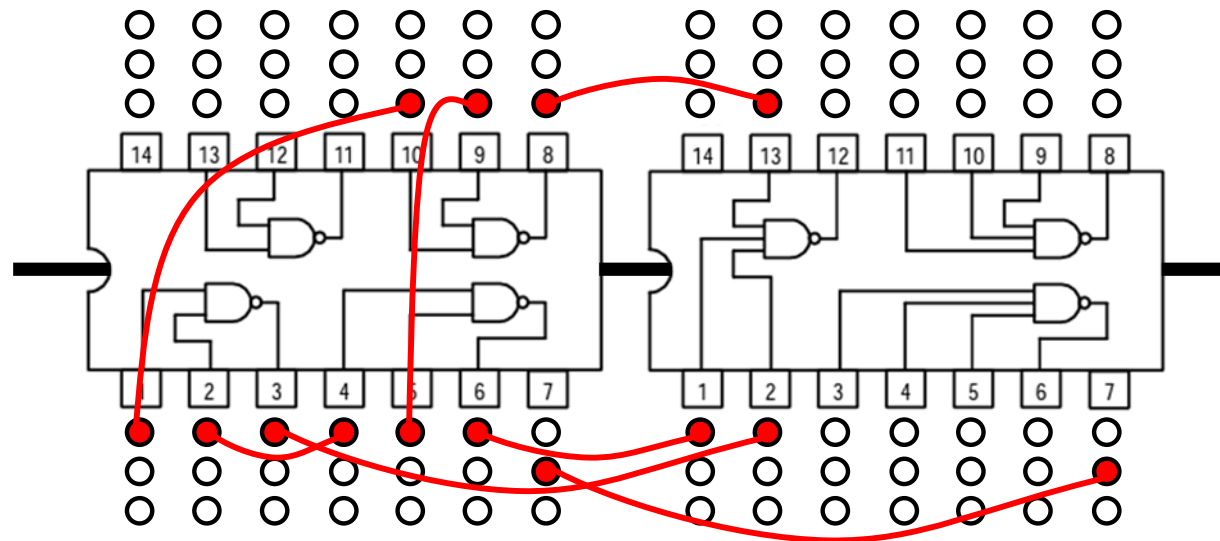


interconectamos los pines  
de datos uno a uno

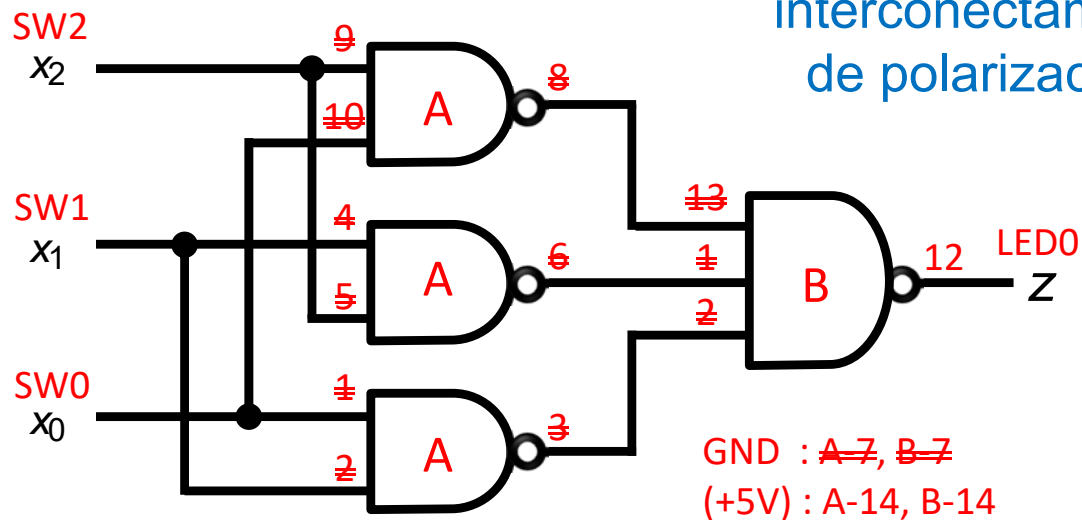




# Ejemplo montaje



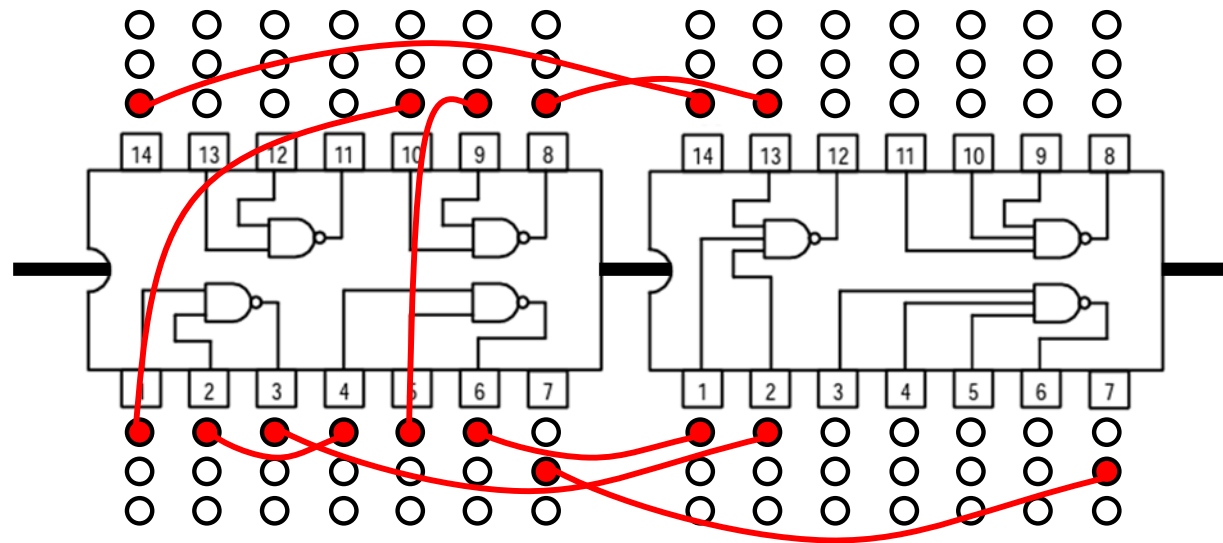
interconectamos los pines de polarización entre sí



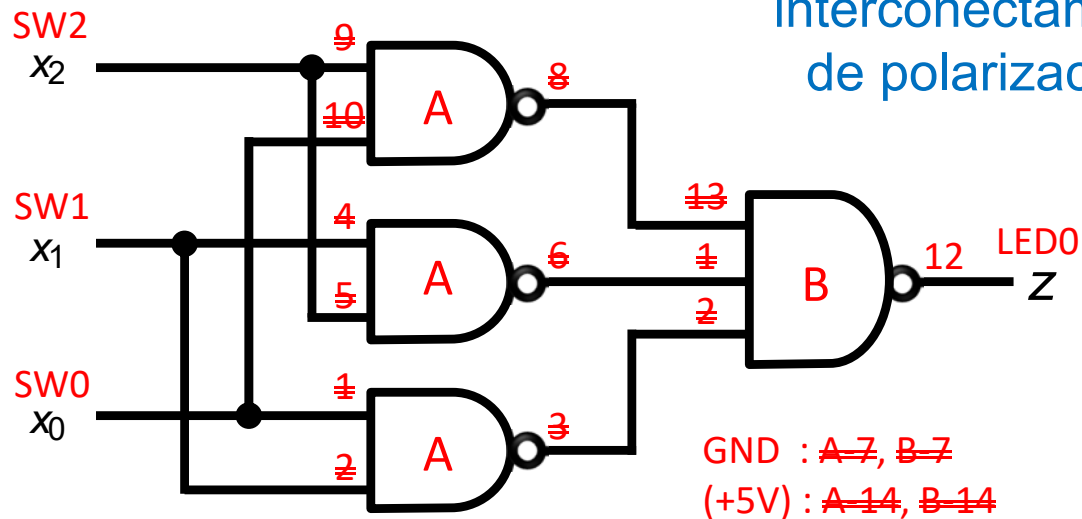
GND : ~~A-7~~, ~~B-7~~  
(+5V) : A-14, B-14



# Ejemplo montaje



interconectamos los pines de polarización entre sí

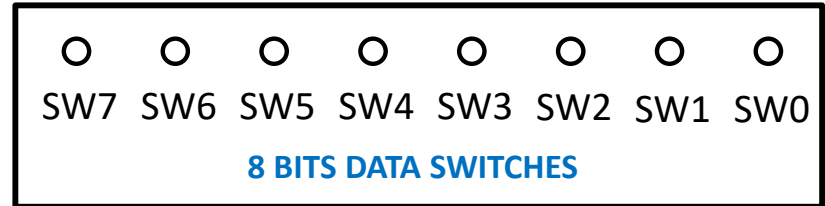
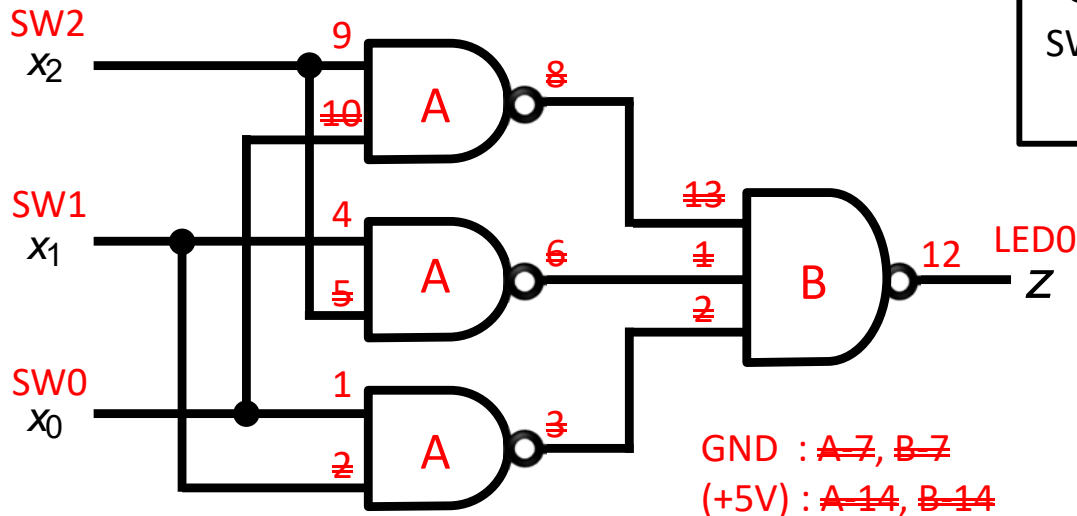
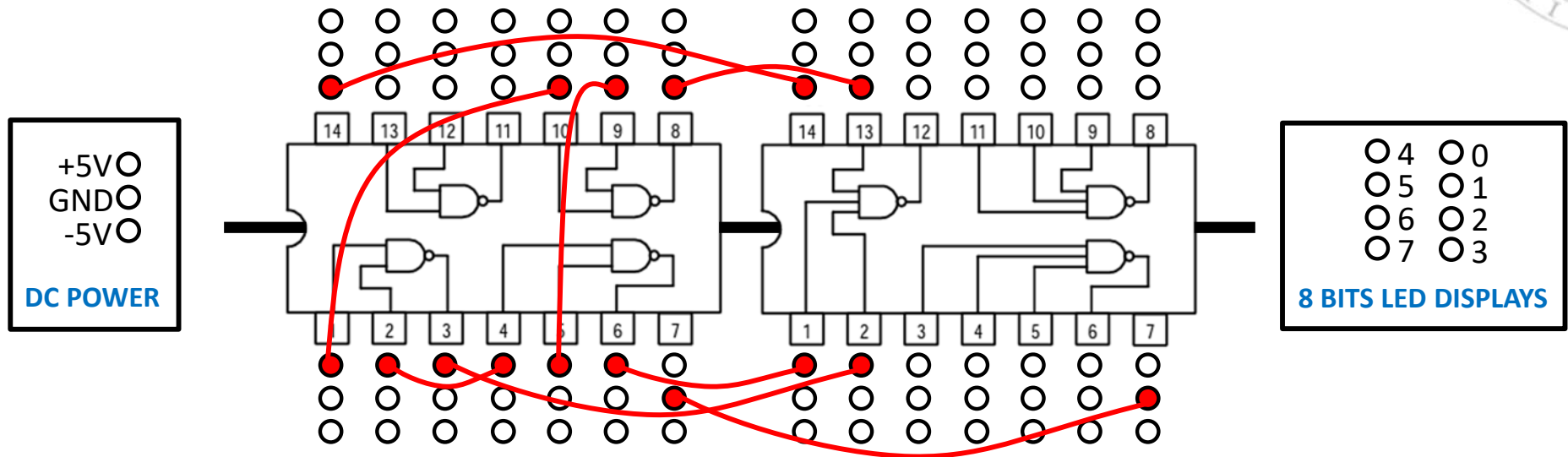




# Ejemplo

## prueba: colocación sobre el entrenador

versión 30/08/21



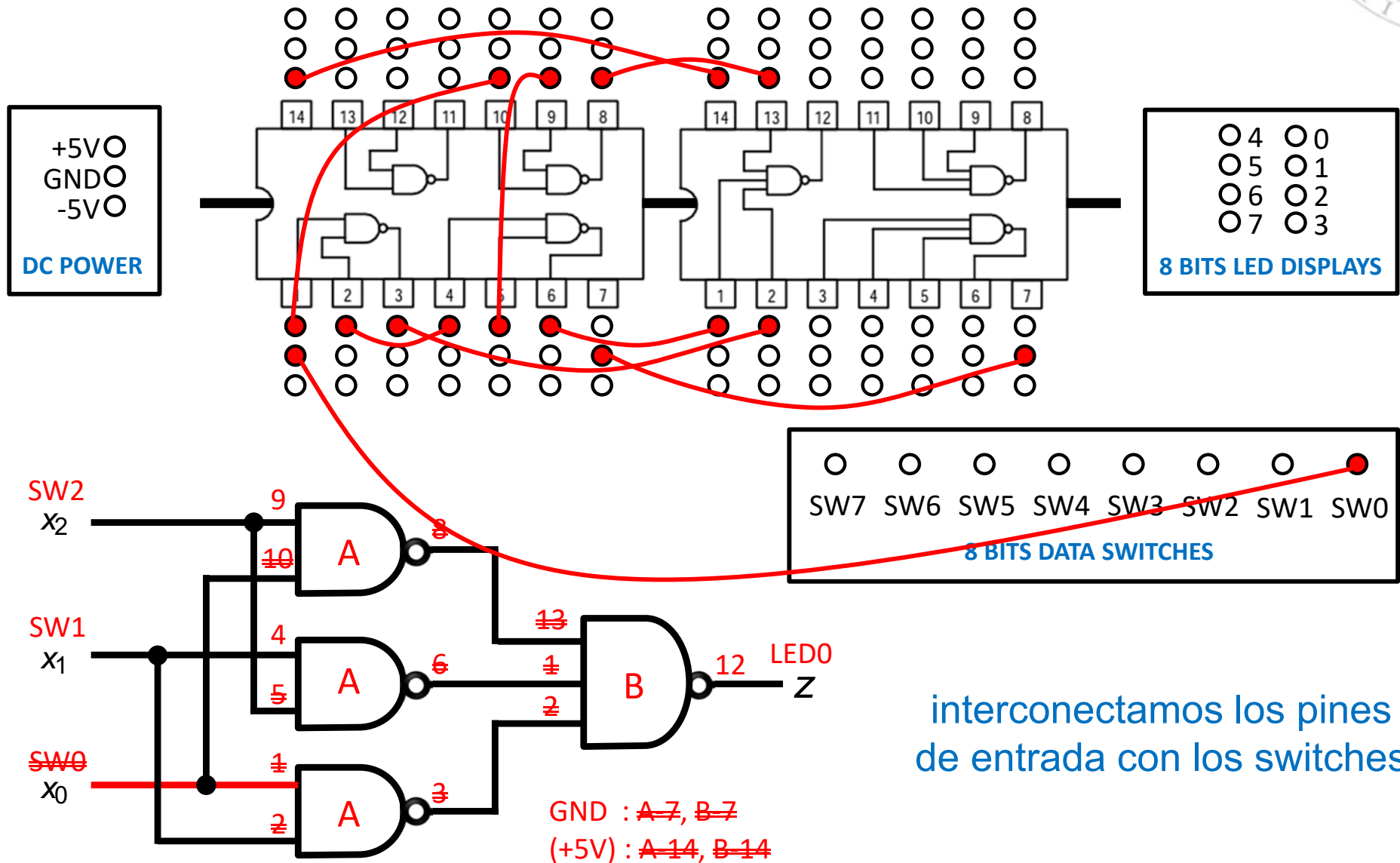
el entrenador debe estar **apagado**



# Ejemplo

## prueba: conexión de entradas

versión 30/08/21

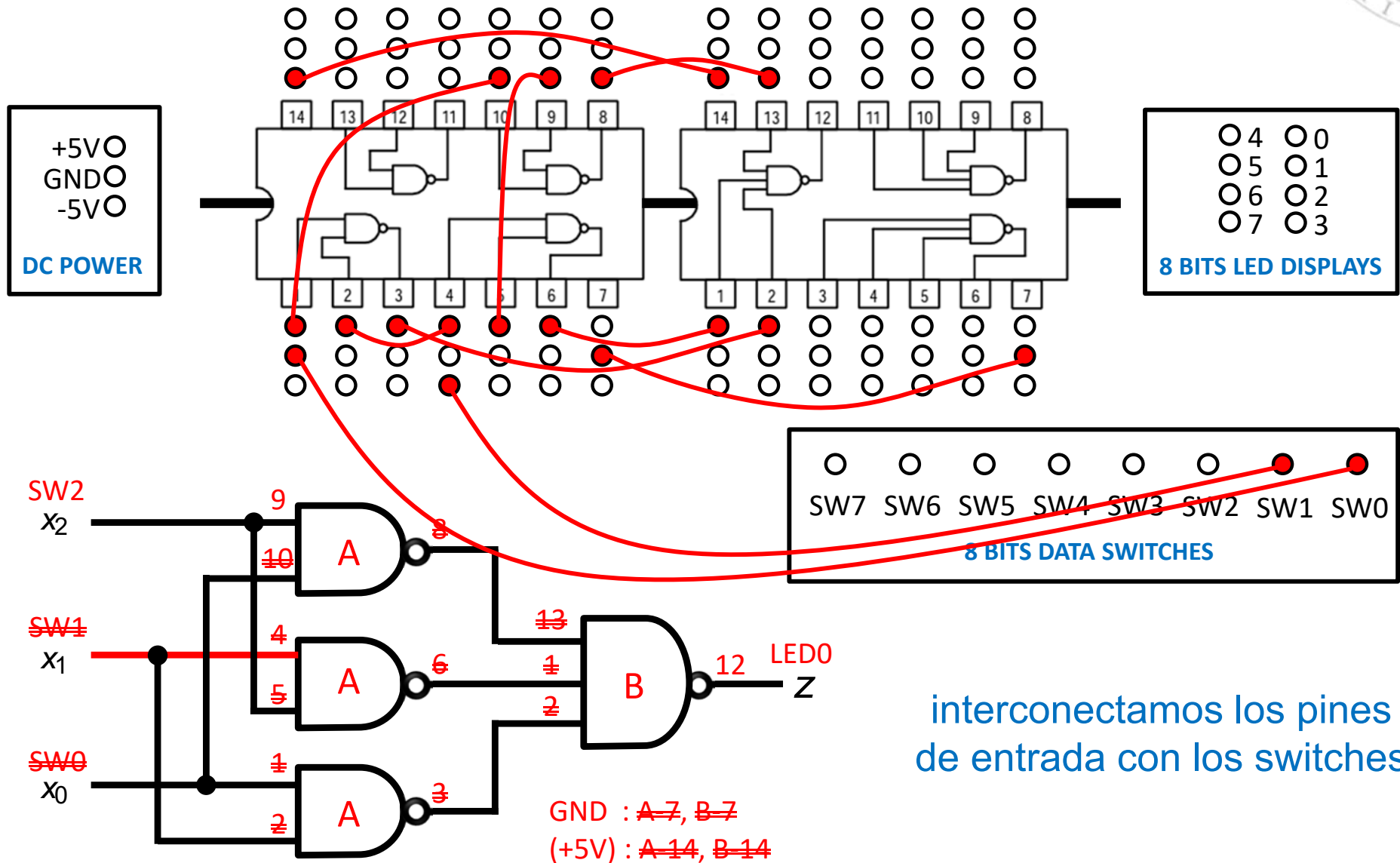


interconectamos los pines de entrada con los switches



# Ejemplo

## prueba: conexión de entradas



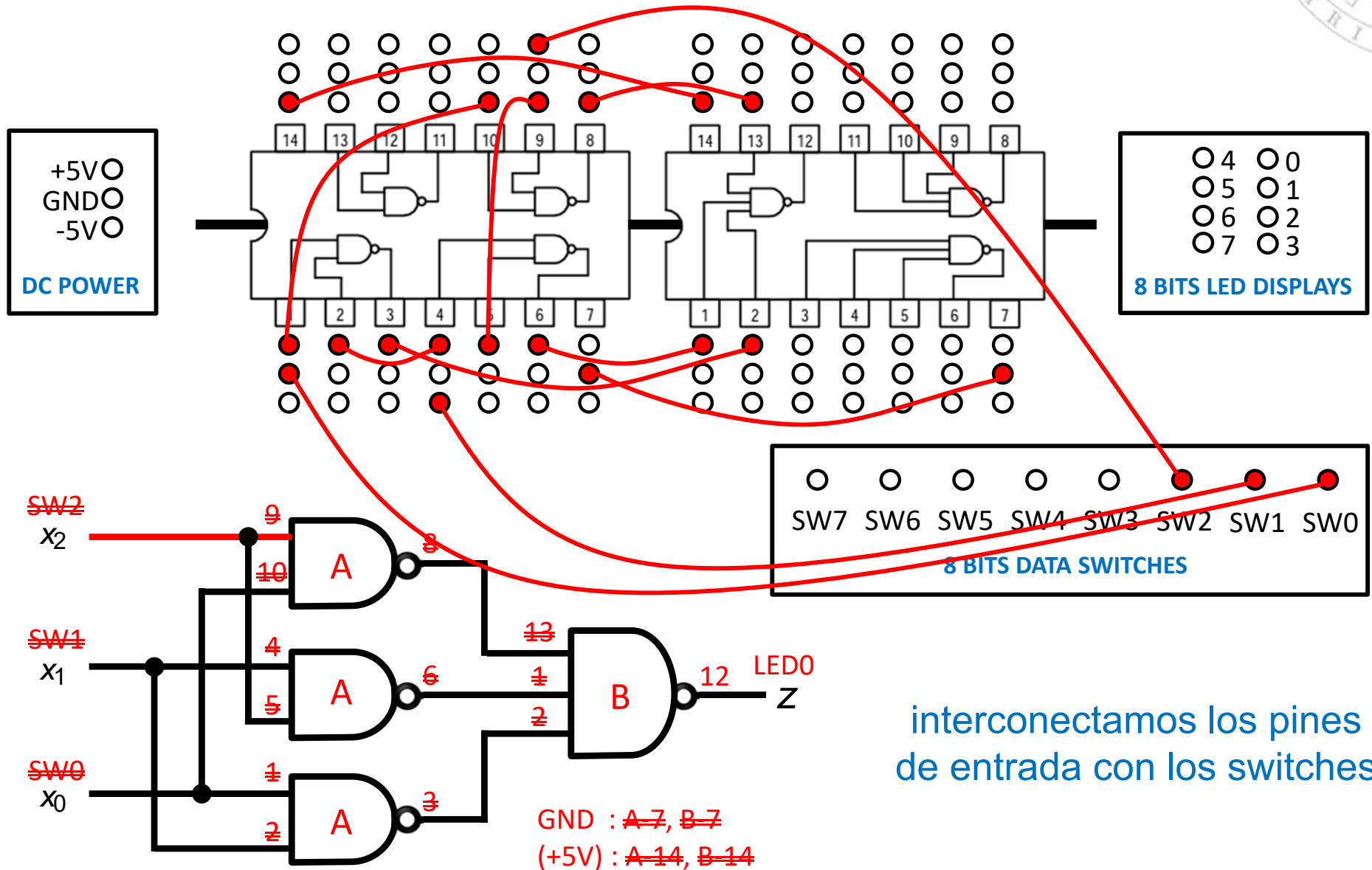
interconectamos los pines de entrada con los switches





# Ejemplo

## prueba: conexión de entradas



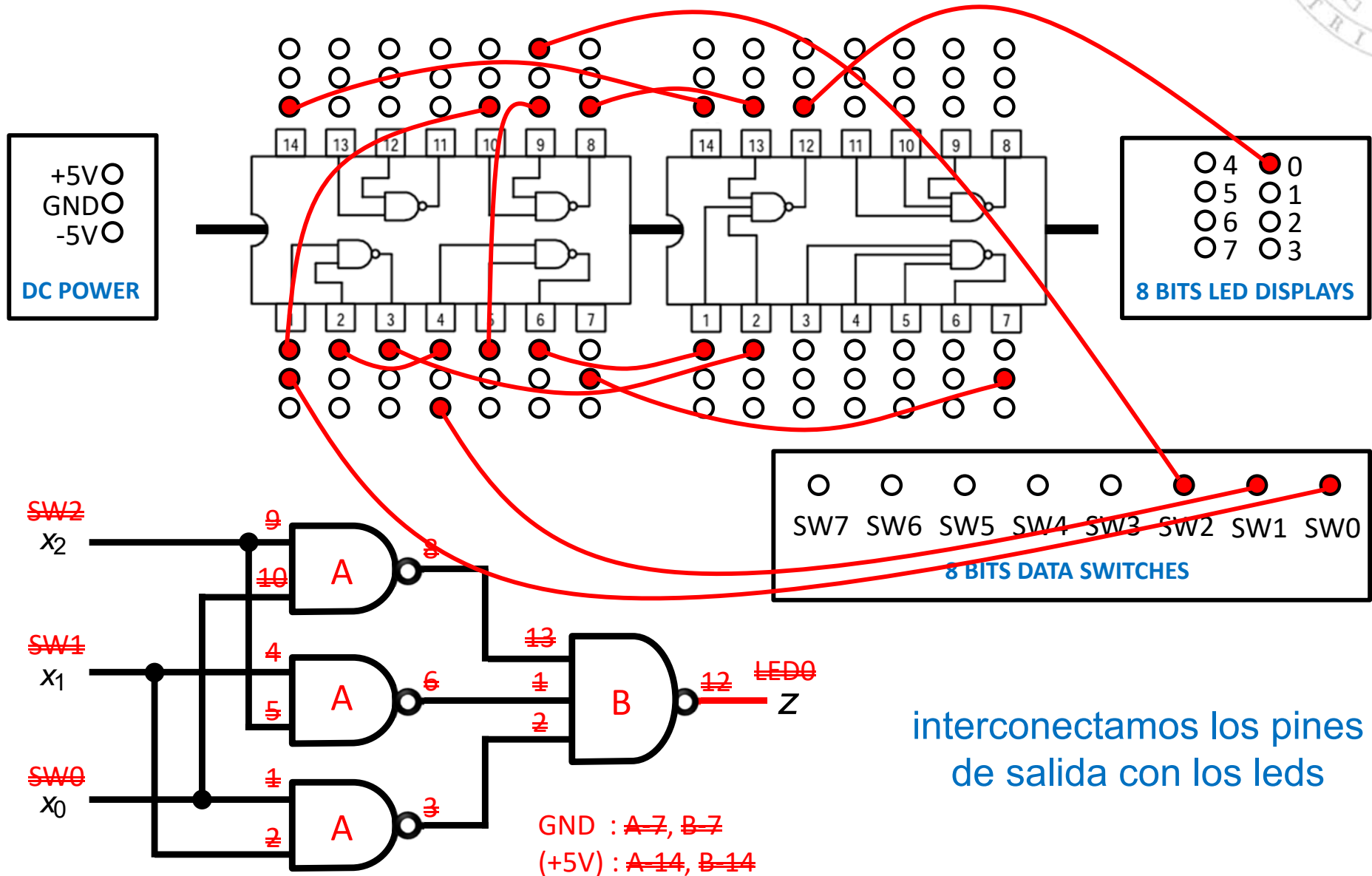
interconectamos los pines de entrada con los switches

GND : ~~A-7~~, ~~B-7~~  
(+5V) : ~~A-14~~, ~~B-14~~



# Ejemplo

## prueba: conexión de salidas

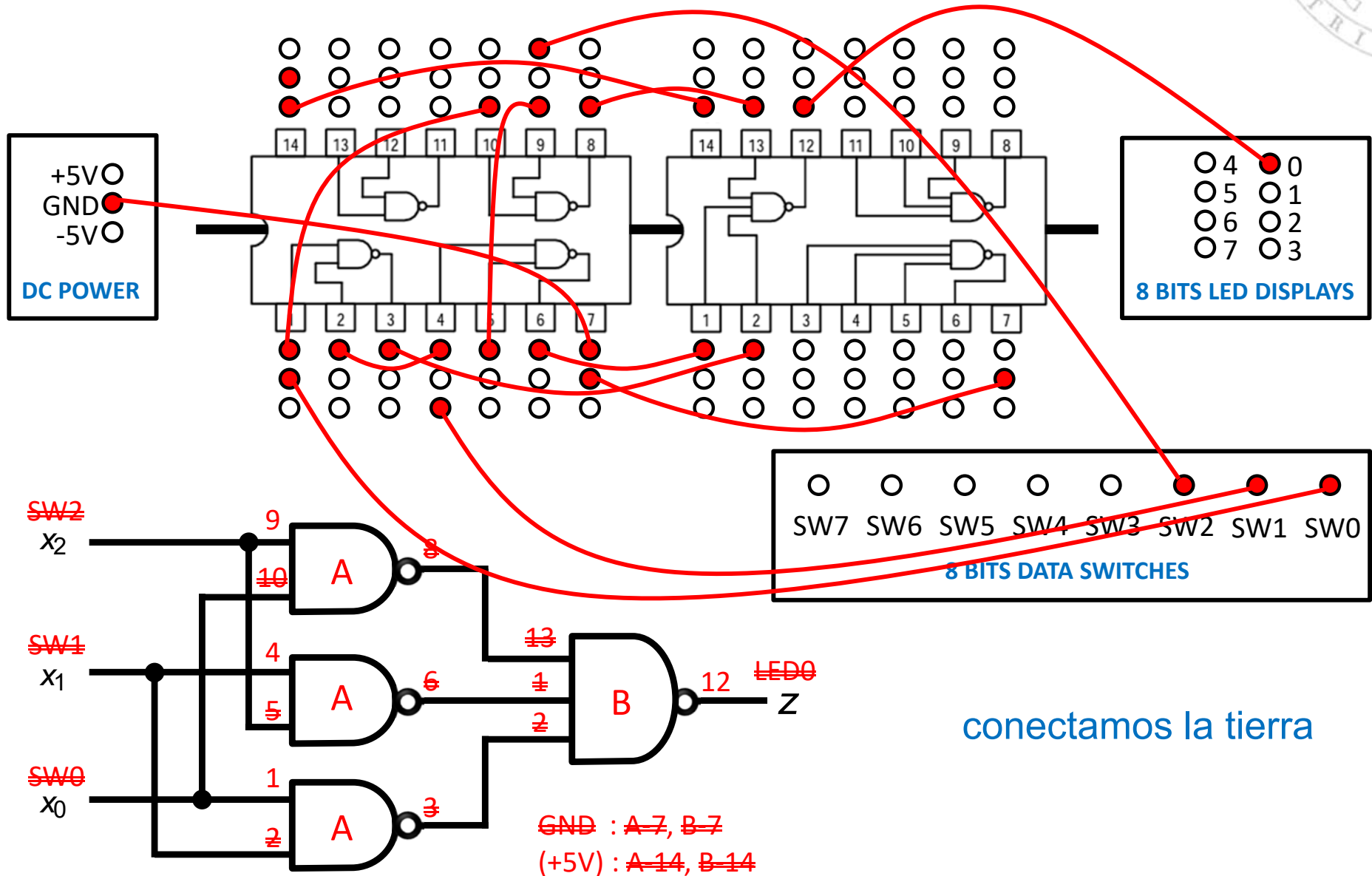


interconectamos los pines de salida con los leds



# Ejemplo

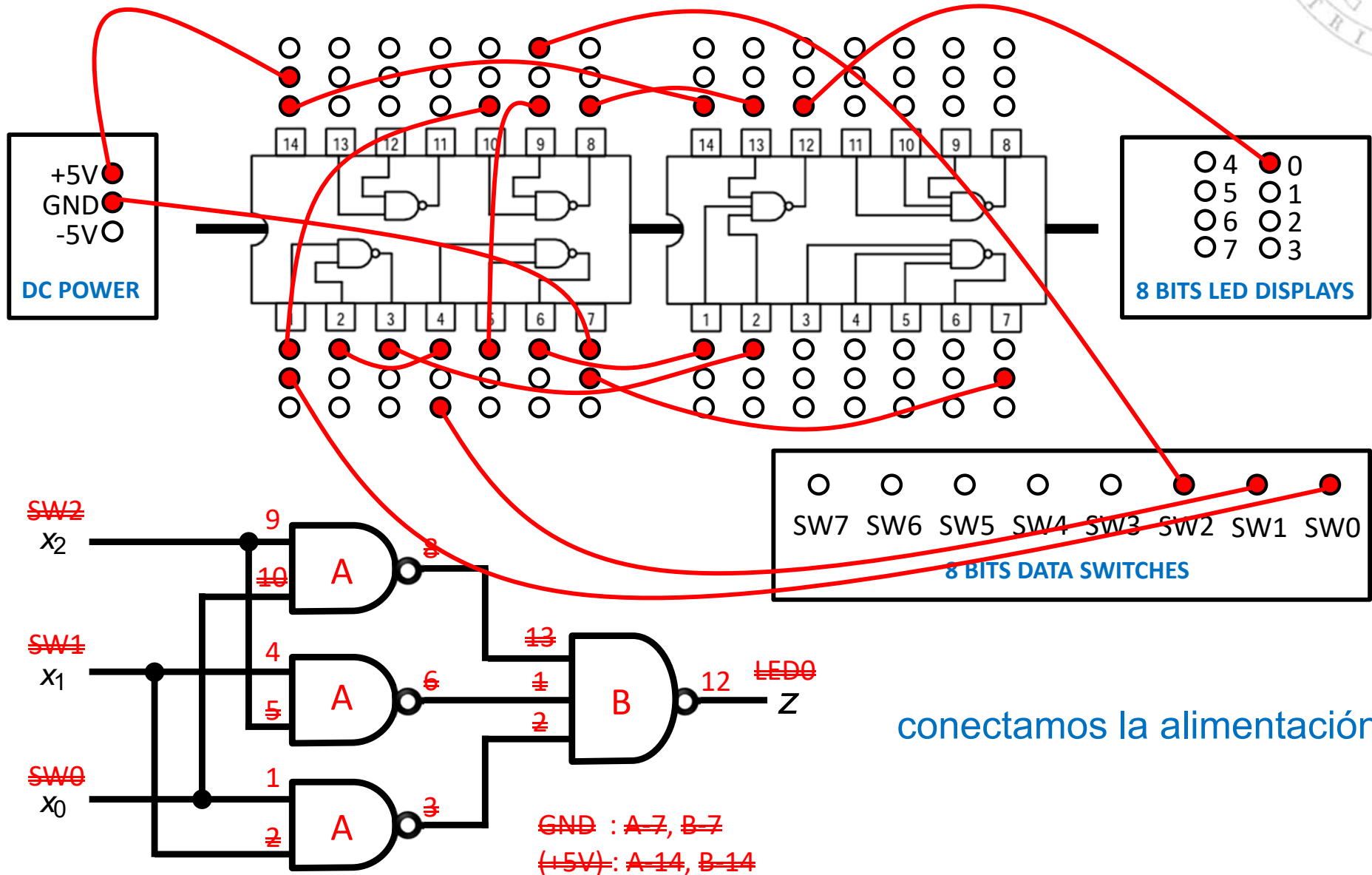
## prueba: polarización (tierra)





# Ejemplo

## prueba: polarización (alimentación)

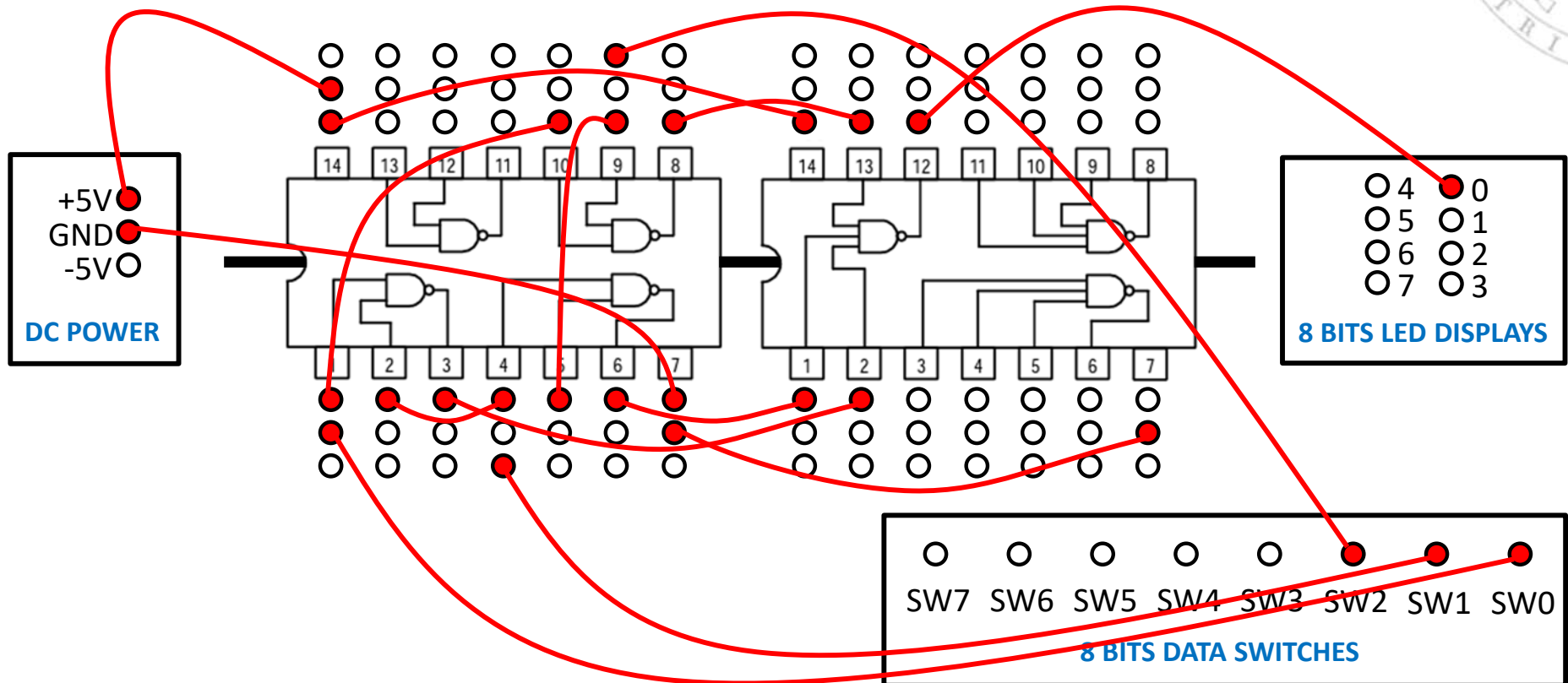


conectamos la alimentación



# Ejemplo

## prueba: test

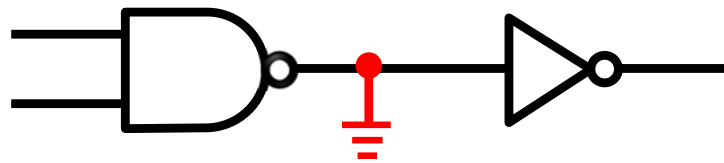


Encendemos el entrenador y comprobamos sistemáticamente que satisface la tabla de verdad. Si no, será necesario depurar el circuito

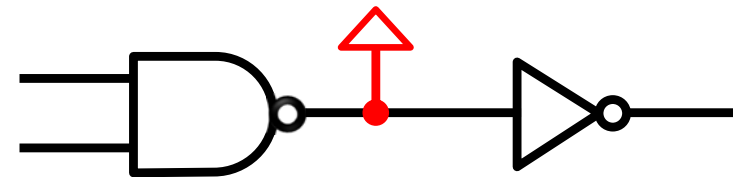


# Ejemplo

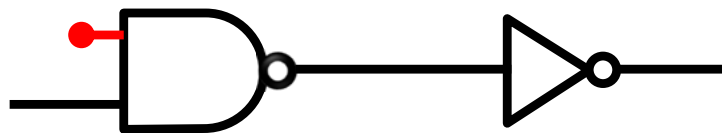
## errores comunes



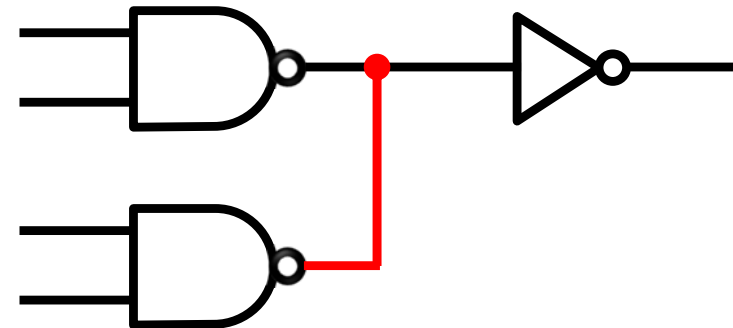
Salida forzada a 0



Salida forzada a 1



Entrada sin conectar

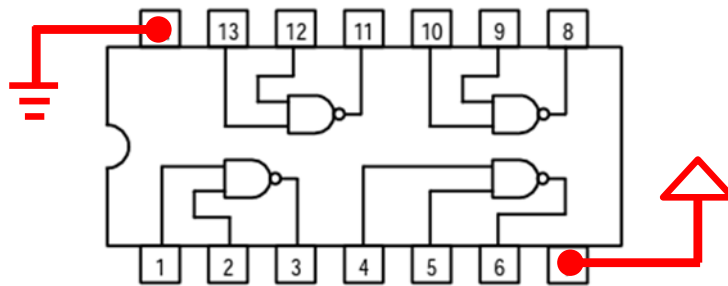


Salidas cortocircuitadas

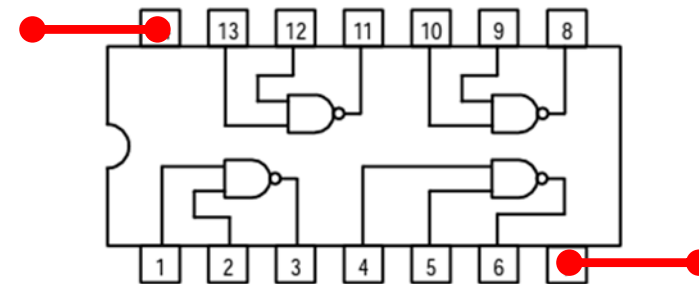


# Ejemplo

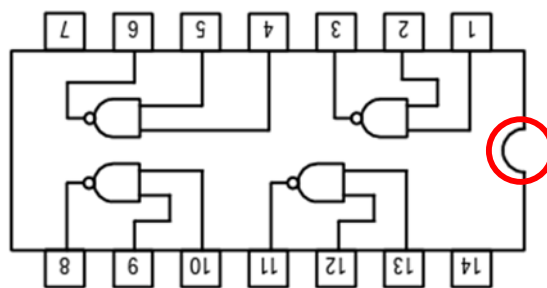
## errores comunes



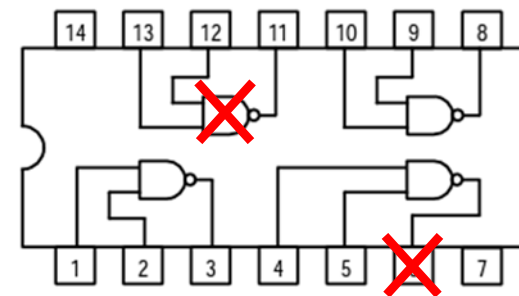
Chip mal polarizado



Chip no polarizado



Chip invertido

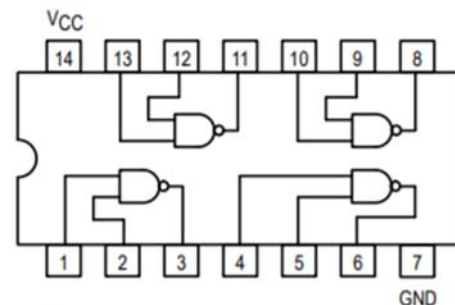


Chip defectuoso  
(fundido, pin roto, pin doblado...)

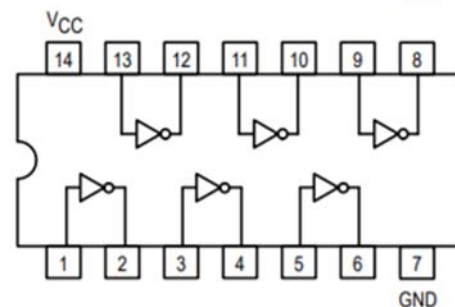


# chips 7400 / 7404 / 7410 / 7486

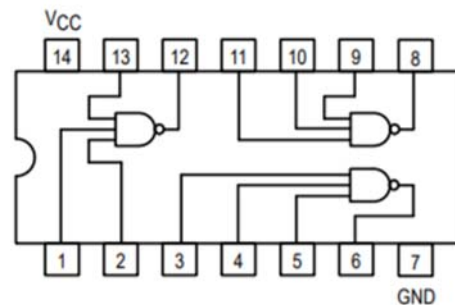
- **7400:** 4 NAND de 2 entradas



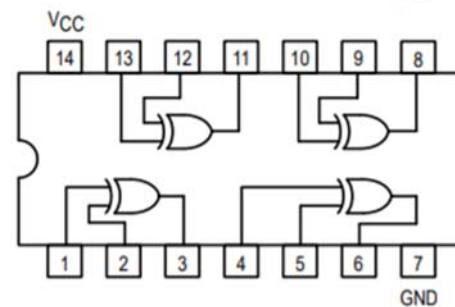
- **7404:** 6 inversores



- **7410:** 3 NAND de 3 entradas



- **7486:** 4 XOR de 2 entradas

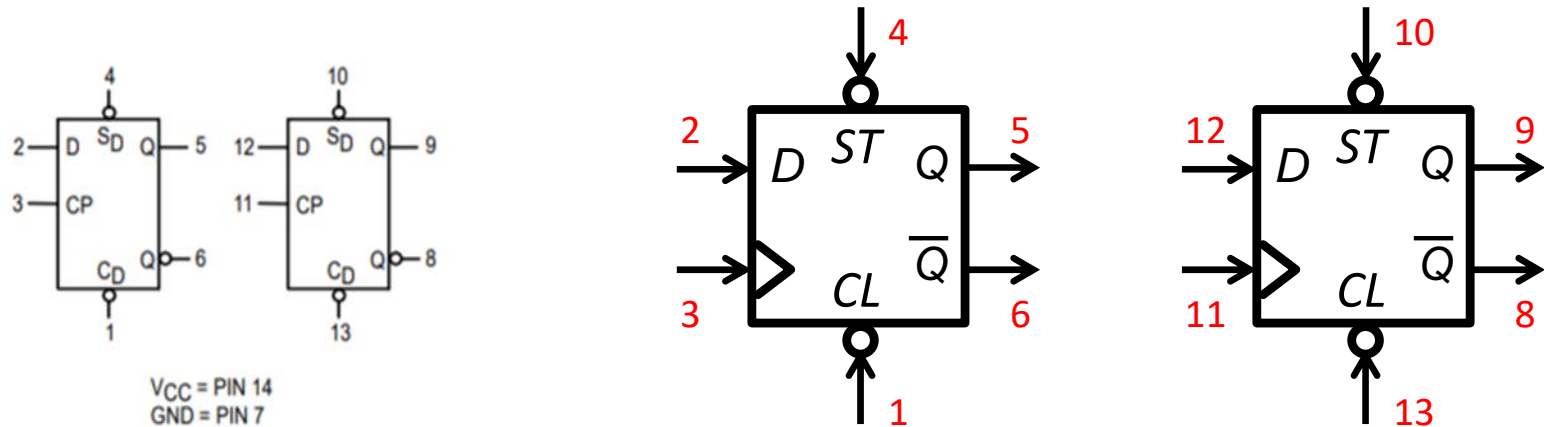




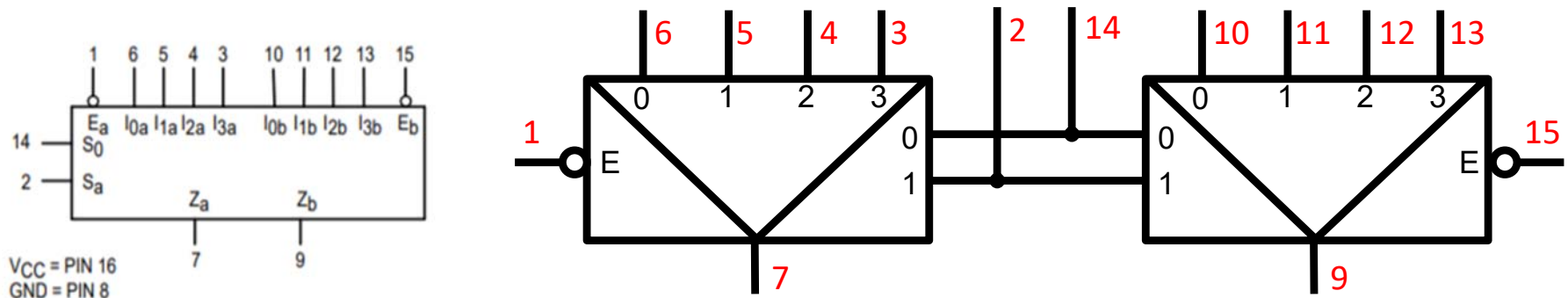


# chips 7474 / 74153

- **7474:** 2 biestables D síncronos disparados por flanco de subida con inicialización asíncrona



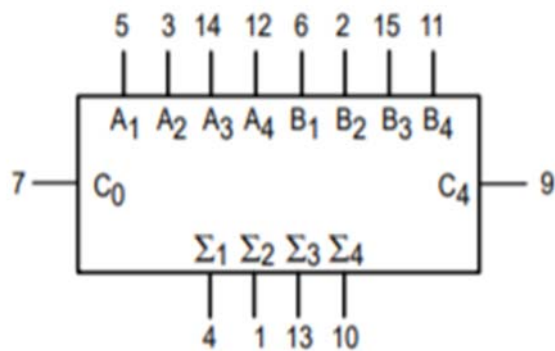
- **74153:** 2 multiplexores 4 a 1 con control común



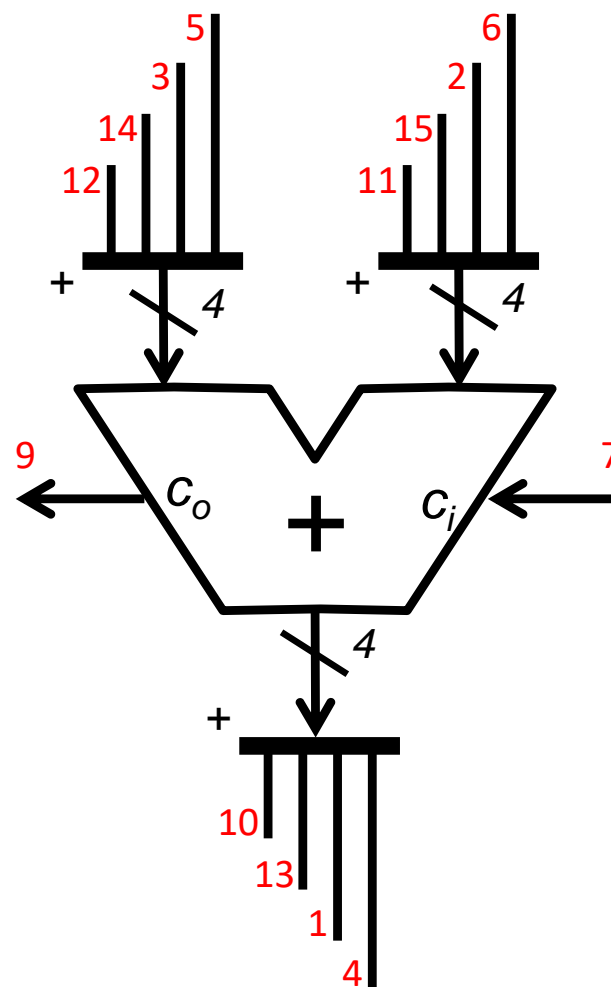


# chip 74283

- **74283:** Sumador de 4 bits



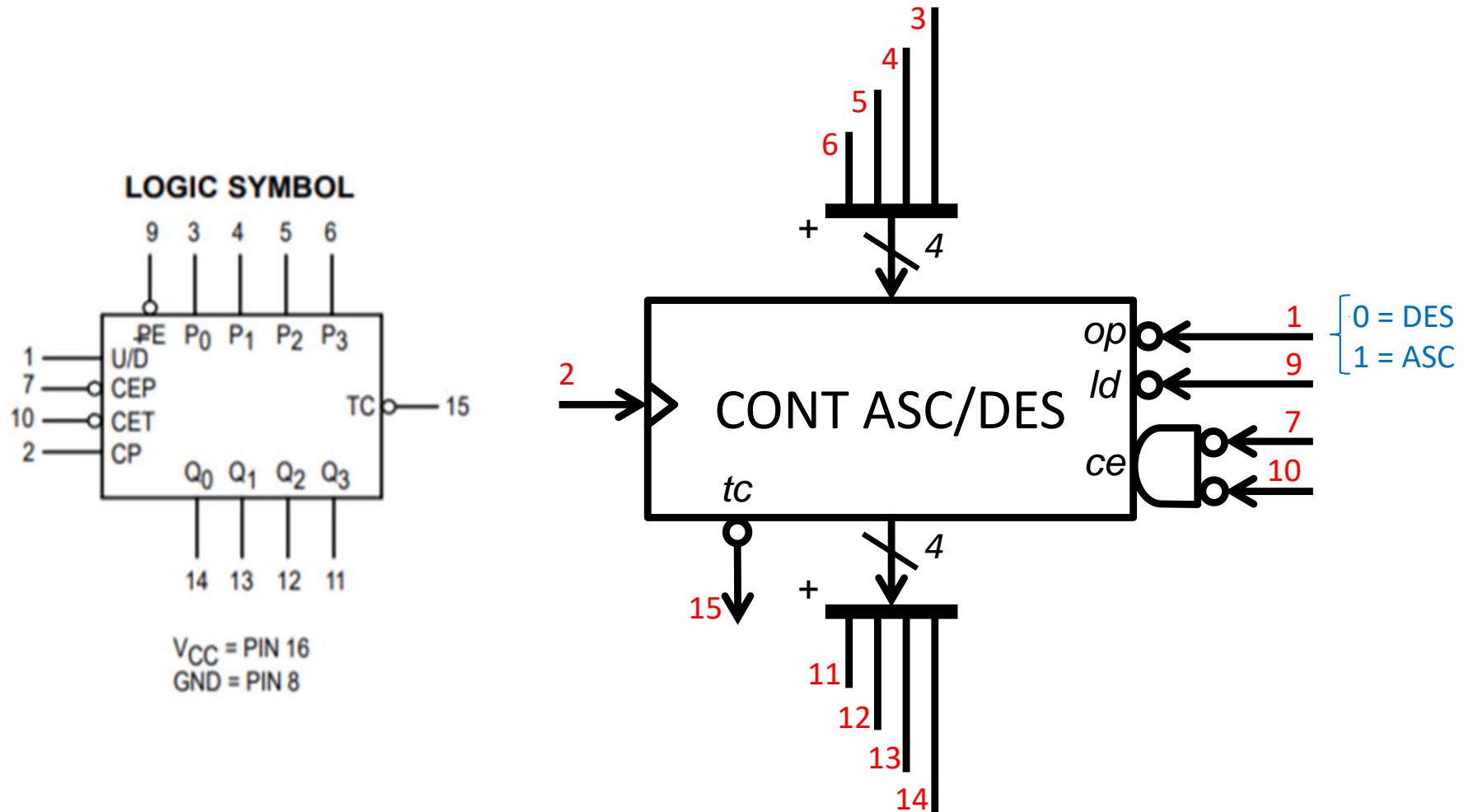
$V_{CC}$  = PIN 16  
 $GND$  = PIN 8





# chip 74169

- **74169:** Contador ascendente/descendente de 4 bits con carga paralela y doble puerto de capacitación de cuenta





# generación del reloj

- El generador de funciones del entrenador puede usarse para crear la **señal de reloj** del circuito

Ajustar la frecuencia a 1 Hz

Seleccionar el factor de escala  $\times 1$

Conectar aquí las entradas de reloj

Seleccionar señal cuadrada

