



EXAMEN PARCIAL DE FUNDAMENTOS DE COMPUTADORES CURSO 2016-17, PRIMER PARCIAL, SEPTIEMBRE DE 2017

- (1 punto) Dados los siguientes números: $A = +31_{10}$, $B = -11110_2$, $C = +7_8$ y $D = +F_{16}$.
 - (0,5 puntos) Exprese los cuatro números con el mismo número de bits en representación en complemento a dos.
 - (0,5 puntos) Efectúe las operaciones $A+D$ y $B-C$ en complemento a dos, indicando si existe o no desbordamiento o acarreo.
- (2,5 puntos) sea un circuito combinacional que tiene una entradas de cuatro bits codificada en exceso a tres y dos salidas una que representa un dígito codificado en BCD y otra que es una señal de error E. El circuito se comporta de la siguiente manera, si $X_{exc_3} \leq 5$ entonces $Z_{BCD} = X * 3$, en caso contrario $Z_{BCD} = X \bmod 3$. $E = 1$ cuando en resultado Z no se puede representar en BCD.
 - (1 puntos) implementar el diagrama de transición de estados.
 - (1 puntos) implementar el dígito de salida mediante una memoria ROM.
 - (0,5 puntos) implementar el error mediante un decodificador
- (1 punto) Implementar un sumador/incrementador/decrementador utilizando un sumador binario de 8 bits, multiplexores y puertas XOR. El sistema tendrá una señal de control S y otra I/D, de manera que $S=1$ el sistema realiza una suma de 8 bits, si $S=0$ el sistema incrementará cuando $I/D=0$ y decrementará cuando $I/D=1$.
- (3 puntos) Sea un sistema secuencial con una entrada de 1-bit (x) y una salida (z) de 3 bits cuyo funcionamiento corresponde a un generador de secuencias descrito por la siguiente expresión:
 $z(t+1) = ((z(t)+3) \bmod 8)$ si $x=0$
 $z(t+1) = ((z(t)-3) \bmod 8)$ si $x=1$

Es decir el generador produce la siguiente salida 0,3,6,1,4,6,2,5,0,3... para $x=0$ y la secuencia inversa si $x=1$. Se pide:
 - (1 puntos) Especificar el sistema mediante un diagrama de estados Moore
 - (0,5 puntos) Obtener la tabla de transición de estados
 - (1,5 puntos) Implementar el sistema con biestables de tipo D y puertas lógicas
- (2,5 puntos) utilizando registros y el menor número de puertas lógicas implementar un circuito secuencial que recibe dígitos de 8 bits codificados en complemento a dos y que se comporta de la siguiente manera: $Z(t)=1$ cuando $x(t-3)=\text{par}$ y negativo, $x(t-2)$ es par y positivo, y $x(t-1)$ es impar y negativo, y vale 0 en el resto de los casos

ALUMNOS QUE SE PRESENTAN AL EXAMEN FINAL TIENEN QUE REALIZAR LOS SIGUIENTES EJERCICIOS

- Ejercicio 1 los apartados a) y b) (1 punto),
- Ejercicio 2 (2 puntos)
- Ejercicio 4 los apartados a) y b) (1.5 puntos).