



PROBLEMAS DE FUNDAMENTOS DE COMPUTADORES II

TEMA 6

Problemas básicos:

1. En el procesador multiciclo, justifica los valores que toman las señales de control para la ejecución de las instrucciones **sw**.
2. En el procesador multiciclo, justifica los valores que toman las señales de control para la ejecución de las instrucciones **add**.
3. En el procesador multiciclo, justifica los valores que toman las señales de control para la ejecución de las instrucciones **jal**.
4. En el procesador multiciclo, un determinado programa se ejecuta a razón de un promedio de 4.25 ciclos por instrucción. El programa está formado por 10000 instrucciones, de las cuales un 30% son instrucciones **lw**, un 15% son instrucciones **sw**, un 20% instrucciones aritmético-lógicas y el resto son instrucciones **jal** y **beq**. Determine cuántas instrucciones de tipo **jal** y cuántas instrucciones de tipo **beq** integran dicho programa.
5. En cierto procesador multiciclo se ejecuta un programa que consta de 140 instrucciones, de las cuales 70 tardan en ejecutarse 4 ciclos, 35 tardan 5 ciclos, 20 tardan 3 ciclos y las 15 restantes tardan 7 ciclos. Calcule el CPI para dicho programa. Si el procesador funciona a una frecuencia de 2.0 GHz, determine el tiempo de ejecución del programa.
6. Se dispone de los siguientes datos de dos procesadores multiciclo y de su rendimiento en la ejecución de una determinada tarea:
 - PowerPC que funciona a una frecuencia de 1.8 GHz y obtiene 700 MIPS.
 - Pentium 4 que funciona a 1.6 GHz y 850 MIPS.

Calcule el CPI de cada procesador.

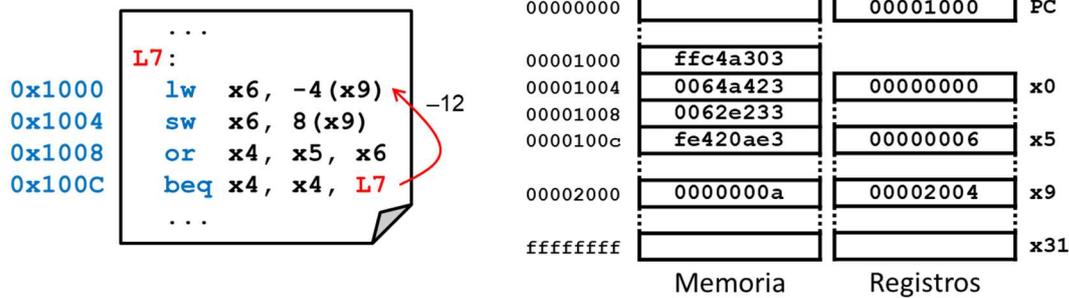
7. Considere los dos procesadores del ejercicio anterior. En la ejecución de un determinado programa los procesadores obtienen un CPI de 5.5 (PowerPC) y 7 (Pentium 4). El compilador genera un código máquina para dicho programa que tiene 9 millones de instrucciones (PowerPC) y 7.2 millones de instrucciones (Pentium) ¿Qué computador ejecutará más rápidamente la tarea?
8. Un mismo programa se ejecuta en dos computadores multiciclo (A y B) que tienen frecuencias de reloj de 1 GHz y 1.5 GHz, respectivamente. Para ejecutar el programa en A es necesario ejecutar un cierto número de instrucciones repartidas de la siguiente manera:

	aritmética	load	store	salto
frecuencia	50%	25%	10%	15%
ciclos	4	5	4	3

- a) Calcule el CPI del programa en el computador A.
- b) En el computador B el número de instrucciones ejecutadas es el 60% de las ejecutadas en A y el tiempo de ejecución es la mitad que en A. ¿Cuál es el CPI obtenido en la ejecución del programa en el computador B?

Problemas adicionales:

9. Supongamos que sobre el procesador multiciclo se quiere ejecutar el programa que se muestra a continuación, siendo el contenido inicial de los registros y la memoria el mostrado en la figura. Representa los diagramas de ejecución para los registros y la memoria, así como para las señales de estado y de control, de modo que se visualicen sus valores en cada ciclo de reloj correspondiente a la ejecución del programa.



12. Un pequeño porcentaje de los chips que se fabrican son defectuosos por errores de manufactura. Es común que los defectos hagan que el circuito se comporte como si una de sus interconexiones estuviera permanentemente a valor 0 (*stuck-at-0*) o a valor 1 (*stuck-at-1*). Indique qué instrucciones fallarían en el procesador multiciclo si una de las siguientes señales de control tuviera un defecto de tipo *stuck-at-0*.

- | | | |
|-------------------------|-------------------------|------------|
| a) ResSrc ₀ | e) ALUsrcA ₀ | i) Branch |
| b) ALUsrcB ₁ | f) ImmSrc ₁ | j) AddrSrc |
| c) ALUsrcB ₀ | g) ImmSrc ₀ | k) MemWr |
| d) ALUsrcA ₁ | h) PCupdate | l) IRwr |

13. Repetir el ejercicio anterior en el caso de que el error fuera de tipo *stuck-at-1*.

14. Discuta las modificaciones que sería necesario realizar en la ruta de datos y en el diagrama ASM del controlador del procesador multiciclo para ampliar su repertorio con cada una de las instrucciones siguientes:

- | | | |
|---------------------------|-------------------------------|-----------------|
| a) xor / xori | d) slt / slti | g) jarl |
| b) sll / slli | e) lb / lh / lbu / lhu | h) lui |
| c) bne / blt / bge | f) sb / sh | i) auipc |

15. Discuta las modificaciones que sería necesario realizar en la ruta de datos y en el diagrama ASM del controlador del procesador multiciclo para añadir una nueva instrucción de tipo-I que lea una palabra de memoria pre-incrementando el registro base, **lwpreinc rd, imm(rs1)**:

$$\{ rd \leftarrow \text{Mem}[rs1 + s\text{Ext}(imm)], rs1 \leftarrow rs1 + s\text{Ext}(imm) \}$$

16. Discuta las modificaciones que sería necesario realizar en la ruta de datos y en el diagrama ASM del controlador del procesador multiciclo para añadir una nueva instrucción de tipo-I que lea una palabra de memoria post-incrementando el registro base, **lwpostinc rd, imm(rs1)**:

$$\{ rd \leftarrow \text{Mem}[rs1], rs1 \leftarrow rs1 + s\text{Ext}(imm) \}$$

17. Discuta las modificaciones que sería necesario en la ruta de datos y en el diagrama ASM del controlador del procesador multiciclo para añadir una nueva instrucción de tipo-I que escriba en memoria el resultado de una suma inmediata, **swaddi rs1, rs2, imm**:

$$\{ \text{Mem}[rs1] \leftarrow rs2 + s\text{Ext}(imm) \}$$

18. Discuta las modificaciones que sería necesario en la ruta de datos y en el diagrama ASM del controlador del procesador multiciclo para añadir una nueva instrucción de tipo-I que sume un registro y un dato leído de memoria, **addm rd, rs1, imm**:

$$\{ rd \leftarrow rd + \text{Mem}[rs1 + s\text{Ext}(imm)] \}$$

19. Discuta las modificaciones que sería necesario realizar en la ruta de datos y en el diagrama ASM del controlador del procesador multiciclo en el caso de que el banco de registros tuviera un único puerto de lectura en lugar de dos. ¿Cuántos ciclos tardarían en ejecutarse cada instrucción? ¿Se reduciría el tiempo de ciclo del procesador? ¿Y si el banco de registros tuviera un único puerto de lectura/escritura?

20. Suponga que pudiera rediseñarse el banco de registros del procesador multiciclo para que ocupara la mitad de espacio a costa de duplicar sus retardos de acceso. ¿Tiene sentido hacer esta mejora?

21. Si pudiera reducir a la mitad el retardo de solo uno los módulos del procesador multiciclo

diseñado con la biblioteca CMOS de 90 nm, ¿cuál elegiría para obtener un tiempo de ciclo menor? ¿cuál sería el nuevo tiempo de ciclo?

22. Si se redujera un 30% el retardo de la ALU, un 10% el retardo del extensor de signo y 20% los retardos de lectura/escritura del banco de registros del procesador multiciclo diseñado con la biblioteca CMOS de 90 nm, calcule:
- El retardo del camino crítico en cada estado y el tiempo de ciclo del procesador.
 - El speed-up obtenido al ejecutar un programa de 100 millones de instrucciones.
23. Asumiendo que las instrucciones ejecutadas de un cierto programa en un procesador multiciclo dado se reparten de la siguiente manera:

	aritmética	load/store	salto
frecuencia	60%	25%	15%
ciclos	4	6	3

- Calcule el CPI.
 - Si se desea mejorar el rendimiento en un 25%, cuantos ciclos en media deberá tardar una instrucción aritmética optimizada si el resto de las instrucciones no se modifica.
 - Ídem, si se desea mejorar el rendimiento en un 50%
24. Suponga que al procesador multiciclo se añade una nueva instrucción aritmética que reduce un 25% las instrucciones aritméticas ejecutadas de un programa, pero incrementa un 10% el tiempo de ciclo. ¿Tiene sentido hacer esta mejora?

	aritmética	load/store	salto
frecuencia	60%	25%	15%
ciclos	4	6	3

Problemas de examen:

25. (Adaptado Septiembre 2016) El fragmento de programa mostrado debajo se ejecuta en un procesador multiciclo con una frecuencia de reloj de 1 GHz, resultando un tiempo de ejecución de 3474 ns.

```

mv    s4, zero
la    s5, A
mv    s6, zero
li    s4, 127
L1:   slli s3, s4, 2
      add  s3, s3, s5
      lw   s0, 0(s3)
      add  s6, s6, s0
      add  s4, s4, -1
      bge  s4, zero, L1
L2:
... (resto del programa)

```

- Halle el valor del CPI para este fragmento de programa.
- Halle el valor de la métrica MIPS obtenido.

Añadir una transición de dicho estado a S3.
 Añadir una transición de S1 a dicho estado si $op = \mathbf{lwpostinc}$
 Ampliar S4 para que también efectúe $ALUout \leftarrow A + sExt(imm)$.
 Añadir otro nuevo estado que efectúe $BR[rs1] \leftarrow ALUout$.
 Añadir una transición de dicho estado a S0.
 Añadir una transición de S4 a dicho estado si $op = \mathbf{lwpostinc}$
 Añadir una transición de S4 a S0 si $op = \mathbf{lw}$

17. Conectar el registro A a una nueva entrada del MUX-Mem.
 Conectar el registro B a una nueva entrada del MUX-ALU superior.
 Añadir un nuevo estado que efectúe $ALUout \leftarrow B + sExt(imm)$.
 Añadir otro nuevo estado que efectúe $Mem[rs1] \leftarrow ALUout$.
 Añadir una transición del primer al segundo estado.
 Añadir una transición de S1 al primero de ellos si $op = \mathbf{swaddi}$
 Añadir una transición del segundo a S0.

18. Conectar a la entrada RA1 del BR un MUX de 2 entradas conectadas a los bits 19:15 y 11:7 del IR.
 Conectar el registro MDR a una nueva entrada del MUX-ALU inferior.
 Ampliar la transición de S1 a S2 para que también la haga si $op = \mathbf{addm}$
 Añadir un nuevo estado que efectúe $A \leftarrow BR[rd]$.
 Añadir otro nuevo estado que efectúe $ALUout \leftarrow A + MDR$.
 Añadir una transición del primer al segundo estado.
 Añadir una transición de S3 al primero de ellos si $op = \mathbf{addm}$
 Añadir una transición del segundo a S7.

19. Conectar a la única entrada de dirección de datos de lectura del BR un MUX de 2 entradas conectadas a los bits 19:15 y 24:20 del IR.
 Conectar a la única salida de datos de lectura del BR a los registros A y B.
 Descomponer el estado S1 uno en 2: el primero efectuando $A \leftarrow A + BR[rs1]$ y el segundo efectuando el resto de acciones.
 Cada instrucción tardaría en ejecutarse un ciclo más y el tiempo de ciclo sería el mismo.
 En caso de tener un único puerto de entrada/salida, el MUX debería de ser de 3 entradas conectadas a los bits 19:15, 24:20 y 11:7 del IR. El MUX-WB debería además conectarse al único puerto de datos del BR.

20. Sí

21. ALU, 9312 ps.

22. a) S0: 9312 ps S1: 7134 ps S2: 6662 ps S3: 9140 ps
 S4: 1321 ps S5: 9140 ps S6: 6708 ps S7: 1321 ps
 S8: 6708 ps S9: 6708 ps S10: 7282 ps t_{CLK}: 9312 ps
 b) 1,05

23. a) 4,35 b) 2,55 c) 1,58

24. Sí

25. Véanse las transparencias.