



## PROBLEMAS DE FUNDAMENTOS DE COMPUTADORES II

### TEMA 8

#### Problemas básicos:

1. Indique el código se cargaría en **mcause** en el caso de que la ejecución de las siguientes instrucciones disparara una excepción en un procesador RISC-V completo sin extensión RVM:  

|                 |                |                |                 |
|-----------------|----------------|----------------|-----------------|
| a) <b>lb</b>    | b) <b>addi</b> | c) <b>slt</b>  | d) <b>lw</b>    |
| e) <b>mul</b>   | f) <b>jalr</b> | g) <b>sw</b>   | h) <b>lui</b>   |
| f) <b>ecall</b> | g) <b>csrw</b> | h) <b>mret</b> | i) <b>auipc</b> |
2. Repita el anterior ejercicio suponiendo que se ejecutaran en el RISV-V de arquitectura reducida.
3. Sea un procesador que se encuentra en el ciclo 100 de ejecución de un cierto programa. En dicho ciclo, según el caso, se activa la señal MIErr/MDErr/MErr. Indique en qué ciclo comenzará a ejecutar la RTE suponiendo que tiene microarquitectura:  
a) Monociclo                      b) Multiciclo                      c) Segmentada
4. Repita el anterior ejercicio suponiendo que la señal que se activa es OpErr.
5. Sea un procesador que en el ciclo 100 comienza la ejecución de una instrucción que generará una excepción de acceso a memoria, es decir, que en el ciclo que corresponda se activará la señal MIErr/MDErr/MErr. Indique en qué ciclo comenzará a ejecutar la RTE suponiendo que tiene microarquitectura:  
a) Monociclo                      b) Multiciclo                      c) Segmentada
6. Repita el anterior ejercicio suponiendo que la señal que se activa es OpErr.
7. Justifique si la ejecución de una misma instrucción puede provocar que se activen en el mismo ciclo varias señales de detección de excepción en cada una de las siguientes microarquitecturas:  
a) Monociclo                      b) Multiciclo                      c) Segmentada

#### Problemas adicionales:

8. Discuta las modificaciones que sería necesario realizar en la ruta de datos del RISC-V de arquitectura reducida para ampliar su repertorio con la instrucción **ecall**:  
a) Monociclo                      b) Multiciclo                      c) Segmendata

#### Problemas de examen:

9. (Adaptado Mayo 2024) Suponga que la ejecución de la instrucción **lw s1,0(t1)** provoca una excepción en el procesador segmentado, indique:  
a) ¿Qué tipo de excepción sería?  
b) Suponiendo que es la segunda instrucción de un cierto programa ¿en qué ciclo y etapa del procesador se produciría?  
c) ¿Qué circunstancia específica se ha dado para que se produzca esta excepción y por qué?  
d) ¿Qué instrucciones lanzadas se cancelarían?

10. (Adaptado Junio 2024) Suponiendo procesador RISC-V segmentado de arquitectura reducida, responda razonadamente a las siguientes preguntas:
- ¿La instrucción **sb t2,0(t0)** podría producir una excepción del tipo dirección de almacenaje desalineada? Justifique su respuesta.
  - La instrucción **xor t2,t2,s2** produce una cierta excepción al ejecutarse. ¿De qué tipo sería?
  - Suponiendo que la instrucción del apartado anterior es la octava de un cierto programa ¿en qué ciclo y etapa del procesador se produciría la excepción?
  - ¿En qué ciclo empezaría a ejecutarse la RTE después de producirse la excepción anterior?

## Soluciones

- |    |                             |                                  |                            |                                  |
|----|-----------------------------|----------------------------------|----------------------------|----------------------------------|
| 1. | a) ninguno<br>e) 2<br>f) 11 | b) ninguno<br>f) 0<br>g) ninguno | c) ninguno<br>g) 6<br>h) 0 | d) 4<br>h) ninguno<br>i) ninguno |
| 2. | a) 2<br>e) 2<br>f) 2        | b) ninguno<br>f) 2<br>g) ninguno | c) ninguno<br>g) 6<br>h) 0 | d) 4<br>h) 2<br>i) 2             |
| 3. | a) 101                      | b) 102                           | c) 101 ó 104               |                                  |
| 4. | a) 101                      | b) 102                           | c) 103                     |                                  |
| 5. | a) 101                      | b) 102 ó 105                     | c) 104                     |                                  |
| 6. | a) 101                      | b) 103                           | c) 104                     |                                  |
| 7. | a) Sí                       | b) No                            | c) No                      |                                  |
8. a) Añadir un bloque combinacional que active una nueva señal de control, **isEcall**, cuando detecte que la instrucción que se está ejecutando es **ecall**.  
Conectar dicha señal a puerta OR que controla la carga del registro mcause.  
Modificar el COD de causa para que genere el valor 0x000b cuando se active la señal mencionada.
- b) Añadir un bloque combinacional que active una nueva señal de control, **isEcall**, cuando detecte que la instrucción que se está ejecutando es **ecall**.  
Añadir una transición de S1 a SE condicionada a que **isEcall** valga uno.
- c) Ídem que monociclo, pero de manera que la señal **isEcall** se retrase pasando por los registros de segmentación IF/ID, ID/EX y EX/MEM.
9. a) Acceso no alineado memoria de datos en lectura  
b) Etapa MEM, ciclo 5    c) Que el dato contenido en **t1** no fuera múltiplo de 4.  
d) Dicha instrucción y las 3 siguientes del programa.
10. a) No                      b) Instrucción ilegal    c) Etapa EX, ciclo 10    d) Ciclo 12