

Apellidos _____ Nombre _____

Arquitectura de Computadores. Prueba parcial 17/12/2012.

Puntuación.- Cada apartado vale un punto.

1. Para ejecutar el programa P un procesador ejecuta 10^{12} instrucciones, invirtiendo un promedio de 2 ciclos de reloj por instrucción. El 10% de las instrucciones son de punto flotante. La frecuencia de reloj es 2 GHz.

a) Si los cálculos enteros consumen el 40% del tiempo de ejecución, calcula los ciclos de reloj en promedio consumidos por cada instrucción de PF.

b) En el mismo supuesto del apartado anterior, supongamos que mejoramos el hardware de PF de tal manera que las instrucciones de PF reducen su tiempo de ejecución a una cuarta parte ¿Cuál es el Speedup?

a)

b)

2. En una arquitectura con planificación dinámica de instrucciones que utiliza el algoritmo de Tomasulo sin especulación, explica brevemente:

a) qué comprobaciones es necesario hacer para realizar la fase ISSUE de una instrucción de la forma "ADDD F4, F2, F0".

b) qué campos de la estructura se actualizan al hacer la fase ISSUE de la instrucción del apartado anterior y en qué consiste dicha actualización.

a)

b)

3. Supongamos la arquitectura básica del DLX, segmentado en 5 etapas, que tiene un Branch Target Buffer (BTB) en la etapa IF, con 8K entradas y emplazamiento directo. La anchura del PC es 32 bits. Los saltos se resuelven en la etapa DE.

a) Explica razonadamente a qué distancia tienen que estar almacenadas en memoria dos instrucciones de salto para que compitan por la misma entrada del BTB. Se asume que cada instrucción ocupa una palabra de memoria y que la memoria se direcciona por palabras.

b) Explica razonadamente cuál es la anchura del campo de TAG del BTB.

a)

b)

4. Supongamos una Unidad de Ejecución que utiliza el algoritmo de Tomasulo con especulación para la planificación dinámica de instrucciones, tal como se explicó en clase. Explica brevemente cuál es mecanismo para evitar los problemas que pueden producir los riesgos LDE entre instrucciones de acceso a memoria.

