

Arquitectura e Ingeniería de Computadores. Test de clase. 16/12/2009

Instrucciones.- Cada pregunta consta de cinco respuestas, y cada una de las respuestas puede ser cierta o falsa. Marque con un aspa las respuestas que considere ciertas y deje en blanco las que considere falsas. Si considera que alguna respuesta es ambigua y, por tanto, podría considerarse cierta o falsa en función de la interpretación, ponga una llamada y explique sus argumentos al dorso de la hoja. No se permite la utilización de calculadora.

Puntuación.- Pregunta con todas las respuestas acertadas: 1 punto. Pregunta con un fallo: 0,6 puntos. Pregunta dos fallos 0,2 puntos. Pregunta con más de dos fallos 0 puntos.

1. Un cierto programa se ejecuta en un computador A en dos horas. Después se ejecuta en otro computador B, que posee algunas mejoras arquitectónicas que hacen posible que una parte del programa se ejecute 16 veces más rápido, obteniéndose un Speedup de 4. Marque cuáles de las siguientes afirmaciones son correctas:

- ☒ a) La eficiencia obtenida es del 25%
- ☒ b) La parte del programa que no experimenta mejora ocupa el 20% del tiempo de ejecución en el computador A
- ☒ c) La parte del programa que experimenta mejora ocupa el 20% del tiempo de ejecución en el computador B
- ☐ d) El tiempo de ejecución en el computador B es de 20 minutos
- ☒ e) El Speedup es igual al cociente entre el tiempo de ejecución en el computador original, A, y el tiempo de ejecución en el computador mejorado, B.

2. Supongamos un DLX segmentado en 5 etapas con planificación estática de instrucciones que implementa una política de saltos retardados. Las instrucciones de salto se resuelven en la etapa DE y se aplica una política de saltos retardados. La carga de trabajo está constituida por los programas A, B y C. El % de instrucciones de salto de cada programa es A=20%, B=20%, C=30%. Se supone que las dependencias LDE no provocan paradas. La capacidad del compilador para rellenar los "delay slots" viene dada por la siguiente tabla:

Programa	% de instrucciones en "delay slots" que ejecutan trabajo útil	% de instrucciones en "delay slots" que son NOPs
A	30	50
B	70	20
C	15	80

Marque cuáles de las siguientes afirmaciones son correctas.

- ☐ a) En el programa B, la penalización media por cada salto es 0,2 ciclos
- ☒ b) En el programa B, el 80% de las instrucciones en "delay slots" son instrucciones del programa que el compilador ha movido para rellenar los "delay slots"
- ☒ c) El CPI del programa A es 1,14
- ☐ d) El CPI del programa B es 1,04
- ☐ e) En el programa C la penalización media por salto es 0,8

3. Supongamos un DLX con planificación dinámica de instrucciones mediante Tomasulo (sin especulación) que posee 64 registros de punto flotante. Marque las afirmaciones correctas:

- ☐ a) La anchura del campo de TAG debe ser al menos 6 bits
- ☐ b) Siempre que una instrucción aritmética de la forma $F_i \leftarrow UF_{op}(F_j, F_k)$ realiza la fase WRITE, el registro F_i borra su campo de TAG y copia en su campo VALOR el resultado que está presente en el CDB.
- ☒ c) Los elementos de la arquitectura que pueden obtener información desde el CDB son: registros, store buffers y estaciones de reserva
- ☐ d) Si en el momento de realizar la fase ISSUE de una instrucción se detecta que la instrucción presenta una dependencia EDE, entonces la fase ISSUE no se realiza.
- ☒ e) Los load buffers carecen de campo de TAG

Notación: $F_i \leftarrow UF_{op}(F_j, F_k)$, significa una instrucción que realiza la operación op en la Unidad Funcional UF, cuyos registros fuente son F_j y F_k , y cuyo registro destino es F_i

4. Marque cuáles de las siguientes afirmaciones sobre predicción de saltos son correctas:

- ☐ a) En general, la predicción dinámica de saltos produce mejores resultados en los SPEC de punto fijo que en los de punto flotante.
- ☒ b) En un predictor implementado con un contador saturado de dos bits, la predicción de una cierta instrucción de salto pasará de "fuertemente tomado" a "fuertemente no tomado" si al ejecutar tres veces consecutivas la instrucción el resultado de las predicciones es "fallo", "fallo" y "acierto", respectivamente.
- ☒ c) La tabla de historia de saltos de un predictor de dos niveles de historia (2,2) de 2K entradas tiene el mismo tamaño que la de un predictor de 2 bits con 8K entradas.
- ☒ d) En un predictor híbrido, para implementar el mecanismo de selección de predictor se puede utilizar una tabla de contadores saturados de dos bits indexada por la dirección de la instrucción de salto.
- ☐ e) La denominada predicción implícita es una forma de implementar la Tabla de Historia de Saltos (BHT).

