

Arquitectura e Ingeniería de Computadores. Test de clase. 19/12/2011

Instrucciones.- Cada pregunta consta de cinco afirmaciones, y cada una de las afirmaciones puede ser cierta o falsa. Si considera que la afirmación es cierta marque con un aspa la casilla de la columna "C"; por el contrario, si considera que es falsa marque con un aspa la casilla de la columna "F". Si considera que alguna respuesta es ambigua y, por tanto, podría considerarse cierta o falsa en función de la interpretación, ponga una llamada y explique sus argumentos al dorso de la hoja. No se permite la utilización de calculadora.

Puntuación.- Pregunta con 5 aciertos: 1 punto. 4 aciertos: 0,6 puntos. 3 aciertos: 0,2 puntos. Menos de 3 aciertos: 0 puntos.

1. SPEC FP 2006 está formado por 17 programas patrón. Llamemos TA_i ($i=1,17$) al tiempo de ejecución del patrón i sobre el computador A y TR_i ($i=1,17$) al tiempo de ejecución del patrón i sobre el computador de referencia. Indique si las siguientes afirmaciones son ciertas o falsas.

C F

- a) El valor de SPEC FP 2006 para el computador A viene dado por el resultado del siguiente cálculo:

$$\sqrt[17]{\frac{TA_1}{TR_1} \times \frac{TA_2}{TR_2} \times \dots \times \frac{TA_{17}}{TR_{17}}}$$

- b) Los resultados de SPEC FP 2006 del computador A serían distintos si se cambiara la máquina de referencia.
- c) Supongamos que al ejecutar cada uno de los programas patrón de SPEC FP 2006 sobre el computador B obtenemos en todos los casos un Speedup de 2 en comparación con el computador A. Entonces podemos decir que el valor de SPEC FP 2006 para el computador B es el doble del de A.
- d) Para evaluar SPEC FP_rate 2006 del computador A se deben poner en ejecución simultánea un cierto número de copias de cada programa patrón.
- e) Los programas patrón de SPEC FP 2006 son los 14 que ya existían en SPEC FP 2000 y otros tres programas nuevos.

2. Supongamos la arquitectura básica del DLX segmentado en 5 etapas sobre la que se implementa una política de saltos retardados. Los saltos se resuelven en la etapa DE. Indique si las siguientes afirmaciones son ciertas o falsas:

C F

- a) La siguiente transformación es legal:
- | | |
|-------------------|-------------------|
| sub r1,r2,r3 | sub r1,r2,r3 |
| beqz r1, Lab | beqz r1, Lab1 |
| nop | xor r4,r2,r2 |
| add r4,r1,r1 | add r4,r1,r1 |
| ... | ... |
| Lab: xor r4,r2,r2 | Lab: xor r4,r2,r2 |
| ld r1,0(r4) | Lab1: ld r1,0(r4) |
- b) La siguiente transformación es legal:
- | | |
|--------------|--------------|
| add r6,r2,r2 | ... |
| sub r1,r2,r6 | sub r1,r2,r6 |
| beqz r1, Lab | beqz r1, Lab |
| nop | add r6,r2,r2 |
| add r5,r4,r6 | add r5,r4,r6 |
| ... | ... |
- c) Cuando el delay slot se rellena con una instrucción del destino del salto y el salto no se toma, entonces se produce una penalización de un ciclo de reloj.
- d) La siguiente transformación es legal:
- | | |
|-------------------|-------------------|
| sub r1,r2,r3 | sub r1,r2,r3 |
| beqz r1, Lab | beqz r1, Lab |
| nop | add r6,r1,r1 |
| add r6,r1,r1 | xor r8,r6,r5 |
| xor r8,r6,r5 | ... |
| ... | ... |
| Lab: sub r5,r6,r7 | Lab: sub r5,r6,r7 |
- Si se cambia a una política "predict-not-taken", entonces la instrucción que está a continuación del salto se lee igualmente de la cache de instrucciones,

pero su ejecución se cancela en caso de que el salto no se tome.

3. Supongamos la arquitectura básica del DLX segmentado en 5 etapas, que tiene un BTB de 16K entradas, emplazamiento directo y predicción de saltos bimodal (es decir, de dos bits). En caso de acierto en la predicción la penalización por salto es cero. Los saltos se resuelven en la etapa DE. La anchura del PC es de 32 bits. Indique si las siguientes afirmaciones son ciertas o falsas.

C F

- a) El BTB se encuentra situado en la etapa DE.
- b) Para direccionar el BTB se usan los 16 bits menos significativos del PC.
- c) Cuando se ejecuta por primera vez una instrucción de salto alojada en la posición de memoria 04F00158₁₆, se le asigna una entrada del BTB en cuyo campo de TAG se almacena el valor 0158₁₆.
- d) Si en tres ocasiones consecutivas la predicción de un cierto salto es errónea, entonces el correspondiente predictor toma el valor 00.
- e) Si el emplazamiento del BTB fuera asociativo por conjuntos, entonces el campo de TAG tendría una anchura mayor.

4. Supongamos una arquitectura capaz de lanzar a ejecución una instrucción por ciclo de reloj, que utiliza el algoritmo de Tomasulo con especulación basada en el uso del buffer de reordenamiento (ROB). Indique si las siguientes afirmaciones son ciertas o falsas.

C F

- a) Supongamos que el estado del ROB y los registros es el mostrado en la fig. 1 (ver dorso). Si suponemos ahora que la instrucción LD F0, 10(R2) completa la fase COMMIT, entonces el estado del ROB y los registros pasará a ser mostrado en la fig. 2.
- b) Una instrucción de LOAD puede realizar la lectura de memoria antes de alcanzar la cabecera del ROB, siempre que su dirección efectiva no coincida con la de ninguna de las instrucciones de STORE previas que están almacenadas en el ROB.
- c) Para ejecutar la fase ISSUE de una instrucción STORE es preciso que exista una entrada libre en el ROB y un Store Buffer libre.
- d) Cada Load Buffer tiene un campo cuya misión es indicar el número de la entrada del ROB donde debe depositarse el dato leído en la memoria al ejecutar la instrucción de LOAD.
- e) Supongamos dos instrucciones consecutivas de la forma:

ADD F2, F4, F8
SUBD F4, F4, F6

La instrucción SUBD puede completar su fase de ESCRITURA aunque la instrucción ADDD no haya completado su fase de EJECUCIÓN.



Figura 1



Figura 2