

Arquitectura e Ingeniería de Computadores. Examen Parcial (Teoría). 10/02/2009

Instrucciones.- Cada pregunta consta de cinco respuestas, y cada una de las respuestas puede ser cierta o falsa. Marque con un aspa las respuestas que considere ciertas y deje en blanco las que considere falsas. Si considera que alguna respuesta es ambigua y, por tanto, podría considerarse cierta o falsa en función de la interpretación, ponga una llamada y explique sus argumentos al dorso de la hoja.

No se permite la utilización de calculadora.

Puntuación.- Pregunta con todas las respuestas acertadas: 1 punto. Pregunta con un fallo: 0,6 puntos. Pregunta dos fallos 0,2 puntos. Pregunta con más de dos fallos 0 puntos. La teoría supone la mitad de la nota del examen.

1. Para ejecutar el programa P un procesador ejecuta 10^{12} instrucciones, invirtiendo un promedio de 2 ciclos de reloj por instrucción. Una de cada diez instrucciones es de punto flotante. La frecuencia de reloj es 2 GHz. Marque cuáles de las siguientes afirmaciones son correctas.

- a) La duración media de una instrucción es 1 ns
- b) El rendimiento es 500 MIPS.
- c) El rendimiento es 100 MFLOPS.
- d) Si los cálculos enteros consumen el 40% del tiempo de ejecución, entonces los ciclos de reloj en promedio consumidos por cada instrucción de PF son 12.
- e) Supongamos que los cálculos enteros consumen el 40% del tiempo de ejecución. Si introducimos un coprocesador matemático que reduce el tiempo de ejecución de las instrucciones en PF a una sexta parte, entonces el tiempo global de ejecución del programa se reduce a la mitad del original.

2. Supongamos una Unidad de Ejecución que utiliza el algoritmo de Tomasulo (sin especulación) para la planificación dinámica de instrucciones. Supongamos que la máquina tiene: 8 load buffers, 3 store buffers, 4 estaciones de reserva para la suma, 3 estaciones de reserva para el producto y 32 registros de punto flotante. Marque cuáles de las siguientes afirmaciones son correctas:

- a) Cuando una instrucción ADDD realiza la fase WRITE coloca sobre el Bus de Datos Común el valor del resultado acompañado del número del registro destino.
- b) Cada load buffer está compuesto de los siguientes campos: (Ocupado, TAG, Dirección, Valor).
- c) El campo TAG debe tener una anchura mínima de 4 bits.
- d) Cuando una instrucción ADDD realiza la fase ISSUE los contenidos de los campos (TAG, Valor) de los registros fuente se copian en los campos (TAG, Valor) de la estación de reserva seleccionada.
- e) El tamaño de la ventana de instrucciones es 50.

3. Supongamos la arquitectura básica del DLX, segmentado en 5 etapas, que tiene un Branch Target Buffer (BTB) en la etapa IF, con 8K entradas y emplazamiento directo. La anchura del PC es 32 bits. Los saltos se resuelven en la etapa DE. Marque cuáles de las siguientes afirmaciones son correctas.

- a) En la etapa IF, el contenido del PC se usa para acceder a la cache de instrucciones y al BTB. Además ambos accesos se hacen en paralelo.
- b) El campo de TAG del BTB tiene una anchura de 16 bits.
- c) Si el porcentaje de saltos tomados es del 40%, entonces la penalización media por salto es 0,4 ciclos.
- d) Si la frecuencia de predicciones incorrectas es 0,15, entonces la penalización media por salto es 0,15 ciclos.
- e) En cada acceso al BTB la entrada seleccionada viene determinada por los bits más significativos del PC.

4. Marque cuáles de las siguientes afirmaciones sobre multithreading son correctas:

- a) Existen procesadores multihilo (multithread) con arquitectura VLIW.
- b) Con multithreading de grano fino se pueden lanzar a ejecución instrucciones de varios threads en el mismo ciclo de reloj.
- c) El paralelismo a nivel de instrucciones (ILP) es transparente al programador, pero el paralelismo a nivel de thread (TLP) no lo es.
- d) Existen arquitecturas multithread donde la ejecución de instrucciones de cada thread se hace en orden.
- e) El procesador debe tener un contador de programa para cada thread.

5. Marque cuáles de las siguientes afirmaciones sobre memoria cache son ciertas:

- a) En un sistema de memoria cache de dos niveles (L1,L2) la tasa de fallos local en L1 y la tasa de fallos global en L1 son iguales.
- b) Si el procesador genera 10.000 referencias a memoria y se producen 200 fallos en L1 y 50 en L2, la tasa de fallos global de L1 es del 2,5%
- c) La utilización de "buffers" de escritura es una técnica para reducir la penalización por fallo.
- d) En una cache totalmente asociativa se pueden producir fallos iniciales y de capacidad, pero no fallos de conflicto.
- e) En una sistema de memoria con dos niveles de cache (L1, L2), donde la cache L2 es no inclusiva, los datos que están en L1 también están en L2.