



Tema 2:

La placa de prototipado

Embest S3CEV40

modelo de programación

Programación de sistemas y dispositivos

José Manuel Mendías Cuadros

*Dpto. Arquitectura de Computadores y Automática
Universidad Complutense de Madrid*



Contenidos



- ✓ La placa Embest S3CEV40.
- ✓ Configuración del gestor de reloj y energía
- ✓ Memoria principal.
- ✓ Dispositivos externos.
- ✓ Configuración del controlador de memoria.
- ✓ Configuración del controlador de pines de E/S.
- ✓ Configuración del controlador de cache.
- ✓ Configuración del árbitro de bus.

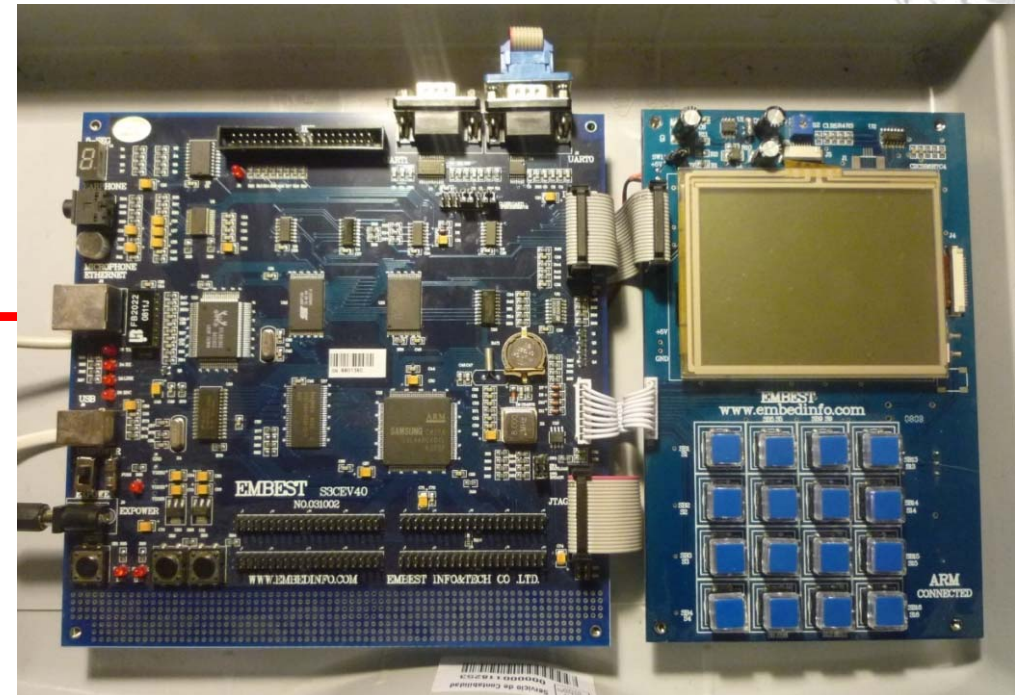
La placa Embest S3CEV40



- Microcontrolador S3C44B0X

- Flash ROM 2MB
- SDRAM 8MB

- NAND Flash 16 MB
- IIC EEPROM 4Kb
- 2 pulsadores / 2 LEDs / 2 jumpers
- Display 7 segmentos
- Teclado matricial 4x4
- Touchscreen LCD 320x240
- 2 drivers RS-232 (conectores DB-9)
- Controlador Ethernet IEEE 802.3 (conector RJ-45)
- IIS Audio CODEC estéreo (micrófono electret / jack 3,5 mm)
- Controlador USB 1.0 / 1.1 (conector tipo B)
- Conector IDE



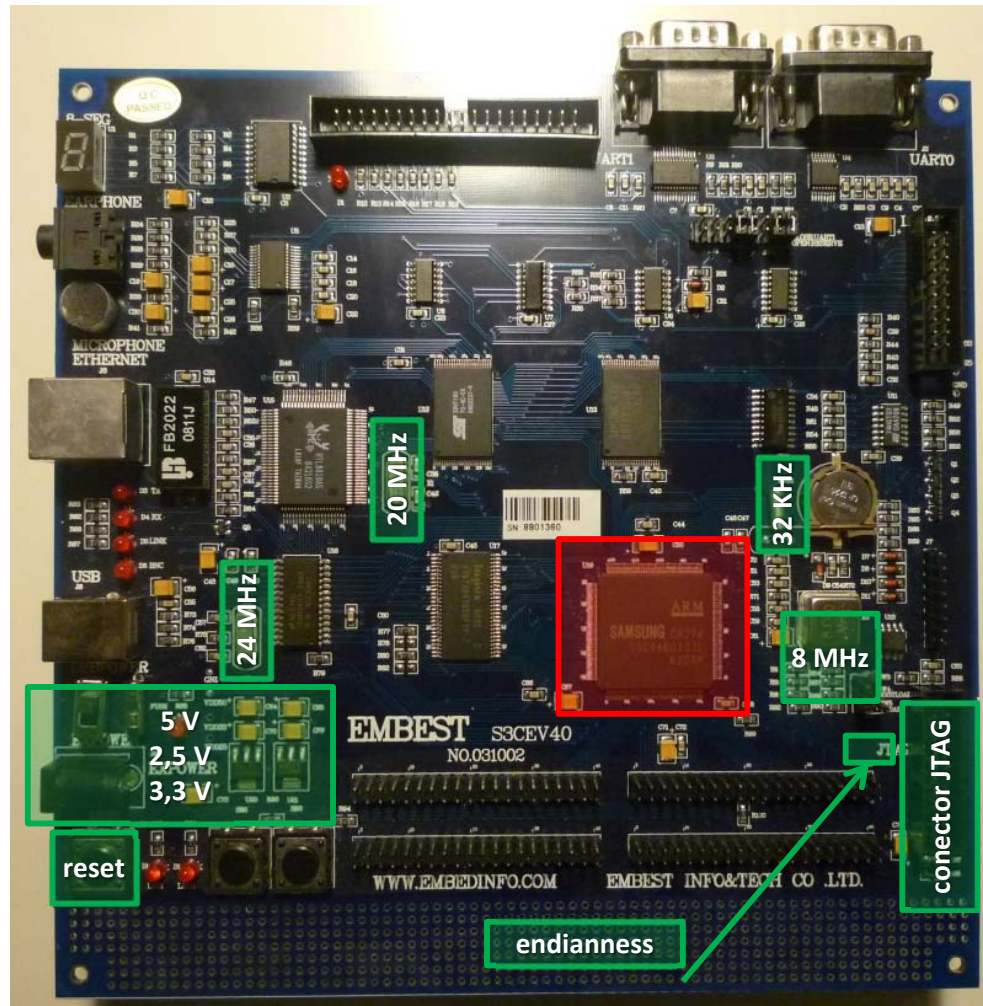
- Conector JTAG y circuitería de alimentación, reloj, reset...

La placa Embest S3CEV40



- La placa Embest S3CEV40 conecta el microcontrolador S3C44B0X con un conjunto de **dispositivos externos** a los que puede acceder:
 - Indirectamente a través de **puertos genéricos de E/S digital (GPIO)**:
 - LEDs
 - Pulsadores
 - Jumpers
 - Indirectamente a través de **puertos genéricos de E/S analógica** (convertor A/D)
 - Touchscreen
 - Indirectamente a través de un **interfaz de E/S específico**:
 - Terminal serie RS-232 (UART)
 - Audio CODEC estéreo (controlador de bus IIS)
 - EEPROM 4Kb (controlador de bus IIC)
 - LCD 320×240 (controlador de LCD)
 - **Mapeados en memoria**:
 - Controlador de USB 1.0 / 1.1
 - Controlador de Ethernet IEEE 802.3
 - Display de 7 segmentos
 - Teclado Matricial 4x4
 - **Parcialmente mapeados en memoria** / a través de puertos de E/S (GPIO):
 - Solid-state Disk (NAND Flash 16 MB)

Microcontrolador S3C44B0X



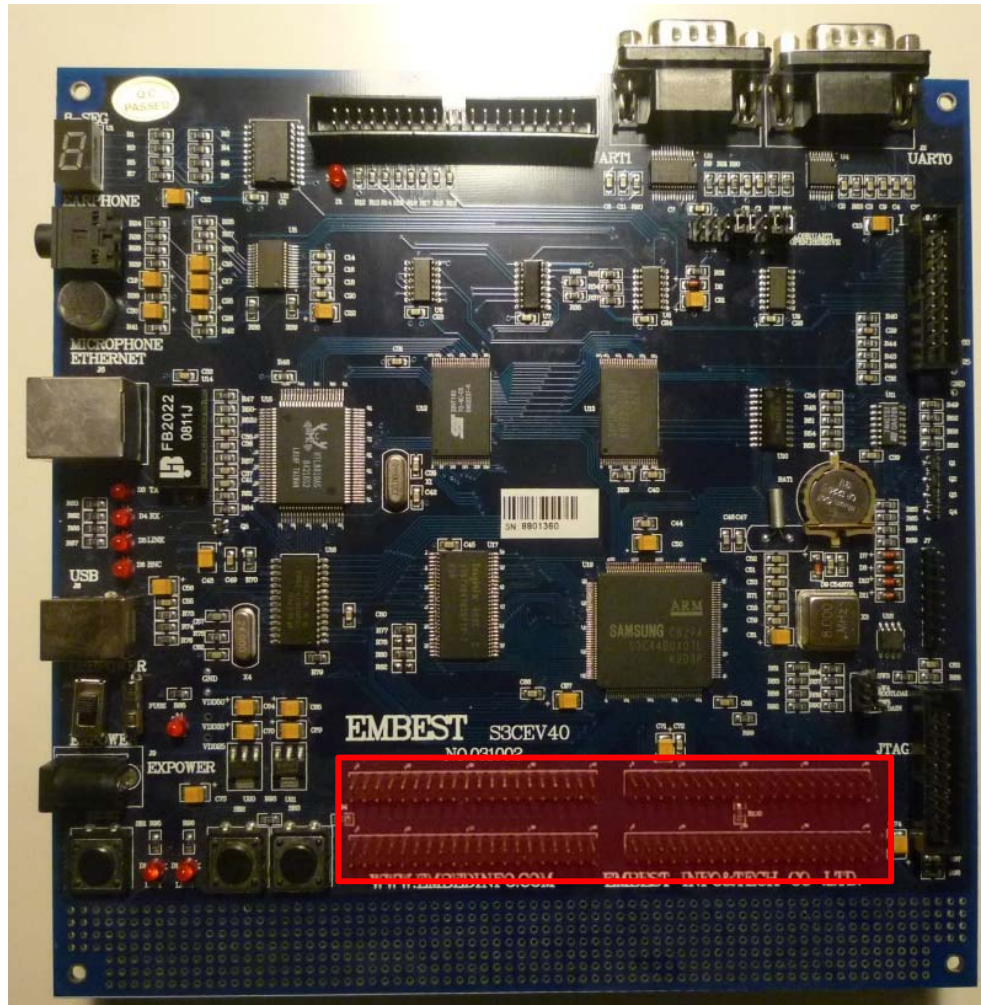
- 160 pines (160-LQFP)
 - suministran (según el pin) entre 4-12mA
- 2 voltajes de alimentación:
 - VDD25: 2,5 V para el ARM7TDMI Core
 - VDD33: 3,3 V para E/S
- 2 relojes:
 - XTAL1: 32.768 KHz para el RTC
 - XTAL0: 8 MHz para el resto del sistema

adicionalmente existen otros:

- 2 relojes :
 - 20 MHz para el controlador de Ethernet
 - 24 MHz para el controlador de USB
- 1 voltaje de alimentación:
 - 5 V para el controlador de Ethernet
 - El resto de dispositivos usan 3,3 V

- El origen de la alimentación es seleccionable (USB/fuente externa)

Microcontrolador S3C44BOX



Header 1	Header 2	Header 3	Header 4
1	1	1	1
2	2	2	2
3	3	3	3
4	4	4	4
5	5	5	5
6	6	6	6
7	7	7	7
8	8	8	8
9	9	9	9
10	10	10	10
11	11	11	11
12	12	12	12
13	13	13	13
14	14	14	14
15	15	15	15
16	16	16	16
17	17	17	17
18	18	18	18
19	19	19	19
20	20	20	20
21	21	21	21
22	22	22	22
23	23	23	23
24	24	24	24
25	25	25	25
26	26	26	26
27	27	27	27
28	28	28	28
29	29	29	29
30	30	30	30
31	31	31	31
32	32	32	32
33	33	33	33
34	34	34	34
35	35	35	35
36	36	36	36
37	37	37	37
38	38	38	38
39	39	39	39
40	40	40	40

- Los pines del S3C44BOX son accesibles a través de 4 tiras de 20x2

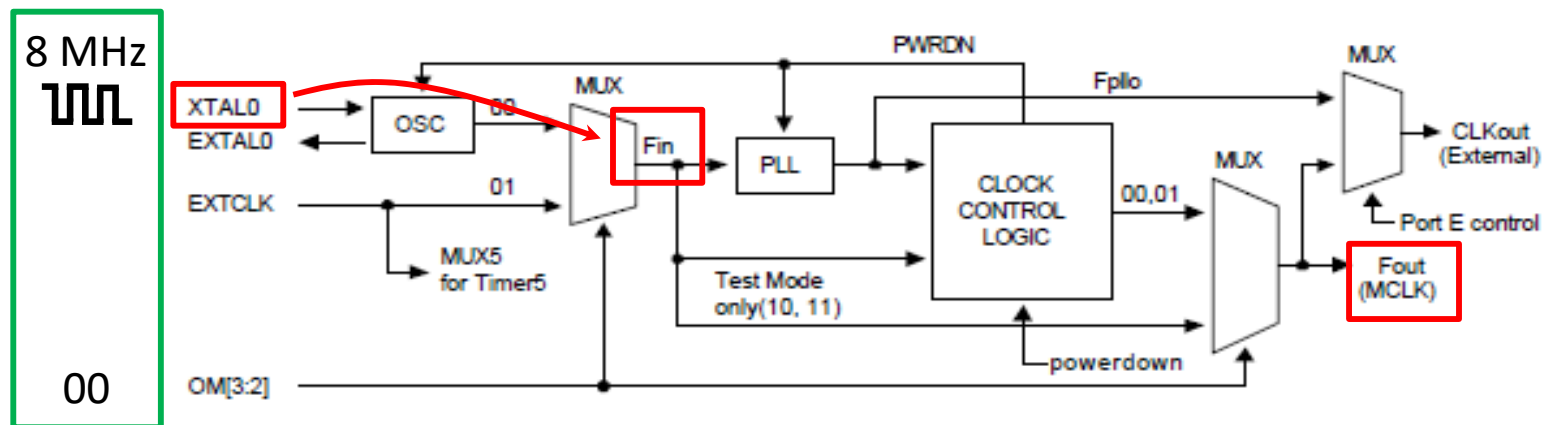


Gestor de reloj y energía

configuración (i)

- Frecuencia base: 8 MHz

- o Las entradas OM[3:2] = 00 $\Rightarrow$ toma como fuente primaria de reloj la entrada XTAL0.
- o La entrada XTAL0 está conectado a un oscilador de cristal de 8 MHz.



- Frecuencia tras reset: 8 MHz
- Frecuencia en modo NORMAL (tras escribir PLLCON): 64 MHz
- Frecuencia en modo SLOW (tras escribir CLKSLOW): 500 KHz



Gestor de reloj y energía

configuración (ii)

- 0x01D80000 (PLLCON – PLL Control)
 - o 20b, R/W, reset = 0x38080
 - o Fija la frecuencia del reloj del sistema en modo NORMAL.

PLLCON	Bit	Description	Initial State
MDIV	[19:12]	Main divider control	0x38
PDIV	[9:4]	Pre-divider control	0x08
SDIV	[1:0]	Post divider control	0x0

PLL CONTROL REGISTER (PLLCON)

$$F_{p110} = (m * F_{in}) / (p * 2^s)$$

$$m = (MDIV + 8), \quad p = (PDIV + 2), \quad s = SDIV$$

NOTE: F_{p110} must be greater than 20Mhz and less than 80Mhz.

PLL VALUE SELECTION GUIDE

1. $F_{p110} * 2^s$ has to be less than 170 MHz.
2. S should be as great as possible.
3. (F_{in} / p) is recommended to be 1Mhz or above. But, $(F_{in} / p) < 2Mhz$.

- Frecuencia en modo NORMAL (tras escribir PLLCON): 64 MHz

- o PLLCON[19:12] = 56 (0x38) MDIV = 56
- o PLLCON[9:4] = 2 PDIV = 2
- o PLLCON[1:0] = 1 SDIV = 1

$$F_{p110} = ((56+8) \times 8 \text{ MHz}) / ((2+2) \times 2^1) = 64 \text{ MHz}$$



Gestor de reloj y energía

configuración (iii)

- **0x01D80008 (CLKSLOW – Clock Slow)**
 - o 6b, R/W, reset = 0x09
 - o Permite conmutar entre los modos SLOW y NORMAL, fijar la frecuencia del reloj del sistema en modo SLOW y apagar el PLL.

CLKSLOW	Bit	Description	Initial State
PLL_OFF	[5]	0 : PLL is turned on. PLL is turned on only when SLOW_BIT is 1. After PLL stabilization time (minimum 150uS), SLOW_BIT may be cleared to 0. 1 : PLL is turned off. PLL is turned off only when SLOW_BIT is 1.	0x0
SLOW_BIT	[4]	0 : Fout = Fpllo (PLL output) 1: Fout = Fin / (2 x SLOW_VAL), (SLOW_VAL > 0) Fout = Fin, (SLOW_VAL = 0)	0x0
SLOW_VAL	[3:0]	The divider value for the slow clock when SLOW_BIT is on.	0x9

- Frecuencia en modo SLOW (tras escribir CLKSLOW): **500 KHz**
 - o $\text{CLKSLOW}[3:0] = 8$ **SLOW_VAL = 8** $\text{Fout} = (8 \text{ MHz}) / (2 \times 8) = 0,5 \text{ MHz}$



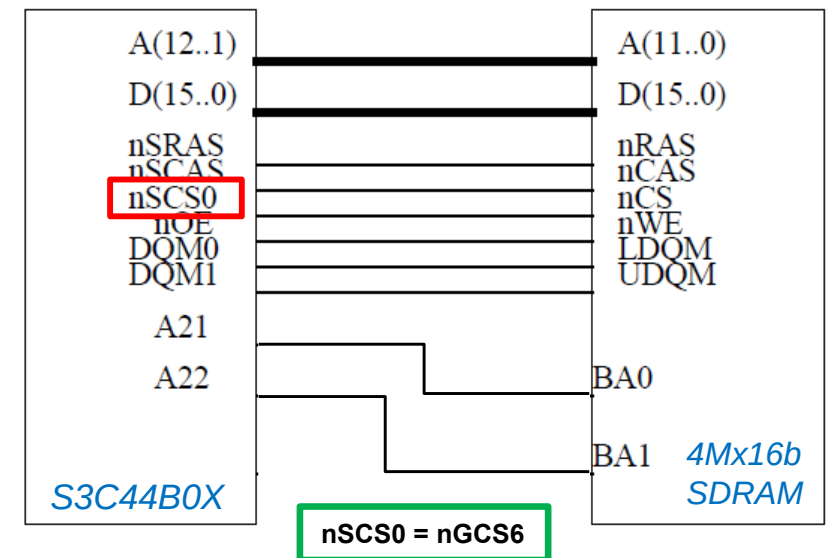
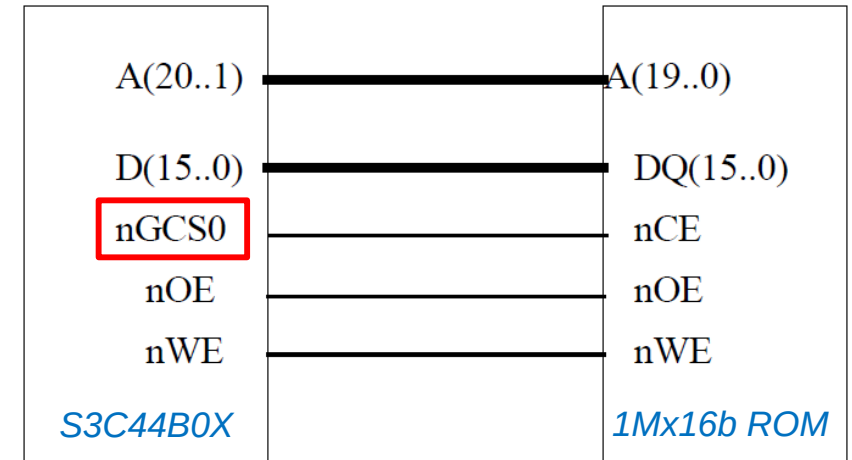
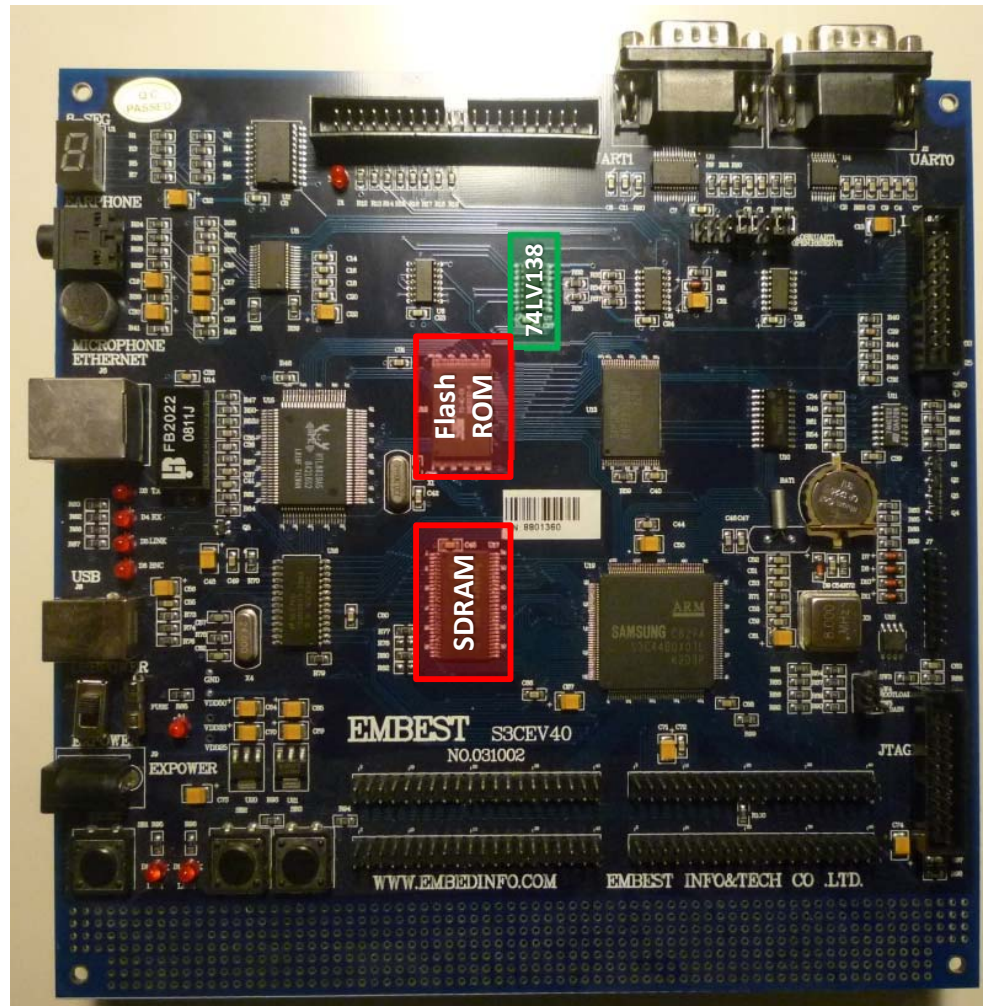
Gestor de reloj y energía

configuración (iv)

- Ciclos de espera para **estabilización del PLL** (208μs): **máximo**
 - o LOCKTIME = 4095 (0xFFFF) $(1 / 8\text{MHz}) \times 4095 = 512 \mu\text{s} > 208 \mu\text{s}$
 - mínimo = 1664 (0x680) $(1 / 8\text{MHz}) \times 1664 = 208 \mu\text{s}$
- **Modo de funcionamiento inicial: NORMAL**
 - o CLKCON[2:0] = 0 **modos IDLE, SL_IDLE y STOP desactivados**
 - o CLKSLOW[4] = 0 **Fout = Fpilo**
 - o CLKSLOW[5] = 0 **PLL on**
- **Todos los controladores internos activos** (reciben reloj)
 - o CLKCON[14:3] = 1

- **Resumen:**
 - o LOCKTIME = 0xFFFF
 - o PLLCON = 0x38021 (0011.1000.XX00.0010.XX01)
 - o CLKCON = 0x7FF8 (111.1111.1111.1000)
 - o CLKSLOW = 0x8 (00.1000)

Memoria principal

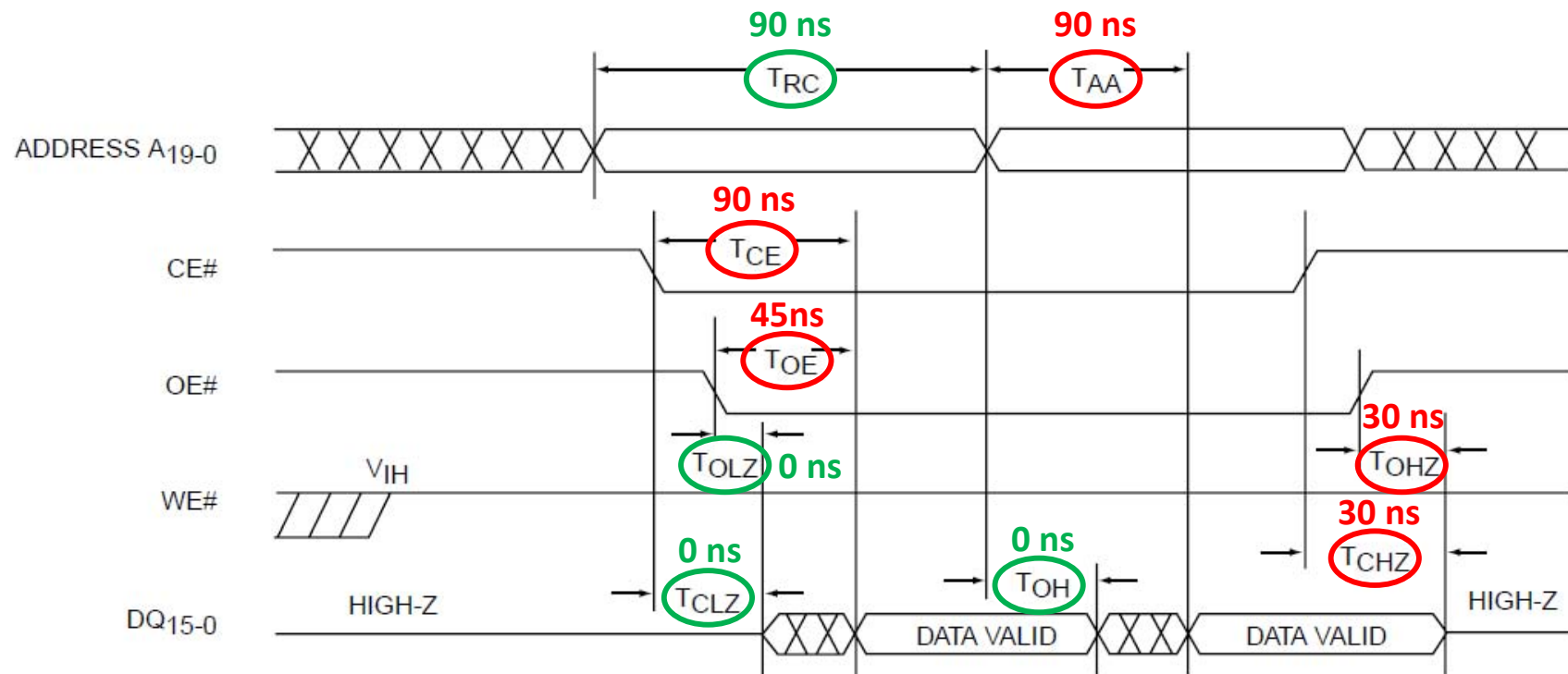


Memoria principal

banco 0: ROM de arranque (i)



- En el **banco 0** está ubicada una **1Mx16b Flash Memory (SST39VF160)**



Cronograma **del ciclo de lectura** de la Flash ROM SST39VF160



Tiempos mínimos

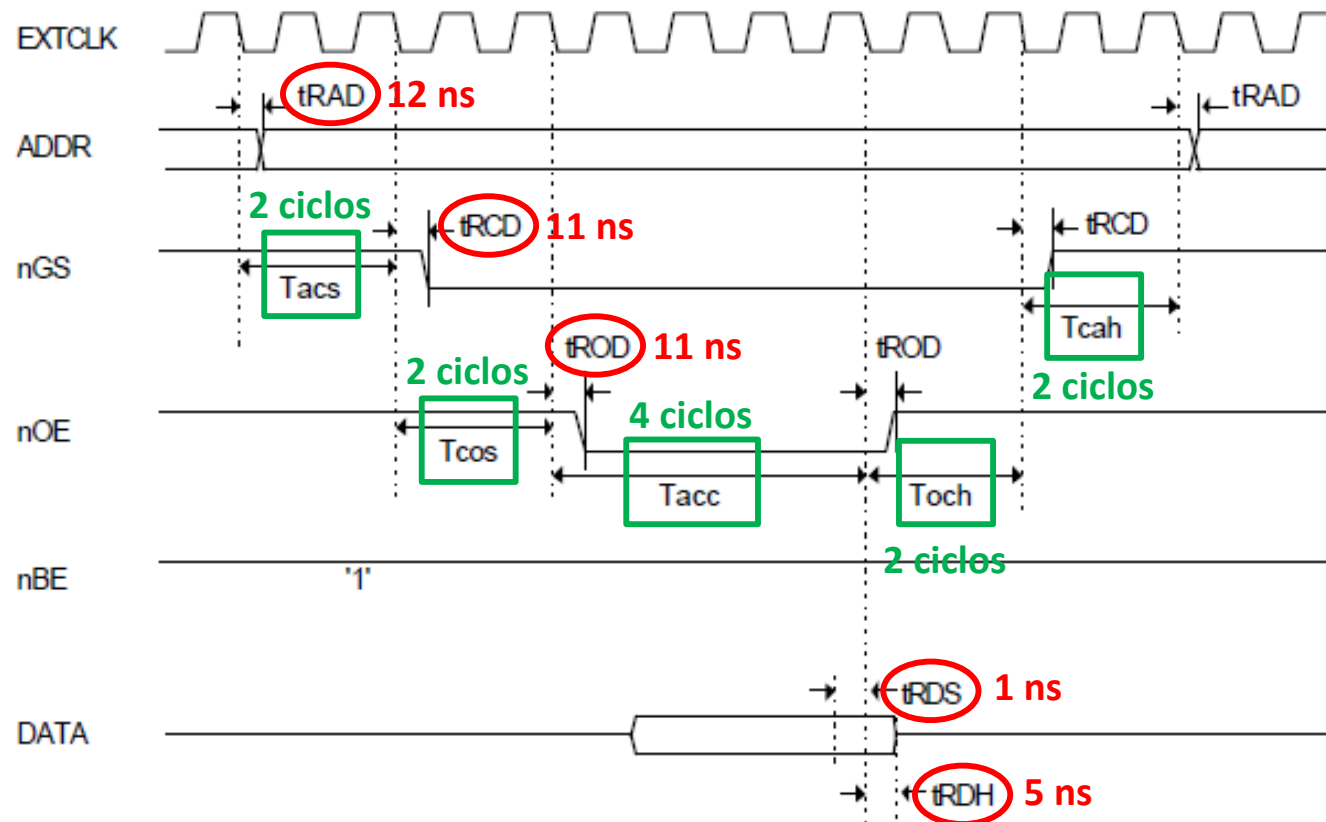


Tiempos máximos

Memoria principal

banco 0: ROM de arranque (ii)

- Las formas de onda generadas para el **banco 0** pueden programarse.



Ejemplo de **un ciclo de lectura** SRAM/ROM generado por S3C44B0X



Temporización configurable



Temporización NO configurable

Memoria principal

banco 0: ROM de arranque (iii)



- 0x01C80004 (**BANKCON0 – Bank Control**)
 - o 15b, R/W, reset = 0x0700
 - o Fija de la temporización del ciclo de acceso del banco 0

BANKCONn	Bit	Description	Initial State
Tacs	[14:13]	Address set-up before nGCSn 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcos	[12:11]	Chip selection set-up nOE 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacc	[10:8]	Access cycle 000 = 1 clock 001 = 2 clocks 010 = 3 clocks 011 = 4 clocks 100 = 6 clocks 101 = 8 clocks 110 = 10 clocks 111 = 14 clocks	111
Toch	[7:6]	Chip selection hold on nOE 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	000
Tcah	[5:4]	Address holding time after nGCSn 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tpac	[3:2]	Page mode access cycle @ Page mode 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = 6 clocks	00
PMC	[1:0]	Page mode configuration 00 = normal (1 data) 01 = 4 data 10 = 8 data 11 = 16 data	00

Memoria principal

banco 0: ROM de arranque (iv)



- En el **banco 0** está ubicada una **1Mx16b Flash Memory** (SST39VF160)
- **Capacidad:** 2 MB
 - o Rango de direcciones: **0x00000000 - 0x001FFFFF** (A27, A26, A25 = 000)
- **Bus de datos:** 16b
 - o Pines OM[1:0] = 1
- **Ordenamiento:** Little endian
 - o ENDIAN = 0 (jumper 5)
- **Tiempo de acceso:** 90ns
 - o BANKCON0[10:8] = 4

Tacc = 6 ciclos (de 64 Mhz: 6×15.6ns = 93.6ns)
- **Tiempos de setup:** nulos
 - o BANKCON0[14:13] = 0, BANKCON0[12:11] = 0

Tacs = Tcos = 0 ciclos
- **Tiempos de hold:** nulos
 - o BANKCON0[7:6] = 0, BANKCON0[5:4] = 0

Toch = Tcah = 0 ciclos
- Solo admite **acceso asíncrono:**
 - o BANKCON0[1:0] = 0, BANKCON0[3:2] = X

no page mode

Memoria principal

banco 6: RAM (i)



- En el **banco 6** está ubicada una **4Mx16b SDRAM** (HY57V641620FTP-7)
 - $BANKCON6[16:15] = 3$ **SDRAM**
- **Capacidad: 8 MB**
 - Rango de direcciones: **0x0C000000 - 0x0C7FFFFF** (A27, A26, A25 = 110)
 - $BANKSIZE[2:0] = 6$ **8MB / 8MB**
- **Bus de datos: 16b**
 - $BWSCON[25:24] = 1$ **banco 6 = 16b**
- **Bus de direcciones: 12b** (row address = 12b)
 - $BANKCON6[1:0] = 0$ **column address = 8b**
- **Frecuencia de reloj máx. 143 MHz** (> MCLK = 64 MHz)
 - $BANKSIZE[4] = 1$ **el reloj solo se genera en el ciclo de acceso**
- Configuración del **modo ráfaga** (burst): la recomendada
 - $MRSRB6[9] = 0, MRSRB6[8:7] = 0, MRSRB6[3] = 0, MRSRB6[2:0] = 0$

Memoria principal

banco 6: RAM (ii)



- RAS to CAS delay: 20 ns

- o BANKCON6[3:2] = 0

Trcd = 2 ciclos (de 64 Mhz: $2 \times 15.6\text{ns} = 31.2\text{ns}$)

- CAS latency: 2 ciclos

- o MRSRB6[6:4] = 2

Tcl = 2 ciclos (de 64 Mhz: $2 \times 15.6\text{ns} = 31.2\text{ns}$)

- RAS precharge time: 20 ns

- o REFRESH[21:20] = 0

Trp = 2 ciclos (de 64 Mhz: $2 \times 15.6\text{ns} = 31.2\text{ns}$)

- RAS cycle time: 63 ns

- o REFRESH[19:18] = 1

Trc = 5 ciclos (de 64 Mhz: $5 \times 15.6\text{ns} = 78\text{ns}$)

- Refresco: automático

- o REFRESH[23] = 1

refresco activado

- o REFRESH[22] = 0

auto-refresh (no self-refresh)

- Ciclo de refresco: 64 ms / 4096 filas = 15.6 μs

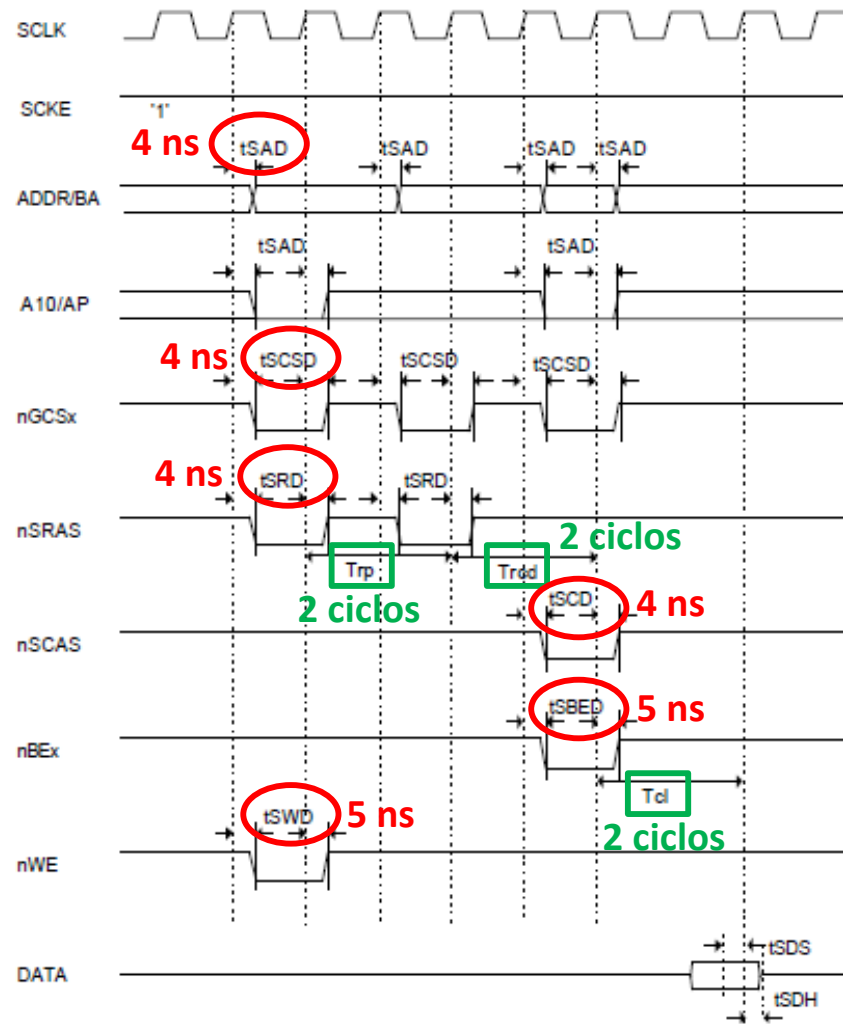
- o REFRESH[10:0] = 1051 (0x41B)

counter = 1051 ciclos

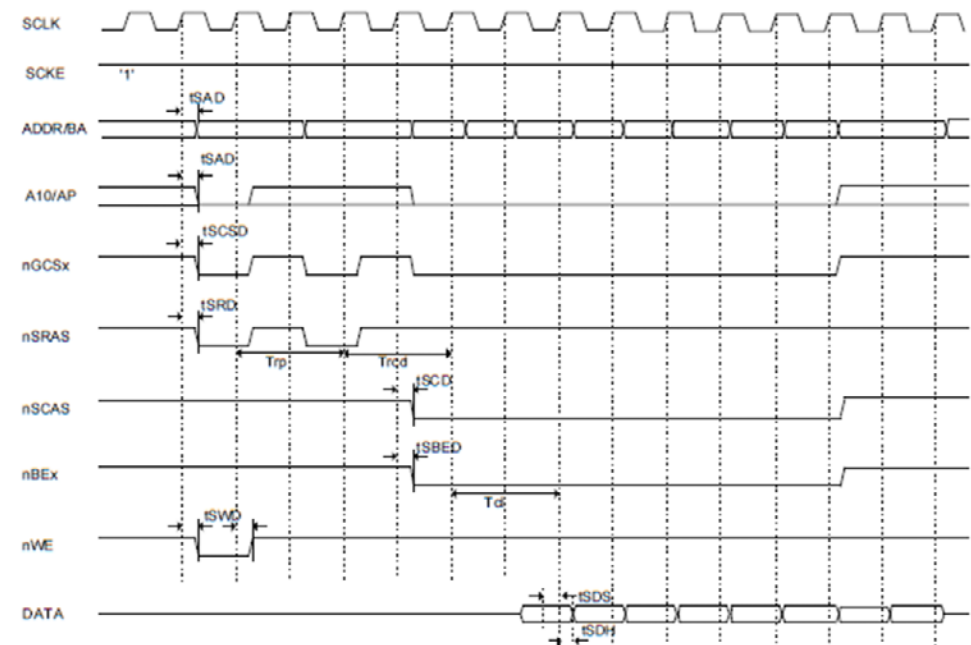
$15.6 \mu\text{s} = (2048 - N + 1) / 64 \text{ MHz} \Rightarrow N = 1051$

Memoria principal

banco 6: RAM (iii)



Lectura individual



Lectura ráfaga

Ejemplo de ciclos de lectura SDRAM generado por S3C44B0X



Temporización configurable



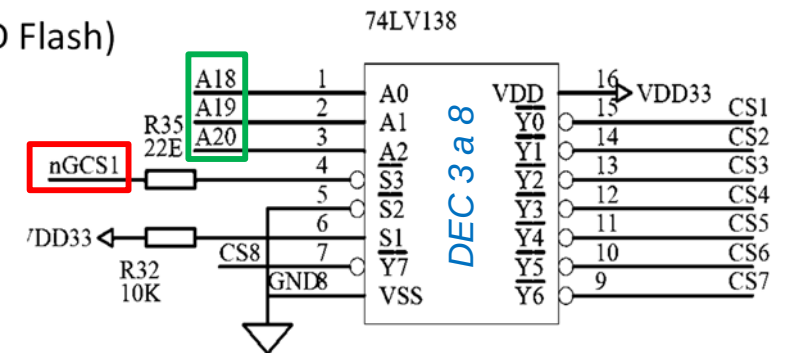
Temporización NO configurable



Dispositivos externos

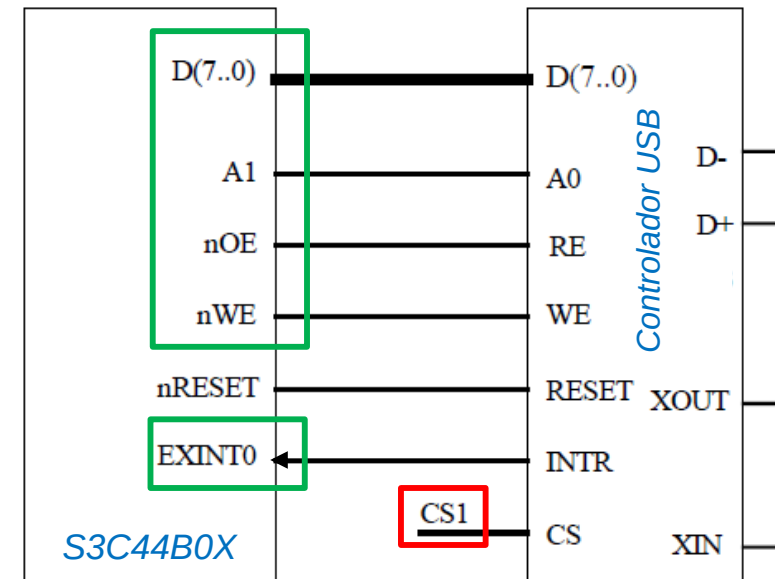
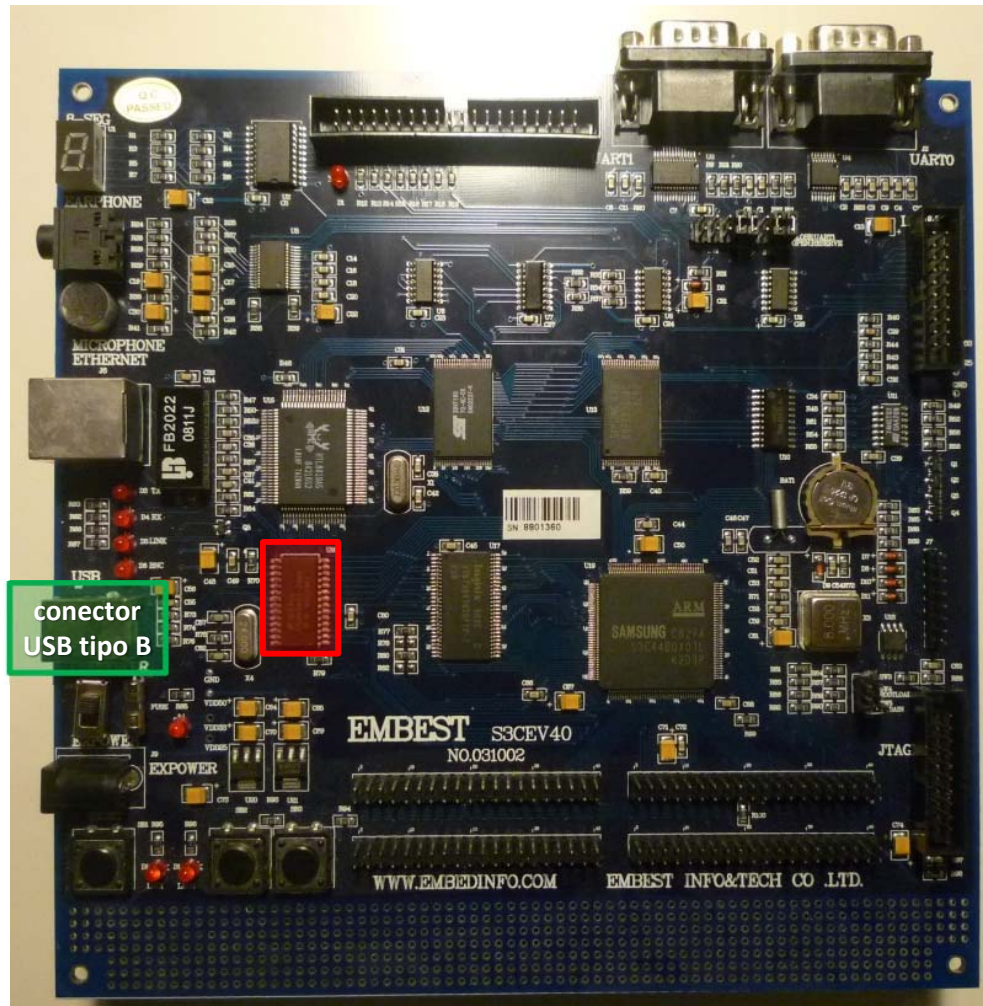
mapeados en memoria

- En el **banco 1** (A27, A26, A25 = 001) se encuentran mapeados algunos **controladores/dispositivos externos**.
 - La señal nGCS1 está conectada al CS de un decodificador 3 a 8 (74138)
 - Los bits A20, A19 y A18 están conectadas a las entradas del decodificador
 - Las salidas del decodificador están conectadas a los CS de los dispositivos.
 - CS1 (A20, A19, A18 = 000): Controlador USB
 - CS2 (A20, A19, A18 = 001): Solid-State Disk (NAND Flash)
 - CS3 (A20, A19, A18 = 010): Conector IDE (IOR/W)
 - CS4 (A20, A19, A18 = 011): Conector IDE (KEY)
 - CS5 (A20, A19, A18 = 100): Conector IDE (PDIAG)
 - CS6 (A20, A19, A18 = 101): Display 7 segmentos
 - CS7 (A20, A19, A18 = 110): Controlador Ethernet
 - CS8 (A20, A19, A18 = 111): Conector LCD (D.OFF)
- En el **banco 3** (A27, A26, A25 = 011) se encuentra mapeado un **teclado matricial 4x4**.
- No están en uso los **bancos 2, 4, 5 y 7**.



Dispositivos externos

mapeados en el banco 1: controlador USB (i)



- El controlador se habilita con CS1.
- Las lecturas/escrituras se efectúan leyendo/escribiendo en el bus.
- El dispositivo interrumpe por EXINT0
- Rango de direcciones:
001X.XXX0.00XX.XXXX.XXXX.XXXX.XXNX
nGCS1 CS1 A

Dispositivos externos

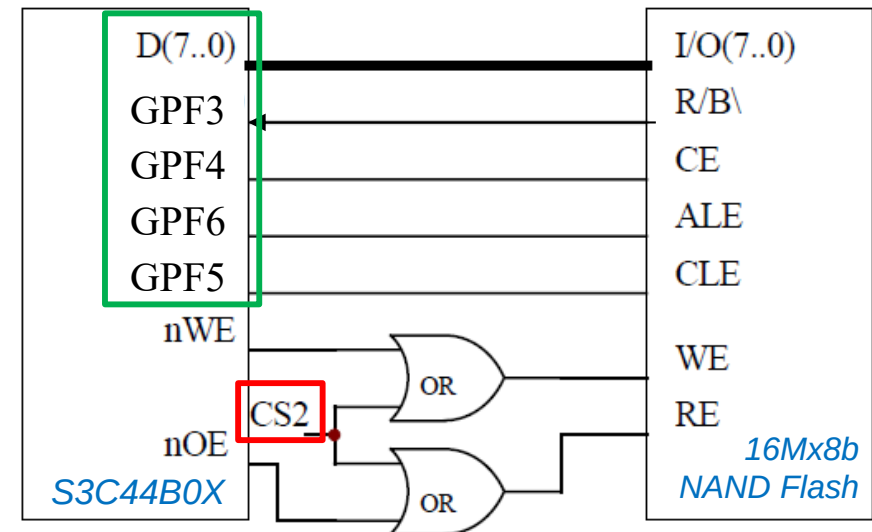
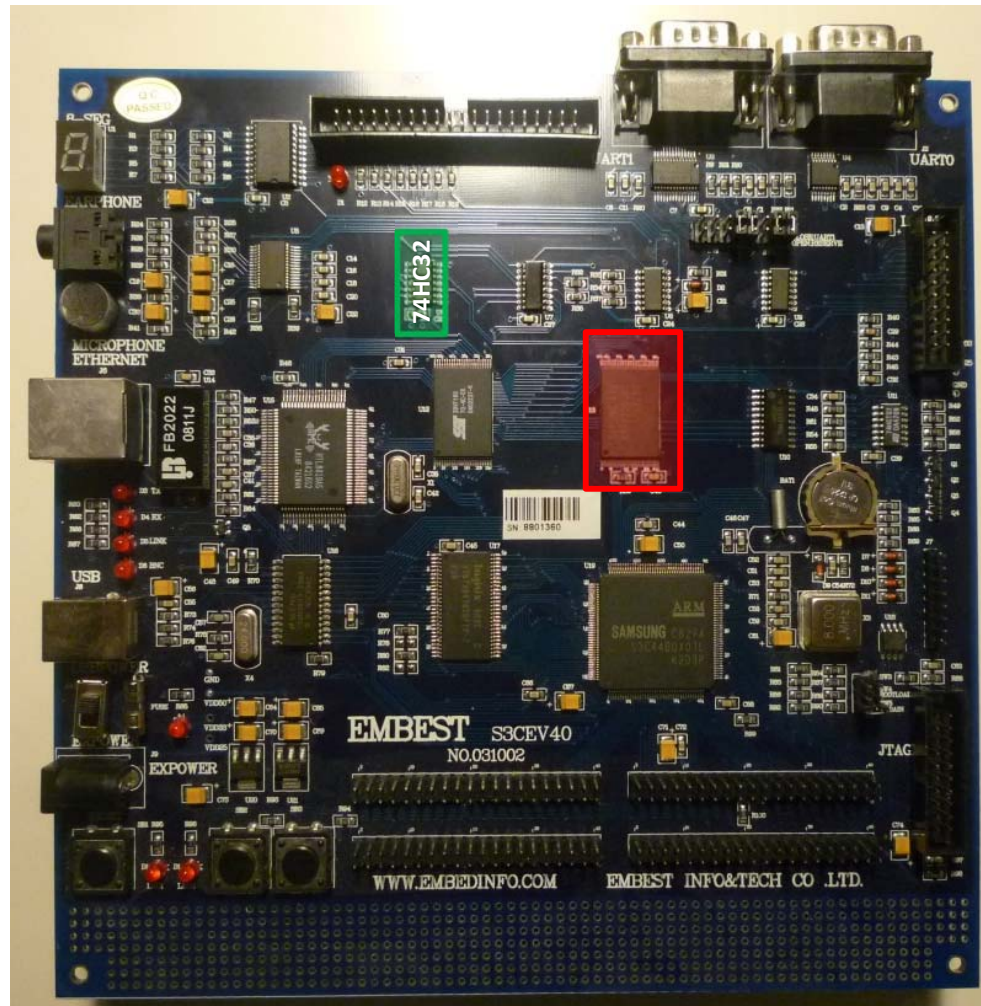
mapeados en el banco 1: controlador USB (ii)



- **Controlador USB** compatible con los estándares 1.0 y 1.1 (USBN9603)
- La configuración del controlador y la comunicación con el dispositivo USB se hace mediante 58 registros internos de 8 bits.
 - Accesibles indirectamente a través de un interfaz paralelo asíncrono de 8 bits.
 - En **modo normal**, un acceso requiere 2 transferencias de datos:
 - Una escritura en el **registro de dirección** para indicar un registro interno.
 - Una lectura/escritura en el **registro de datos** para leer/escribir el registro indicado.
 - En **modo ráfaga**, el registro de dirección se escribe una vez
 - Sucesivos accesos al registro de datos leen/escriben el registro indicado.
- Los 2 registros del interfaz están **mapeados en memoria**.
 - **0x02000000 (DATA_IN/DATA_OUT)**
 - 8b, R/W, reset = 0x00
 - Dato que se envía/recibe del controlador
 - **0x02000002 (ADDR)**
 - 5b, W, reset = 0x00
 - Fija el registro interno del controlador que se lee/escribe.

Dispositivos externos

mapeados en el banco 1: solid-state disk (i)



- Con el puerto F se habilita la memoria, se selecciona el registro de dirección o el de comando.
- La lectura/escritura, habilitada con CS2, se efectúa leyendo/escribiendo el bus.
- Rango de direcciones:

001X.XXX0.01XX.XXXX.XXXX.XXXX.XXXX
nGCS1 CS2



Dispositivos externos

mapeados en el banco 1: solid-state disk (ii)

- Memoria **NAND Flash** de 16 MB (K9F2808)
 - o Dispone de área de datos (16MB) y área de spare (512KB)
 - el área de spare contiene información de bloques inválidos grabada por el fabricante
 - o Organizada en 1024 bloques de 32 páginas de 528B cada una
 - Cada página tiene $528B = (512+16)B$
 - Cada bloque tiene $(16K + 512)B = 32 \times (512+16)B$
 - La memoria tiene $(16M + 512K)B = 1024 \times (16K + 512)B$

- Utiliza **un interfaz paralelo asíncrono** de 8 bits
 - o I/O: bus de 8 bits por los que se transmiten datos, direcciones y comandos
 - o CE (chip enable), WE (write enable) y RE (read enable): activos a 0
 - o R/B (ready/busy): a 0 indica que la operación está en curso
 - o CLE (comand latch): a 1 indica que el dato enviado por I/O es un comando
 - o ALE (address latch): a 1 indica que el dato enviado por I/O es una dirección

Dispositivos externos

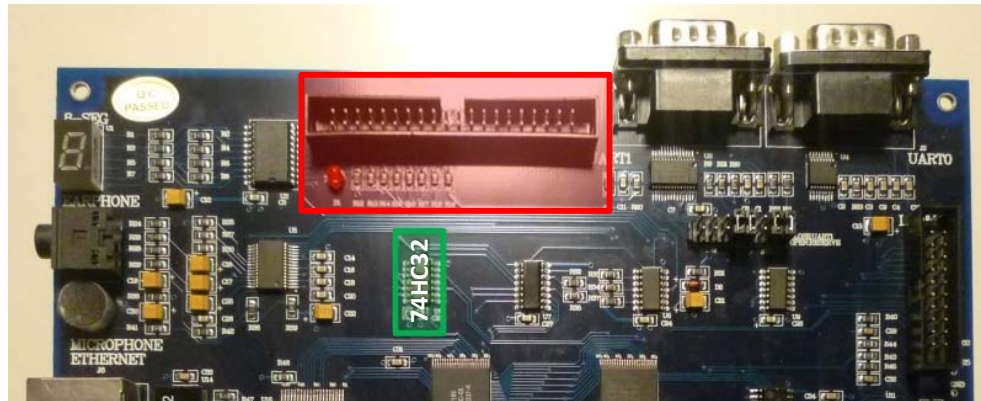
mapeados en el banco 1: solid-state disk (iii)



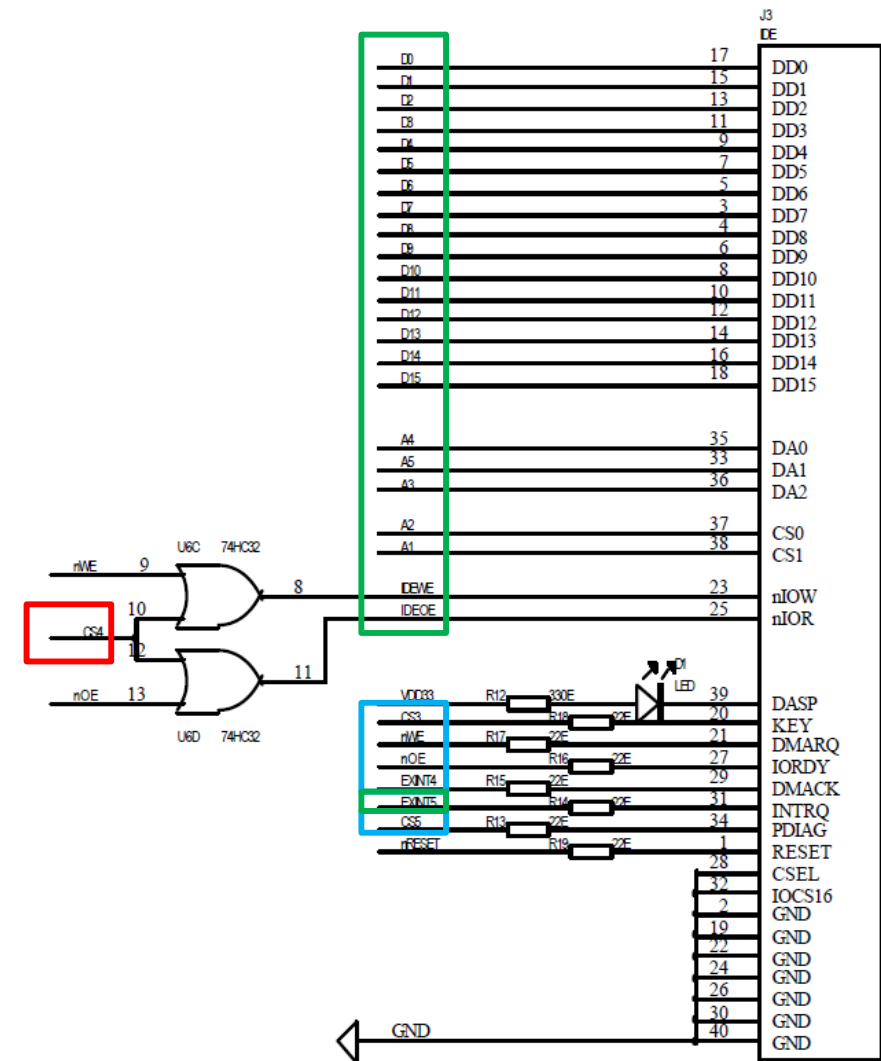
- Admite 7 tipos de operaciones:
 - Reset
 - Lectura de registro de estado
 - Lectura del identificador de dispositivo
 - Escritura de página
 - Lectura (aleatoria o secuencial) de página
 - Lectura (aleatoria o secuencial) del área de spare
 - Borrado completo de bloque
- Toda operación supone:
 - Escribir 1B de comando
 - Escribir 2/3B dirección (solo en operaciones de lectura, escritura, borrado y status)
 - Escribir 1B de comando (sólo en operaciones de borrado y escritura)
 - Leer/escribir datos en ráfaga, de 1B a nB
- Dado que parte del bus está conectado a líneas del puerto F las formas de onda deben generarse por SW.

Dispositivos externos

mapeados en el banco 1: conector IDE

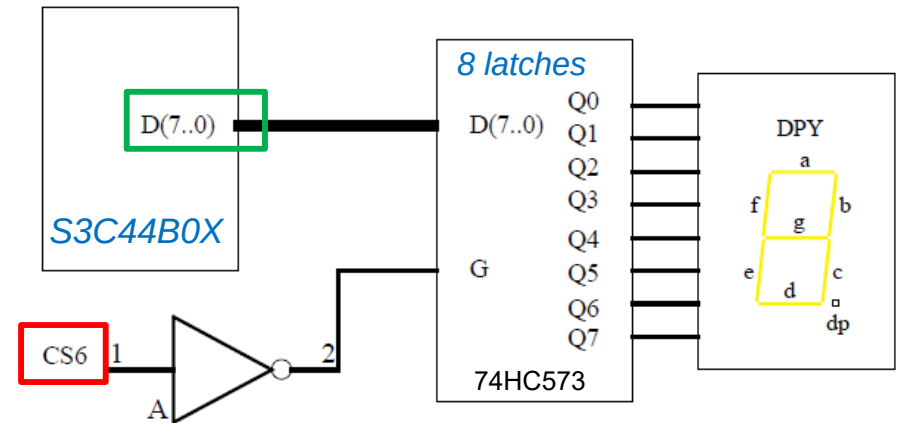
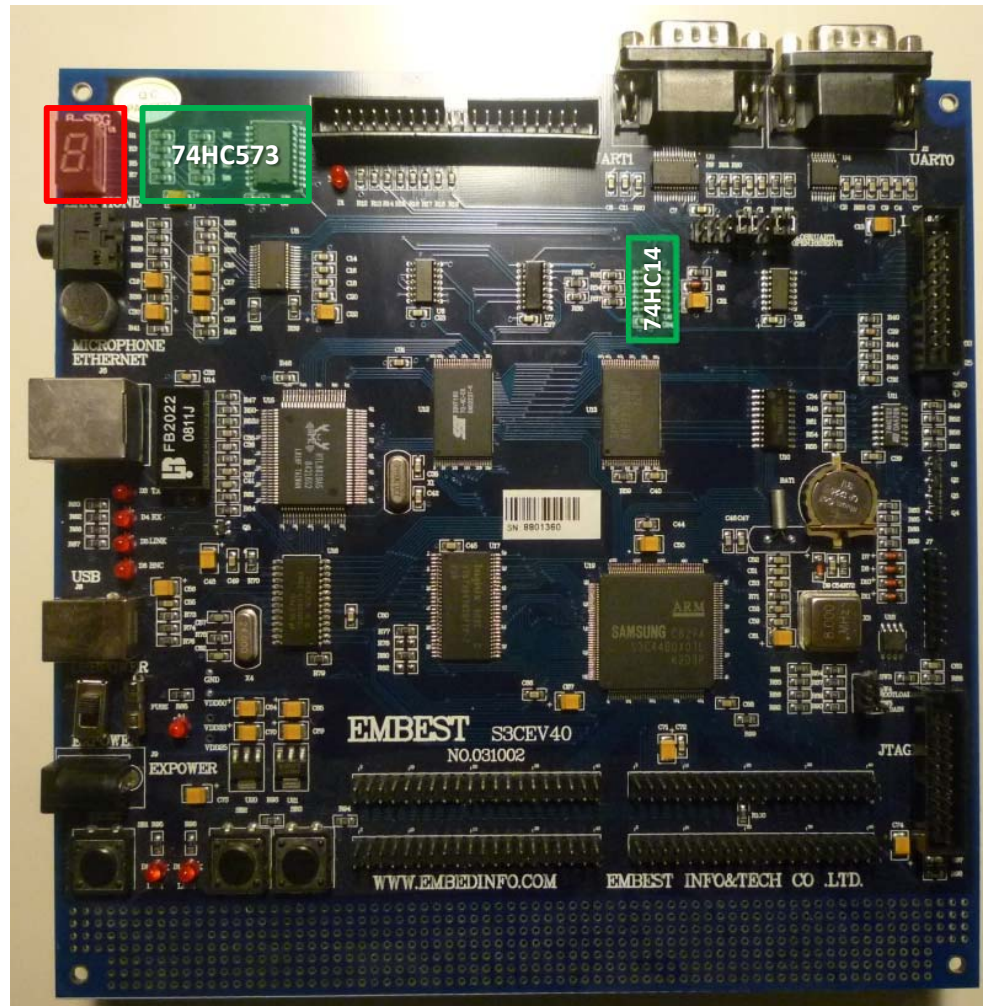


- La lectura/escritura, habilitada con CS4, se efectúa leyendo/escribiendo el bus.
- El dispositivo interrumpe por EXINT5
- Rango de direcciones:
001X.XXX0.11XX.XXXX.XXXX.XXNN.NNNX
nGCS1 CS4 DA CS
- Adicionalmente están conectadas directamente a pines del conector:
o nWE, nOE, CS3, CS5, EXTINT4



Dispositivos externos

mapeados en el banco 1: display 7 segmentos (i)



- El registro de los datos escritos en el bus se habilita con CS6.
- Rango de direcciones:
001X.XXX1.01XX.XXXX.XXXX.XXXX.XXXX
nGCS1 CS6

Dispositivos externos

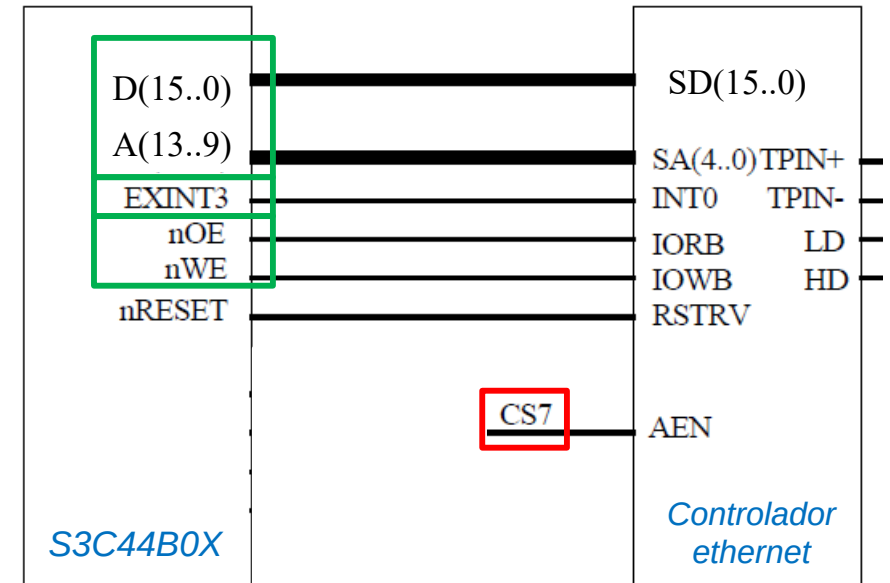
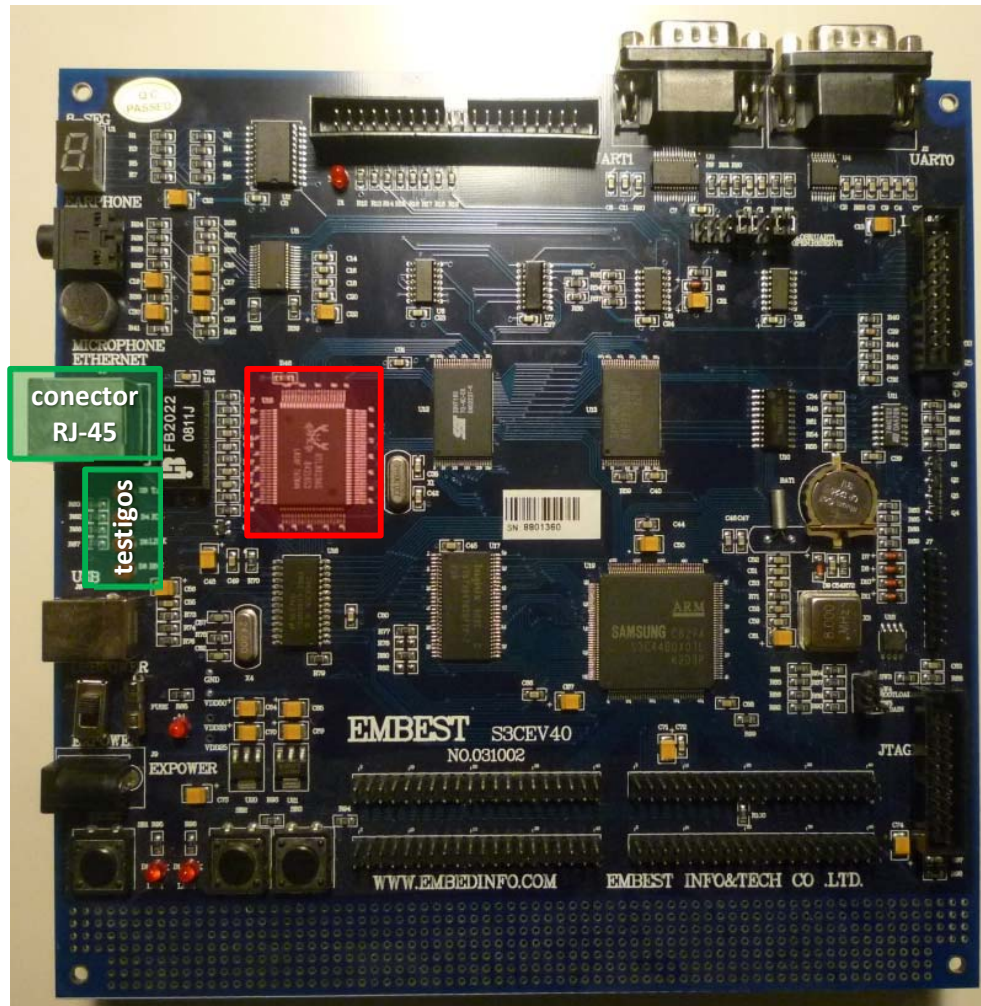
mapeados en el banco 1: display 7 segmentos (ii)



- Display 7 segmentos en configuración de ánodo común (lógica inversa).
- Conectado al byte menos significativo del bus de datos a través de 8 latches (74573) que usan como reloj CS6.
 - o D0: segmento F
 - o D1: segmento G
 - o D2: segmento E
 - o D3: segmento D
 - o D4: punto
 - o D5: segmento C
 - o D6: segmento B
 - o D7: segmento A
- El conjunto se comporta como 1 registro mapeado en memoria (banco 1).
 - o 0x02140000
 - 8b, W, reset = 0x00
 - Dato que se muestra en el display

Dispositivos externos

mapeados en el banco 1: controlador Ethernet (i)



- El controlador se capacita con CS7.
- Las lecturas/escrituras se efectúan leyendo/escribiendo en el bus.
- El dispositivo interrumpe por EXINT3
- Rango de direcciones:
001X.XXX1.10XX.XXNN.NNNX.XXXX.XXXX
nGCS1 CS7 SA

Dispositivos externos

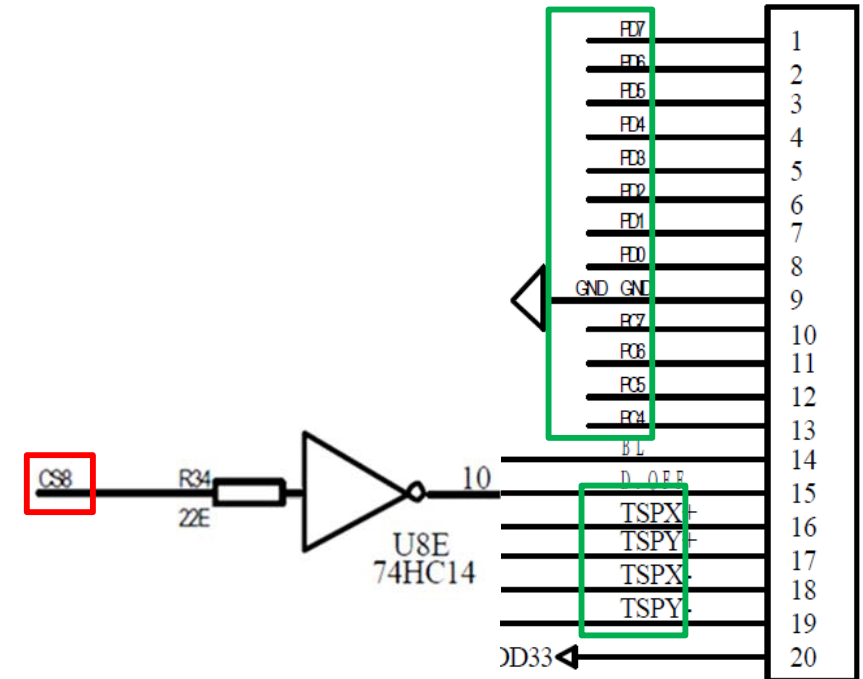
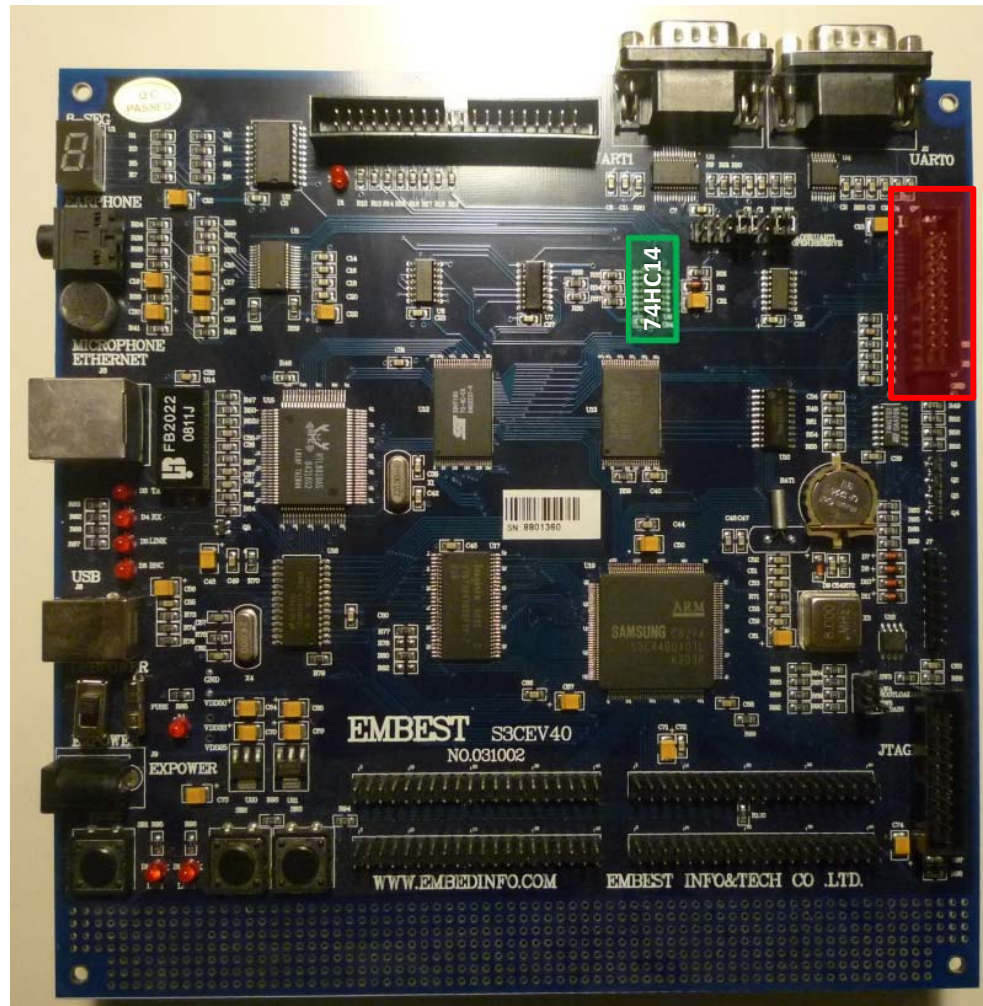
mapeados en el banco 1: controlador Ethernet (ii)



- Controlador Ethernet Full-Duplex compatible IEEE 802.3 (RTL8019AS)
- La configuración del controlador y la comunicación con la red se hace mediante 54 registros de 8 bits organizados en 4 páginas.
 - Accesibles a través de un interfaz paralelo asíncrono de 8 bits.
 - La página se selecciona escribiendo en un registro de control.
- Los registros están mapeados en memoria (banco 1).
 - 0x02180000 (CR – Command Register)
 - 8b, R/W,
 - Permite seleccionar la página de registros accesible directamente.
 - 0x02180200 (R1 dependiente de página)
 - 0x02180400 (R2 dependiente de página)
 - ...
 - 0x02181E00 (R15 dependiente de página)
 - 0x02182000 (I/O Port)
 - 0x02183E00 (Reset Port)
 - Dispone de un interfaz con ROM no conectado

Dispositivos externos

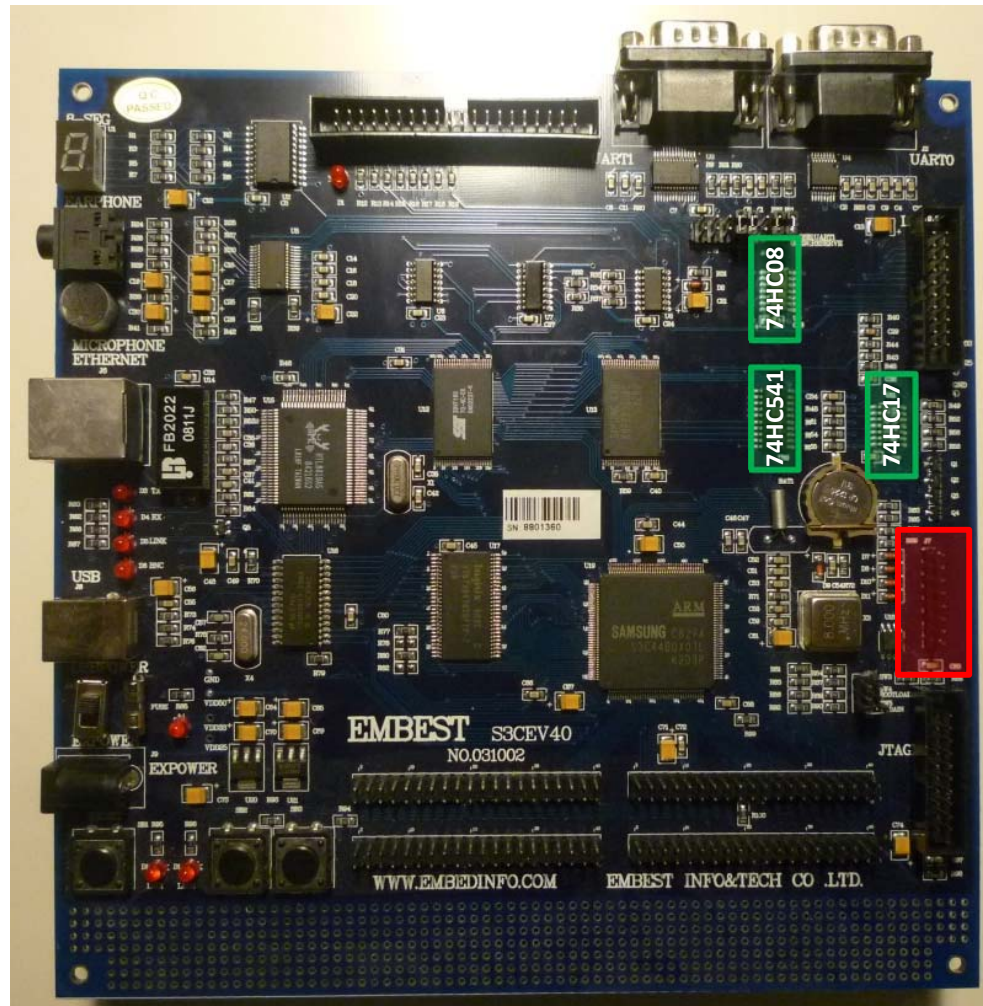
mapeados en el banco 1: conector LCD & touchscreen



- El envío de datos se realizan a través de pines del puerto D conectados al controlador interno de LCD.
- El retorno del touchscreen está conectado a pines del puerto E.
- El CS8 (D.OFF) no tiene efecto.

Dispositivos externos

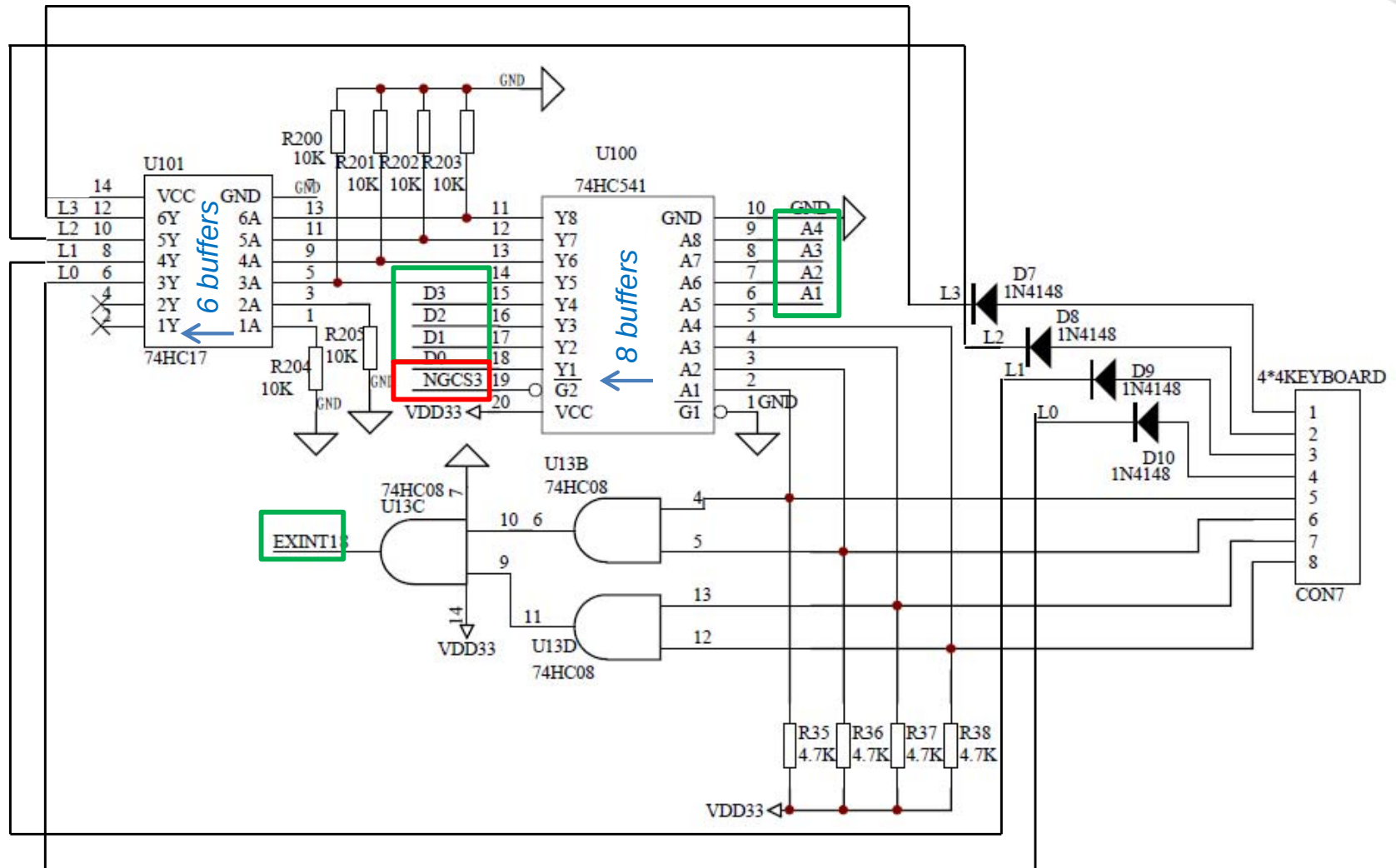
mapeados en el banco 3: teclado matricial 4x4 (i)



- El envío del código de scan (a través del bus de direcciones) y la lectura del código de retorno (a través del bus de datos) se habilita con nGCS3.
- El dispositivo interrumpe por EXINT1
- Rango de direcciones:
011X.XXX.XXXX.XXXX.XXXX.XXXN.NNNX
nGCS3 SCAN

Dispositivos externos

mapeados en el banco 3: teclado matricial 4x4 (ii)



Dispositivos externos

mapeados en banco 1 y 3



- Bus de datos: 8b
 - o BWSCON[5:4] = 0 banco 1 = 8b
- Tiempo de acceso: máximo
 - o BANKCON1[10:8] = 7 Tacc = 14 ciclos (de 64 Mhz: 2×15.6ns = 219ns)
- Tiempos de setup: máximos
 - o BANKCON1[14:13] = 3 Tacs = 4 ciclos (de 64 Mhz: 4×15.6ns = 62ns)
 - o BANKCON1[12:11] = 3 Tcos = 4 ciclos (de 64 Mhz: 4×15.6ns = 62ns)
- Tiempos de hold: máximos
 - o BANKCON1[7:6] = 3 Toch = 4 ciclos (de 64 Mhz: 4×15.6ns = 62ns)
 - o BANKCON1[5:4] = 3 Tach = 4 ciclos (de 64 Mhz: 4×15.6ns = 62ns)
- Acceso asíncrono
 - o BANKCON1[1:0] = 0 no page mode
 - o BANKCON1[3:2] = X
- Idéntica configuración para el banco 3

Controlador de memoria

configuración



■ Resumen:

- o **BWSCON** = 0x01000000 (XXXX.0001.XXXX.XXXX.0000.XXXX.0000.XXXX)
- o **BANKCON0** = 0x00000400 (XXXX.XXXX.XXXX.XXXX.X000.0100.0000.XX00)
- o **BANKCON1** = 0x00007FFC (XXXX.XXXX.XXXX.XXXX.X111.1111.1111.XX00)
- o **BANKCON2** = 0x00000000 (XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX)
- o **BANKCON3** = 0x00007FFC (XXXX.XXXX.XXXX.XXXX.X111.1111.1111.XX00)
- o **BANKCON4** = 0x00000000 (XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX)
- o **BANKCON5** = 0x00000000 (XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX)
- o **BANKCON6** = 0x00018000 (XXXX.XXXX.XXXX.XXX1.1XXX.XXXX.XXXX.0000)
- o **BANKCON7** = 0x00000000 (XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX)
- o **REFRESH** = 0x0086041B (XXXX.XXXX.1000.01XX.XXXX.X100.0001.1011)
- o **BANKSIZE** = 0x00000016 (XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXX1.X110)
- o **MRSRB6** = 0x00000020 (XXXX.XXXX.XXXX.XXXX.XXXX.XX00.0010.0000)
- o **MRSRB7** = 0x00000000 (XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX.XXXX)

Memoria principal

pins conectados a puertos E/S



- Los pines de los puertos A, B y C pueden conectarse selectivamente con líneas del bus del sistema:
 - Puerto A: con las líneas A0 y A16..24 del bus de direcciones
 - Puerto B: con líneas específicas de control de SDRAM y con las líneas de nGCS1..5 de selección del banco de memoria.
 - Puerto C: con las líneas DATA16..32 del bus de datos.
- Dependiendo de la organización de la memoria y de los dispositivos mapeados en ella, será necesario reservar algunos pines para el bus:
 - Algunas de las líneas de los puertos A y B deben reservarse.
 - El puerto C queda libre porque la anchura del bus de datos con memoria es 16b (y de 8b con dispositivos externos).

Memoria principal

pinos conectados a puertos E/S: puerto A (i)



- **ADDR0** no está en uso (el bus de datos es de 16b)
 - o PCONA[0] = X
- **ADDR16...ADDR20**: usados para direccionar la Flash ROM (es de 2 MB)
 - o PCONA[1] = 1 PA1 = ADDR16
 - o PCONA[2] = 1 PA2 = ADDR17
 - o PCONA[3] = 1 PA3 = ADDR18
 - o PCONA[4] = 1 PA4 = ADDR19
 - o PCONA[5] = 1 PA5 = ADDR20
- **ADDR21 y ADDR22** usados para direccionar la SDRAM
 - o PCONA[6] = 1 PA6 = ADDR21
 - o PCONA[7] = 1 PA2 = ADDR22
- **ADDR23 y ADDR24** no están en uso (la SDRAM es de 8 MB)
 - o PCONA[8] = X
 - o PCONA[9] = X

Memoria principal

pinos conectados a puertos E/S: puerto B (i)



- **SCKE**: usado para habilitar el reloj de la SDRAM
 - o $PCONB[0] = 1$ **PB0 = SCKE**
- **SCLK**: usado para enviar la señal de reloj de la SDRAM
 - o $PCONB[1] = 1$ **PB1 = SCLK**
- **nSCAS**: usado para seleccionar columna de la SDRAM
 - o $PCONB[2] = 1$ **PB1 = nSCAS**
- **nSRAS**: usado para seleccionar fila de la SDRAM
 - o $PCONB[3] = 1$ **PB3 = nSRAS**
- **DQM2**: no está en uso
 - o $PCONB[4] = X$
- **DQM3**: no está en uso
 - o $PCONB[5] = X$



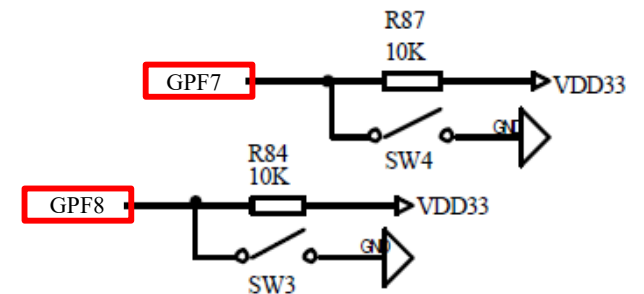
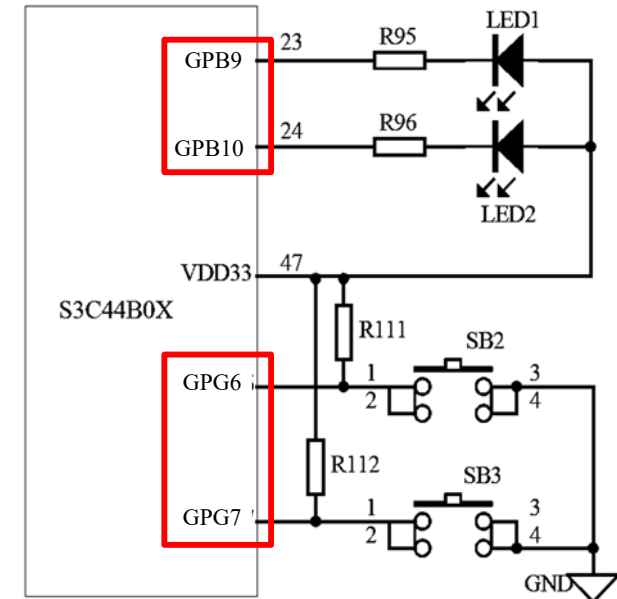
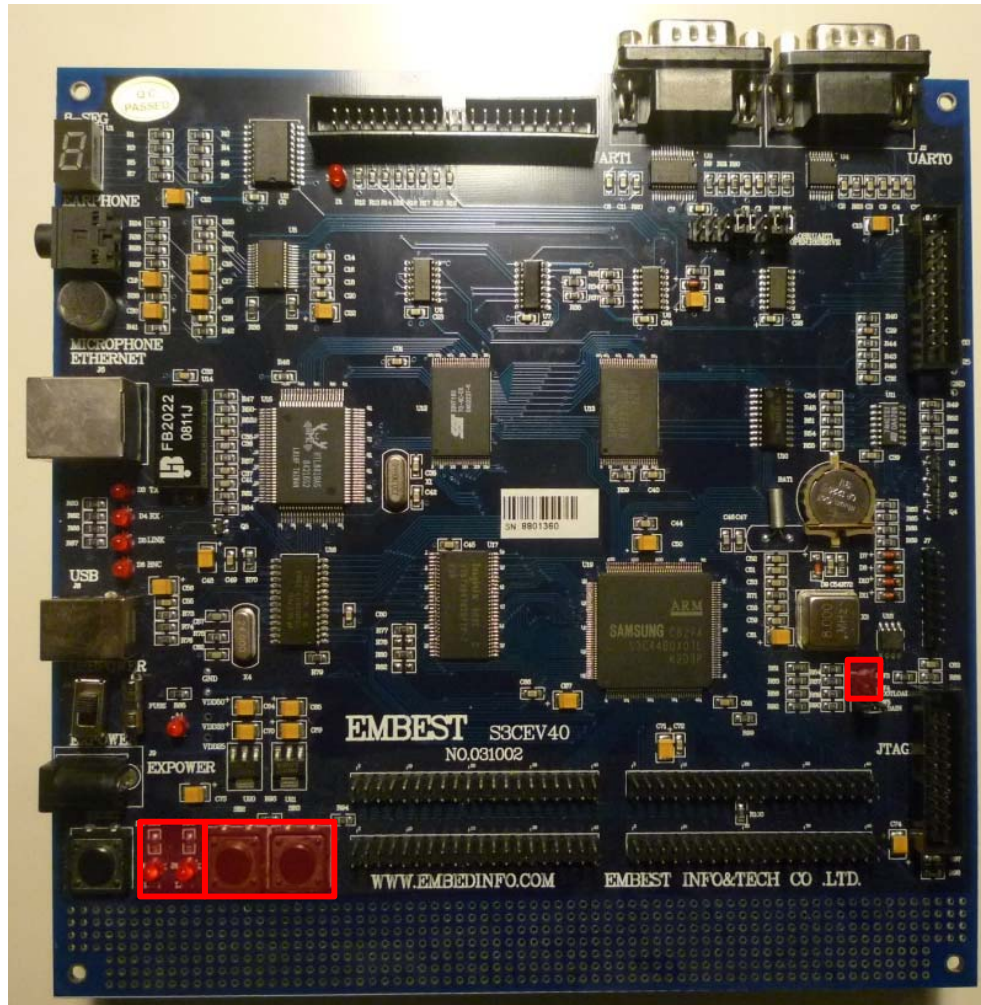
Memoria principal

pinos conectados a puertos E/S: puerto B (ii)

- **nGCS1**: usado para seleccionar registros de dispositivos externos
 - o $PCONB[6] = 1$ $PB6 = nGCS1$
- **nGCS2**: no está en uso (el banco 2 de memoria está vacío)
 - o $PCONB[7] = X$
- **nGCS3**: usado para seleccionar el teclado
 - o $PCONB[8] = 1$ $PB8 = nGCS3$
- **nGCS4**: no está en uso (el banco 4 de memoria está vacío)
 - o $PCONB[9] = X$
- **nGCS5**: no está en uso (el banco 5 de memoria está vacío)
 - o $PCONB[10] = X$

Dispositivos externos

conectados a puertos E/S: pulsadores, jumpers y leds (i)



Dispositivos externos

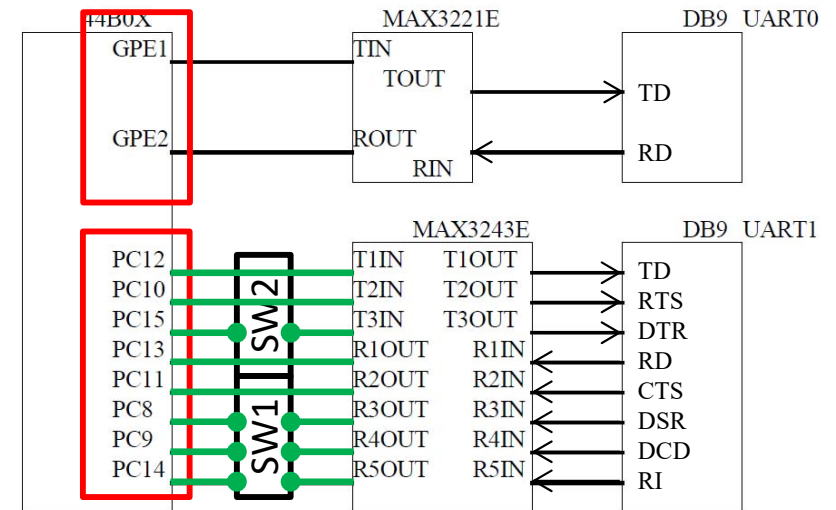
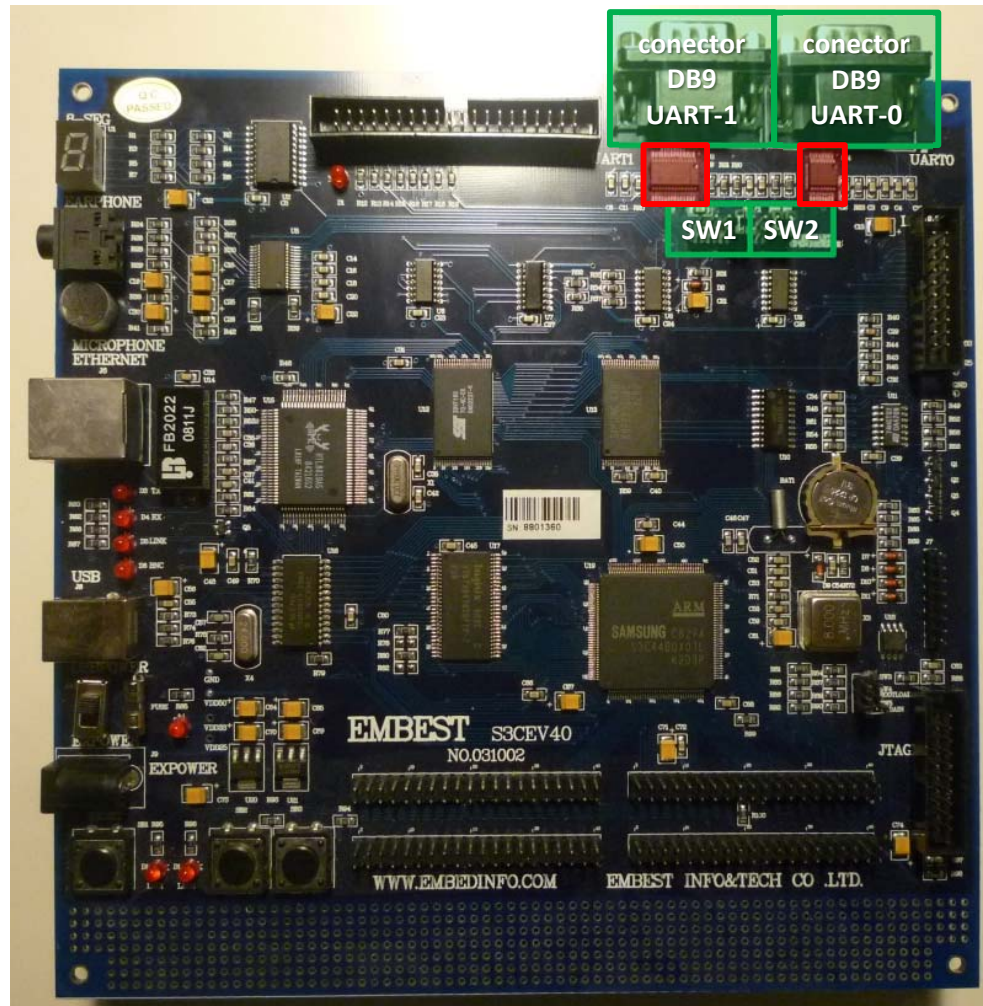


conectados a puertos E/S: pulsadores, jumpers y leds (ii)

- **LED1 (izquierdo)**: está conectado a PB9 (se enciende escribiendo un 0)
 - o $PCONB[9] = 0$ **PB9 = output**
- **LED2 (derecho)**: está conectado a PB10 (se enciende escribiendo un 0)
 - o $PCONB[10] = 0$ **PB10 = output**
- **Jumper SW3**: está conectado al PF8 (valdrá 0 al cerrarlo)
 - o $PCONF[21:19] = 0$ **PF8 = input**
- **Jumper SW4**: está conectado al PF7 (valdrá 0 al cerrarlo)
 - o $PCONF[18:16] = 0$ **PF7 = input**
- **Pulsador SB2 (izquierdo)**: está conectado a PG6 (valdrá 0 al pulsarlo).
 - o $PCONG[13:12] = 3$ **PG6 = EINT6** (entrada de interrupción externa)
 - o $EXINT[26:24] = 2$ **EXINT6 = a flanco de bajada** (configuración típica)
- **Pulsador SB3 (derecho)**: está conectado a PG7 (valdrá 0 al pulsarlo)
 - o $PCONG[15:14] = 3$ **PG7 = EINT7** (entrada de interrupción externa)
 - o $EXINT[30:28] = 2$ **EXINT7 = a flanco de bajada** (configuración típica)

Dispositivos externos

conectados a puertos E/S: drivers RS-232 (i)



Señal		pin del conector
Common Ground	G	5
Transmitted Data	TD	3
Received Data	RD	2
Request To Send	RTS	7
Clear To Send	CTS	8
Data Terminal Ready	DTR	4
Data Set Ready	DSR	6
Carrier Detect	DCD	1
Ring Indicator	RI	9

UART0
UART1
(opcional)



Dispositivos externos

conectados a puertos E/S: drivers RS-232 (ii)

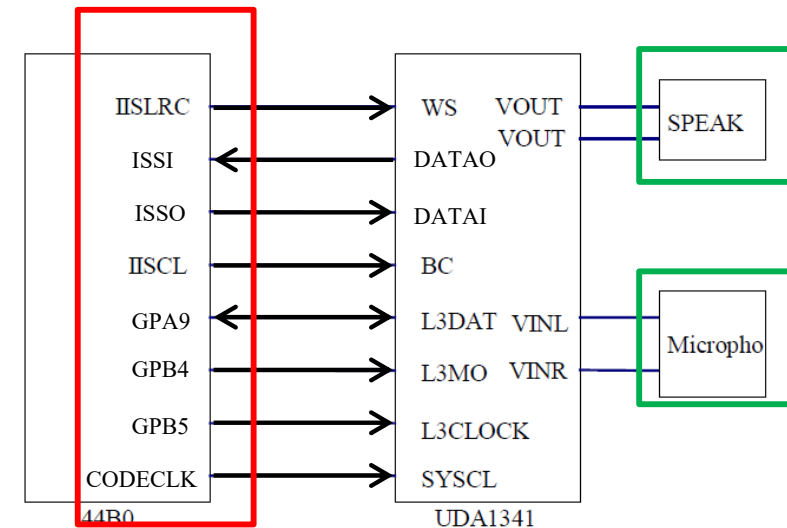
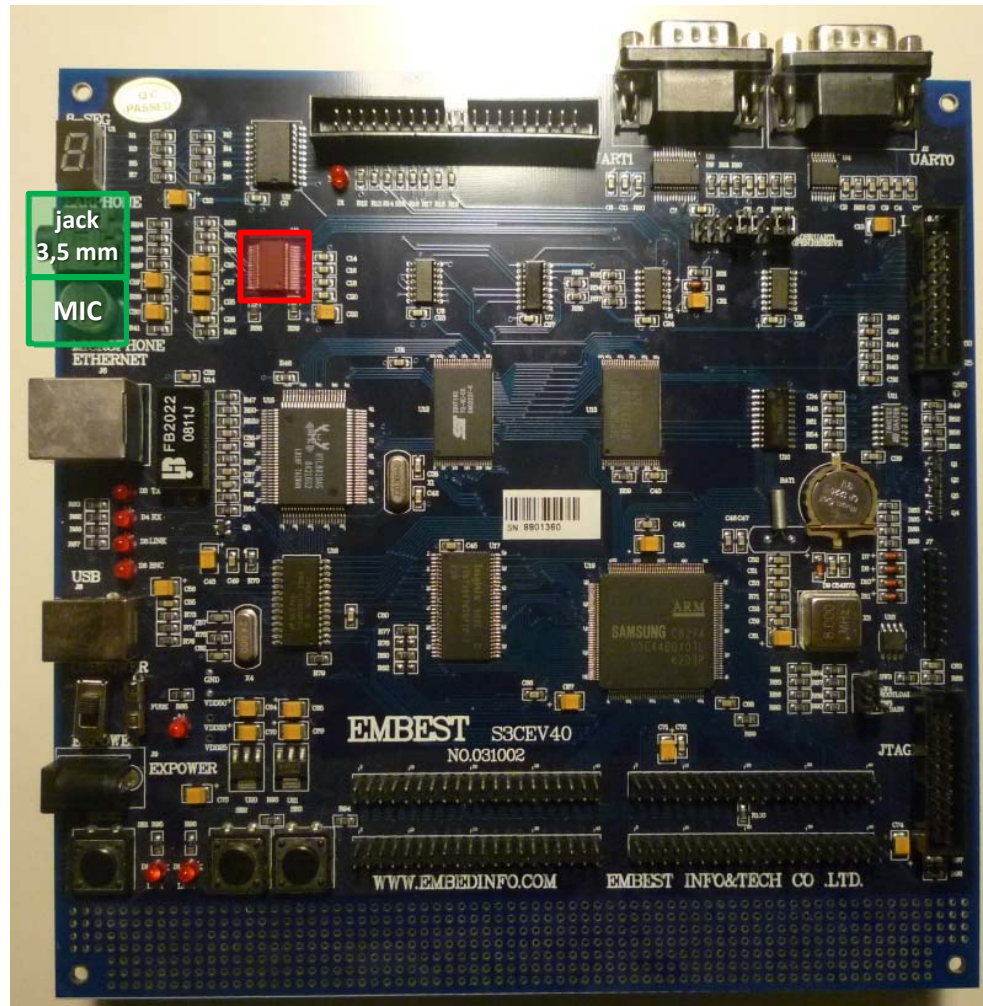
- El driver RS-232/0 está conectado **directamente** a pines del puerto E
 - o $PCONE[5:4] = 2$ **PE2 = RxDO** (entrada de la UART0)
 - o $PCONE[3:2] = 2$ **PE1 = TxDO** (salida de la UART0)

- El driver RS-232/1, por defecto, está conectado a pines del puerto C a través de los **jumpers del SW2**
 - o $PCONC[27:26] = 3$ **PC13 = RxD1** (entrada de la UART1 / pin 35 del J3)
 - o $PCONC[25:24] = 3$ **PC12 = TxD1** (salida de la UART1 / pin 34 del J3)
 - o $PCONC[21:20] = 3$ **PC10 = RST1** (salida de la UART1 / pin 32 del J3)
- y del **SW1**
 - o $PCONC[23:22] = 3$ **PC11 = CTS1** (entrada de la UART1 / pin 33 del J3)

- Los jumpers que conectan las líneas DTR, DTS, DCD y RI del RS-232/1 a pines del puerto C están por defecto abiertos.

Dispositivos externos

conectados a puertos E/S: audio codec IIS (i)





Dispositivos externos

conectados a puertos E/S: audio codec IIS (ii)

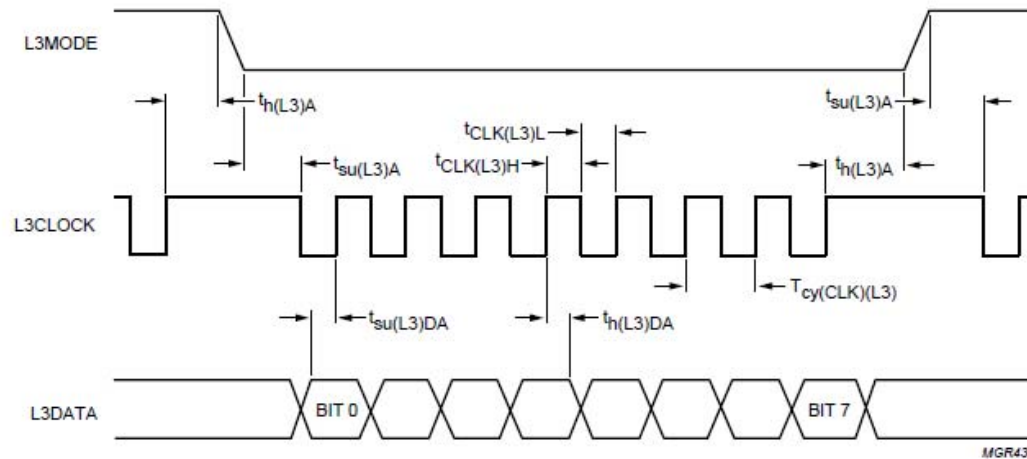
- **Audio Codec estéreo (UDA13441TS) con doble interfaz**
 - o el interfaz ISS para transmisión de datos de sonido (con formato programables)
 - o el interfaz L3 (serie síncrono) para el envío de información de control al dispositivo.
- El interfaz L3 es un **bus serie síncrono**
 - o 1 línea bidireccional de datos: L3DATA
 - Todos los datos transmitidos son de 8 bits (LSB first)
 - o 2 líneas de entrada: **L3MODE** (modo) y **L3CLOCK** (reloj).
 - Si L3MODE = 0 (address mode), por L3DATA se envía dispositivo (6b) y registro destino (2b).
 - dirección del dispositivo 000101
 - Si L3MODE = 1 (data mode), por L3DATA se envían/reciben datos.
 - La frecuencia máxima de L3CLOCK es 64 fs
- La dirección de este dispositivo es: 000101
- Para el control del audio CODEC existen 3 registros:
 - o STATUS (10): permite programar la frecuencia del sistema y el formato de datos IIC
 - o DATA0 (00): permiten realizar ajustes de sonido (volumen, bass, treble, mute...)
 - o DATA1 (10): permiten conocer peak level del sonido reproducido

Dispositivos externos

conectados a puertos E/S: audio codec IIS (iii)



- Dado que el bus L3 está conectado a líneas de los puertos A y B, las formas de onda deben generarse por SW, respetando:



Microcontroller L3-interface timing (see Figs 5 and 6)			MIN			
$T_{cy}(\text{CLK})(L3)$	L3CLOCK		500	-	-	ns
$t_{\text{CLK}(L3)H}$	L3CLOCK HIGH time		250	-	-	ns
$t_{\text{CLK}(L3)L}$	L3CLOCK LOW time		250	-	-	ns
$t_{\text{su}(L3)A}$	L3MODE set-up time	addressing mode	190	-	-	ns
$t_{\text{h}(L3)A}$	L3MODE hold time	addressing mode	190	-	-	ns
$t_{\text{su}(L3)D}$	L3MODE set-up time	data transfer mode	190	-	-	ns
$t_{\text{h}(L3)D}$	L3MODE hold time	data transfer mode	190	-	-	ns
$t_{\text{su}(L3)DA}$	L3DATA set-up time	data transfer and addressing mode	190	-	-	ns
$t_{\text{h}(L3)DA}$	L3DATA hold time	data transfer and addressing mode	30	-	-	ns
$t_{\text{tp}(L3)}$	L3MODE halt time		190	-	-	ns

Dispositivos externos

conectados a puertos E/S: audio codec IIS (iv)



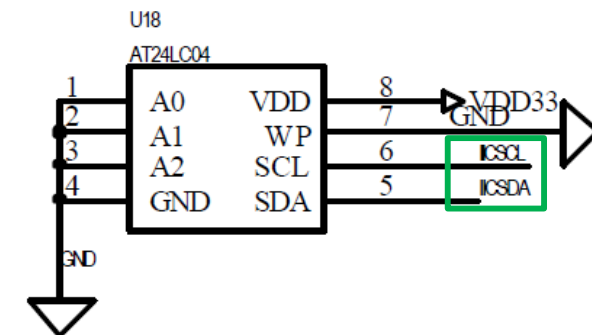
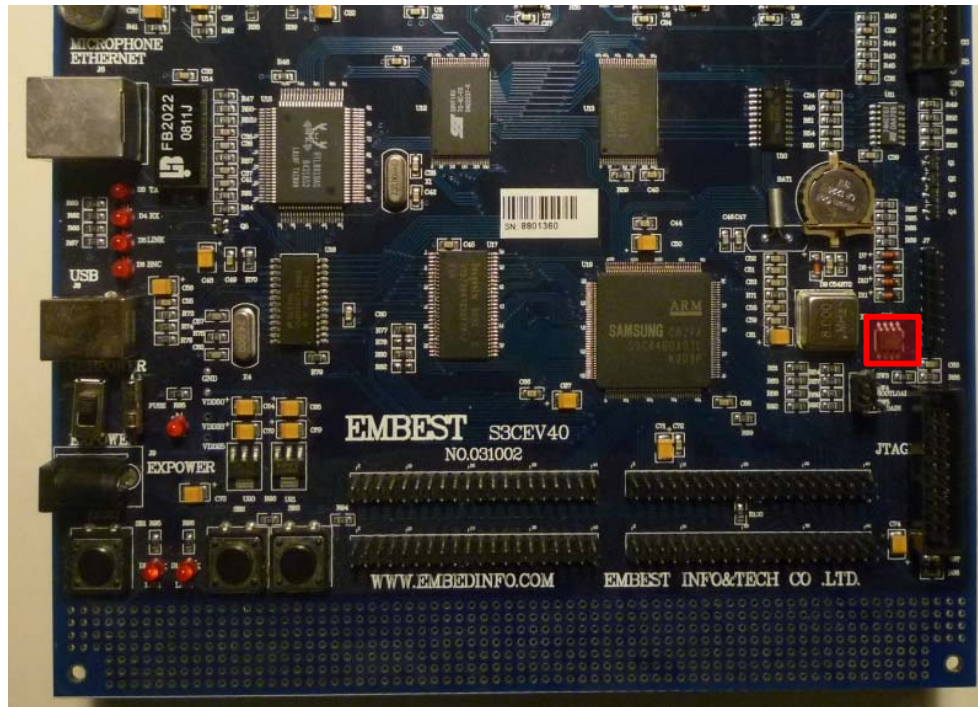
- El audio codec tiene 2 interfaces:
 - o el interfaz ISS para transmisión de datos de sonido
 - o el interfaz L3 para el envío de información de control al dispositivo.

- El **interfaz IIS** está conectado a los puertos C y E
 - o $PCONC[7:6] = 3$ **PC3 = ISSCK** (salida del controlador IIC)
 - o $PCONC[5:4] = 3$ **PC2 = ISSDI** (entrada del controlador IIC)
 - o $PCONC[3:2] = 3$ **PC1 = ISSDO** (salida del controlador IIC)
 - o $PCONC[1:0] = 3$ **PC0 = ISSLRCK** (salida del controlador IIC)
 - o $PCONE[17:16] = 2$ **PE8 = CODECLK** (salida del controlador IIC)

- El **interfaz L3** esta conectado a los puertos A y B
 - o $PCONB.PB5 = 0$ **PB5 = output** (L3CLOCK)
 - o $PCONB.PB4 = 0$ **PB4 = output** (L3MODE)
 - o $PCONA.PA9 = 0$ **PA9 = output** (L3DATA)

Dispositivos externos

conectados a puertos E/S: EEPROM IIC (i)



- La EEPROM está conectada al interfaz IIC del puerto F:
 - PCONF[3:2] = 2 PF1 = IICSDA (bidirec. del controlador IIC / pin 13 del J14)
 - PCONF[1:0] = 2 PF0 = IICSL (salida del controlador de IIC / pin 32 del J14)

Dispositivos externos

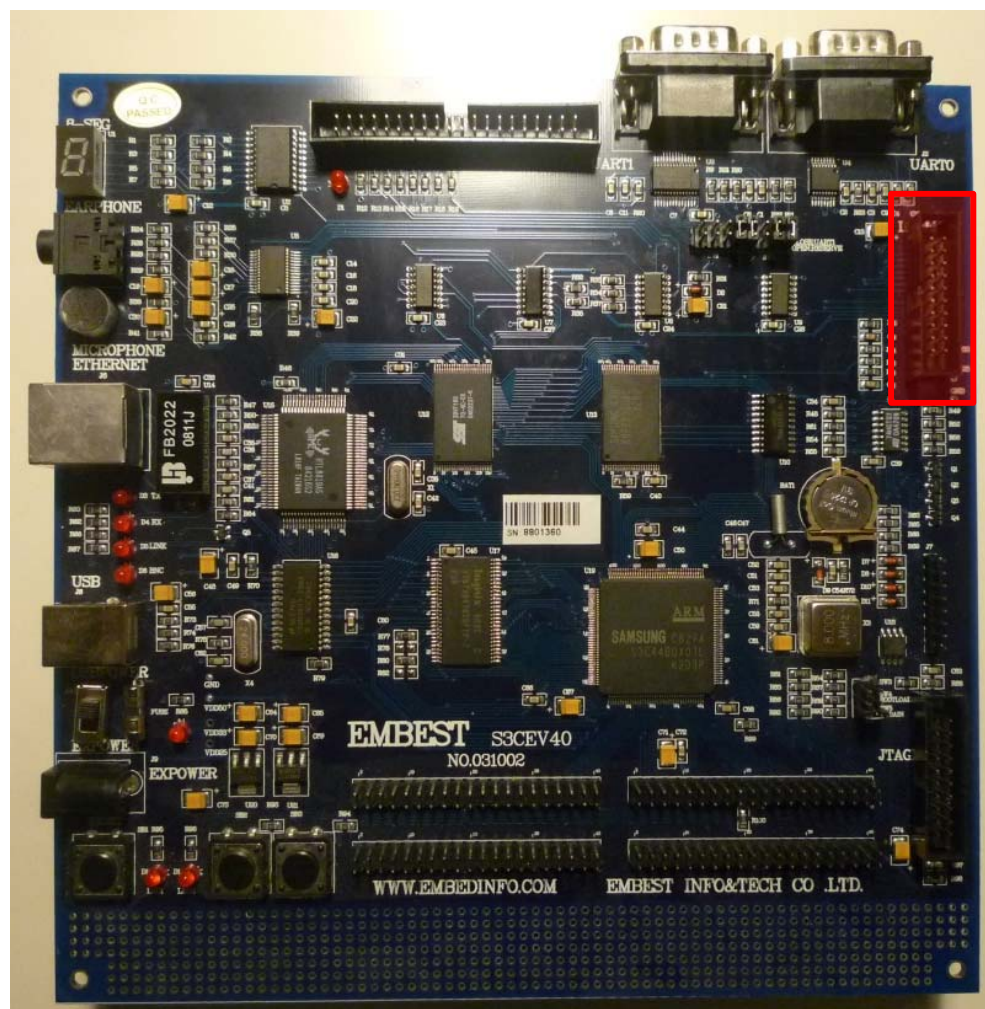
conectados a puertos E/S: EEPROM IIC (ii)



- Memoria **EEPROM 4Kb** con interfaz IIC (AT24C04)
 - o Organizada lógicamente como 512 palabras de 8 bits (32 páginas de 16B)
 - o Frecuencia máxima de transmisión: 400 Kb/s
- Dirección del dispositivo: 1010000
 - o 1010: genérico de las EEPROM
 - o 000: por la conexión de los pines A0..A2
- 2 tipos de escritura:
 - o 1 byte aleatorio
 - o 1 página (16B) aleatoria
- 3 tipos de lectura:
 - o 1 byte aleatorio (requiere una escritura ficticia)
 - o Secuencial
 - o Última dirección accedida + 1

Dispositivos externos

conectados a puertos E/S: LCD (i)



J5 LCD&TSP	
GPD7	VFRAME
GPD6	VM
GPD5	VLINE
GPD4	VCLK
GPD3	VD3
GPD2	VD2
GPD1	VD1
GPD0	VD0
GND	GND
GPC7	VD4
GPC6	VD5
GPC5	VD6
GPC4	VD7
PE0	N/C
CS8	DOFF
TSPX+	TSPX+
TSPY-	TSPY-
TSPX-	TSPX-
TSPY-	TSPY-
VDD	VDD

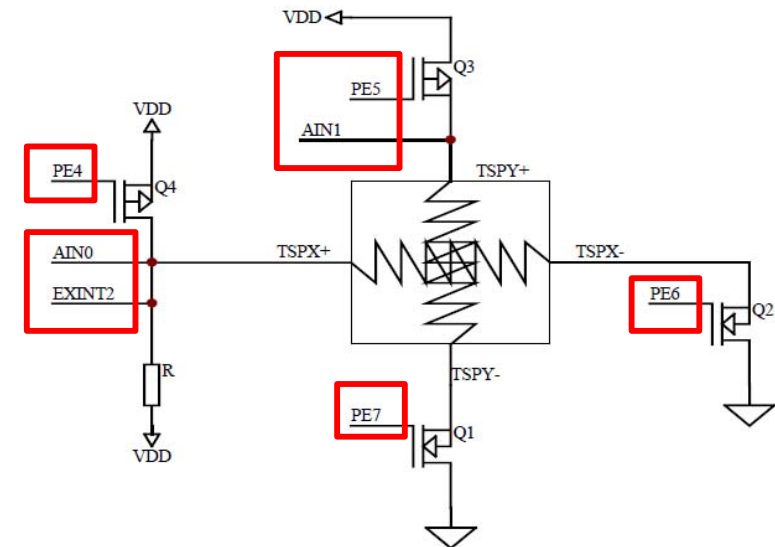
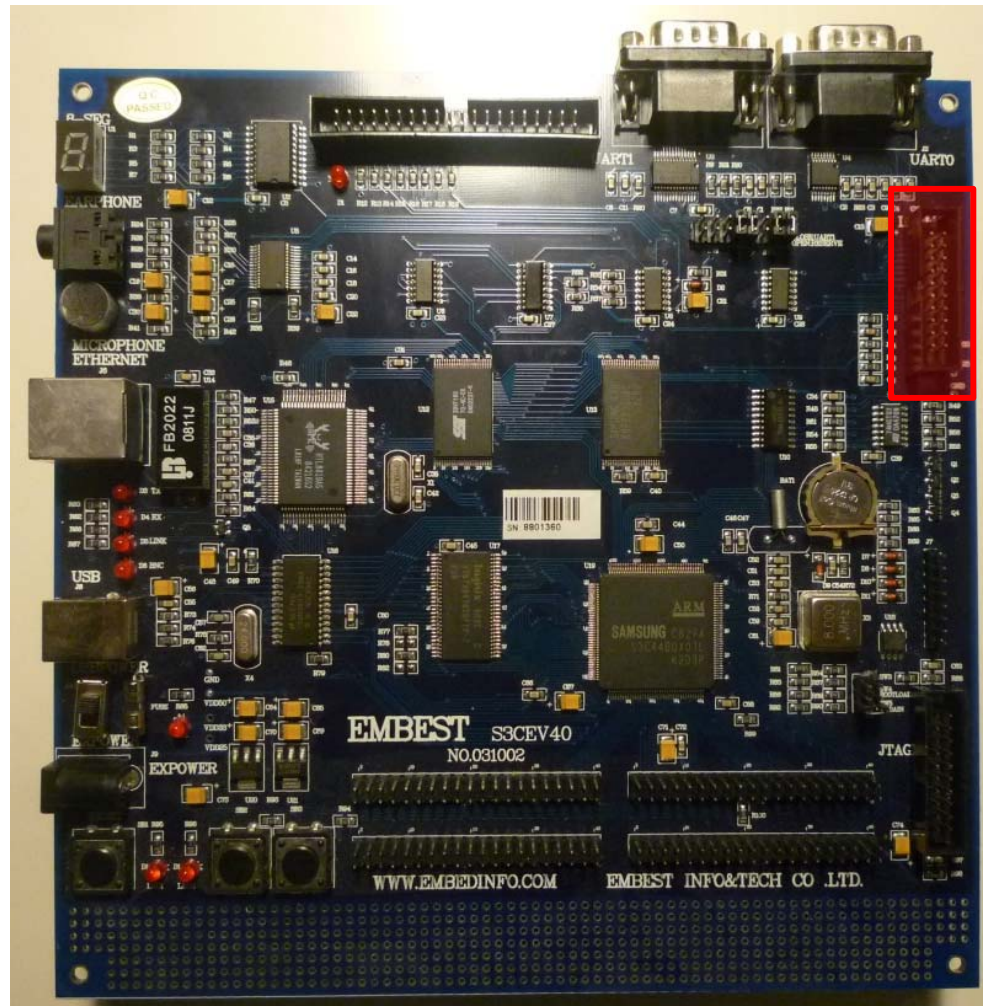
Dispositivos externos

conectados a puertos E/S: LCD (ii)



- Hay una pantalla conectada al interfaz LCD de los puertos C y D
 - PCOND.PD7 = 2 PD7 = VFRAME (salida del controlador de LCD)
 - PCOND.PD6 = 2 PD6 = WM (salida del controlador de LCD)
 - PCOND.PD5 = 2 PD5 = VLINE (salida del controlador de LCD)
 - PCOND.PD4 = 2 PD4 = VCLK (salida del controlador de LCD)
 - PCOND.PD3 = 2 PD3 = VD3 (salida del controlador de LCD)
 - PCOND.PD2 = 2 PD2 = VD2 (salida del controlador de LCD)
 - PCOND.PD1 = 2 PD1 = VD1 (salida del controlador de LCD)
 - PCOND.PD0 = 2 PD0 = VD0 (salida del controlador de LCD)
- El LCD es de 4 bits: no tiene conectadas las líneas VD4..7 del controlador
 - PCONC.PC7 = X
 - PCONC.PC6 = X
 - PCONC.PC5 = X
 - PCONC.PC4 = X
- El LCD no tiene conectada la línea BL
 - PCONE.PE0 = X

Dispositivos externos conectados a puertos E/S: touchscreen





Dispositivos externos

conectados a puertos E/S: touchscreen

- El control del voltaje de los 4 terminales de la touchscreen están conectados al puerto E:
 - o PCONE[17:16] = 2 **PE7 = output** (control de TSPY-)
 - o PCONE[15:14] = 2 **PE6 = output** (control de TSPX-)
 - o PCONE[13:12] = 2 **PE5 = output** (control de TSPY+)
 - o PCONE[11:10] = 2 **PE4 = output** (control de TSPX+)

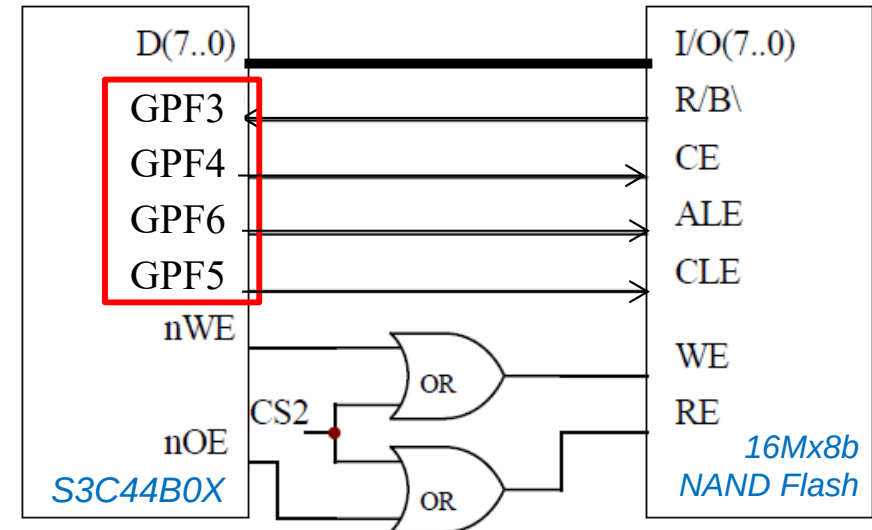
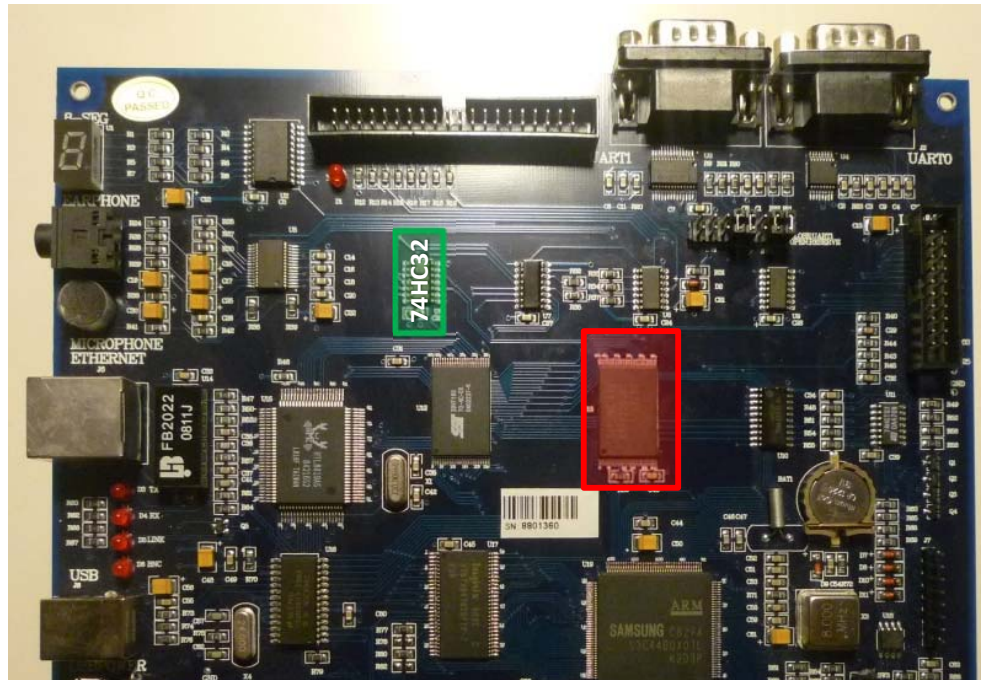
- El retorno analógico se hace a través de entradas del conversor A/D
 - o **TSPX+**: está conectado a AIN0 (entrada del conversor A/D)
 - o **TSPY+**: está conectado a AIN1 (entrada del conversor A/D)

- **TSPX+**: está conectado a PG2 (valdrá 0 al pulsar la pantalla).
 - o PCONG[5:4] = 3 **PG2 = EINT2** (entrada de interrupción externa)
 - o EXINT[10:8] = 2 **a flanco de bajada** (configuración típica)



Dispositivos externos

conectados a puertos: solid-state disk (i)



- Algunos pines del solid-state disk están conectados al puerto F
 - o $PCONFF[15:13] = 1$ **PF6 = output** (ALE del solid-state disk)
 - o $PCONFF[12:10] = 1$ **PF5 = output** (CLE del solid-state disk)
 - o $PCONFF[9:8] = 1$ **PF4 = output** (CE del solid-state disk)
 - o $PCONFF[7:6] = 0$ **PF3 = input** (R/B del solid-state disk)

Dispositivos externos

consumo medio



Dispositivo	Part #	operación	Min	Typ	Max	unidad
Flash ROM	SST39VF160	read			20	mA
		program/erase			30	mA
		standby			20	μA
SDRAM	HY57V641620	operating		85		mA
		burst mode operating		150		mA
		standby	15		30	mA
		standby powerdown	2		6	mA
		auto refresh		160		mA
		self refresh		1		mA
IIC EEPROM	AT24C04	read (5V, 100 KHz)		0,4	1	mA
		write (5V, 100 KHz)		2	3	mA
		standby (5V)		8	18	μA
NAND Flash	K9F2808	sequential read		10	20	mA
		program		10	20	mA
		erase		10	20	mA
		standby		10	50	μA

Dispositivos externos

consumo medio



Dispositivo	Part #	operación	Min	Typ	Max	unidad
Ethernet	RTL8019AS	operating		40		mA
LCD	LRH9J515XA	operating		3,1		mA
UART0	MAX3221	operating		0,3	1	mA
		power-down		1	10	μA
UART1	MAX3243	operating		0,3	1	mA
		power-down		1	10	μA
Audio Codec	UDA1341TS	ADC operation		12,5		mA
		ADC power-down		6		mA
		DAC operation		7		mA
		DAC power-down		50		μA
		digital operation		7		mA
USB	USBN9603	operating		30	40	mA
		standby		10		mA
		halt		1	2	μA
Led		on		5		mA

Interrupciones externas

líneas de IRQ conectadas a puertos E/S: puerto G (i)



- Los pines del puerto G pueden conectarse selectivamente a las líneas de petición de interrupción externas del controlador de interrupciones.
- **PG7**: está conectado al pulsador SB3 (der). Al pulsarlo EINT7 vale 0.
 - o $\text{PCONG}[15:14] = 3$ **PG7 = EINT7**
 - o $\text{EXINT}[30:28] = 2$ **EXINT7 = a flanco de bajada** (configuración típica)
- **PG6**: está conectado al pulsador SB2 (izq). Al pulsarlo EINT6 vale 0.
 - o $\text{PCONG}[13:12] = 3$ **PG6 = EINT6**
 - o $\text{EXINT}[26:24] = 2$ **EXINT6 = a flanco de bajada** (configuración típica)
- **PG5**: está conectado a la señal INTRQ del interfaz IDE, sin conexión
 - o $\text{PCONG}[11:10] = X$
 - o $\text{EXINT}[22:20] = X$
- **PG4**: está conectado a la señal DMACK del interfaz IDE, sin conexión
 - o $\text{PCONG}[9:8] = X$
 - o $\text{EXINT}[18:16] = X$

Interrupciones externas

líneas de IRQ conectadas a puertos E/S: puerto G (ii)



- **PG3:** está conectado a la señal INT0 del controlador de Ethernet que permite programar la polaridad de la señalización que debe usar.
 - o $\text{PCONG}[7:6] = 3$ **PG3 = EINT3**
 - o $\text{EXINT}[14:12] = X$
- **PG2:** está conectado a la touchscreen. Al tocar la pantalla EINT2 vale 0.
 - o $\text{PCONG}[5:4] = 3$ **PG2 = EINT2**
 - o $\text{EXINT}[10:8] = 2$ **EXINT2 = a flanco de bajada** (configuración típica)
- **PG1:** está conectado al teclado. Al pulsar una tecla, EINT1 vale 0.
 - o $\text{PCONG}[3:2] = 3$ **PG1 = EINT1**
 - o $\text{EXINT}[6:4] = 2$ **EXINT2 = a flanco de bajada** (configuración típica)
- **PG0:** está conectado a la señal INTR del controlador de USB que permite programar la polaridad de la señalización que debe usar.
 - o $\text{PCONG}[2:0] = 3$ **PG0 = EINT0**
 - o $\text{EXINT}[2:0] = X$

Puertos de E/S

no conectados



- Los pines no conectados se configuran como salidas:

o PCONA[8] = 0	PA8 = output (accesible en el pin 29 del J10)	A
o PCONA[0] = 0	PA0 = output (accesible en el pin 7 del J10)	
o PCONB[7] = 0	PB7 = output (accesible en el pin 7 del J11)	B
o PCONC[31:30] = 1	PC15 = output (accesible en el pin 37 del J13)	
o PCONC[29:28] = 1	PC14 = output (accesible en el pin 36 del J13)	
o PCONC[19:18] = 1	PC9 = output (accesible en el pin 31 del J13)	
o PCONC[17:16] = 1	PC8 = output (accesible en el pin 30 del J13)	
o PCONC[15:14] = 1	PC7 = output (accesible en el pin 28 del J13)	C
o PCONC[13:12] = 1	PC6 = output (accesible en el pin 27 del J13)	
o PCONC[11:10] = 1	PC5 = output (accesible en el pin 26 del J13)	
o PCONC[9:8] = 1	PC4 = output (accesible en el pin 25 del J13)	
o PCONE[7:6] = 2	PE3 = TOUT0 (salida del temporizador 0 / pin 12 del J14)	E
o PCONE[1:0] = 1	PE0 = output (accesible en el pin 32 del J11)	
o PCONF[5:4] = 1	PF2 = output (accesible en el pin 19 del J11)	F
o PCONG[11:10] = 1	PG5 = output (accesible en el pin 28 del J11)	
o PCONG[9:8] = 1	PG4 = output (accesible en el pin 27 del J11)	G

Puertos de E/S

resistencias de pull-up



- En modo de funcionamiento NORMAL las resistencias de pull-up del bus de datos DATA0..15 deben estar deshabilitadas:
 - o $SPUCR[2] = 1$
 - o $SPUCR[1] = 1$
- En modo de funcionamiento STOP las líneas de control del bus deben estar en alta impedancia:
 - o $SPUCR[0] = 1$
- El resto de las líneas deberán tener habilitadas o deshabilitadas las resistencias de pull-up según el caso. Como norma general:
 - o Si la línea es de salida: deshabilitada
 - o Si la línea es de entrada y el driver ya dispone de una: deshabilitada
 - o Si la línea es de entrada y el driver no dispone de una: habilitada

Controlador de pines de E/S

configuración



■ Resumen:

- o PCONA = 0xFE (00.1111.1110)
- o PCONB = 0x14F (001.0100.1111)
- o PCONC = 0x5FF555FF (0101.1111.1111.0101.0101.0101.1111.1111)
- o PCOND = 0xAAAA (1010.1010.1010.1010)
- o PCONE = 0x255A9 (10.0101.0101.0110.1001)
- o PCONF = 0x251A (00.0000.0010.0101.0001.1010)
- o PCONG = 0xF5FF (1111.0101.1111.1111)
- o EXTINT = 0x22000220 (X010.X010.X000.X000.X000.X010.X010.X000)
- o SPUCR = 0x7 (111)
- o PUPC = 0x94FB (1001.0100.1111.1011)
- o PUPD = 0xFF (1111.1111)
- o PUPE = 0xFB (1111.1011)
- o PUPF = 0x74 (0.0111.0100)
- o PUPG = 0x30 (0011.0000)

Mapa de puertos



10	9	8	7	6	5	4	3	2	1	0
-----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------

<i>audio</i>	<i>libre</i>	<i>bus</i>	<i>bus</i>	<i>bus</i>	<i>bus</i>	<i>bus</i>	<i>bus</i>	<i>bus</i>	<i>bus</i>	<i>libre</i>
L3DATA	J10-P29	ADDR₂₂	ADDR₂₁	ADDR₂₀	ADDR₁₉	ADDR₁₈	ADDR₁₇	ADDR₁₆	ADDR₁₅	J10-P7
<i>out</i>	<i>(out)</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>(out)</i>

A

<i>leds</i>	<i>leds</i>	<i>keypad</i>	<i>libre</i>	<i>varios</i>	<i>audio</i>	<i>audio</i>	<i>bus</i>	<i>bus</i>	<i>bus</i>	<i>bus</i>
LED DER	LED IZQ	nGCS3	J11-P7	nGCS1	L3CLOCK	L3MODE	nSRAS	nSCAS	SCLK	SCKE
<i>out</i>	<i>out</i>	<i>interna</i>	<i>(out)</i>	<i>interna</i>	<i>out</i>	<i>out</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>

B

<i>libre</i>	<i>libre</i>	<i>libre</i>	<i>libre</i>	<i>audio</i>	<i>audio</i>	<i>audio</i>	<i>audio</i>
J13-P28	J13-P27	J13-P26	J13-P25	IISCLK	IISDI	IISDO	IISLRCK
<i>(out)</i>	<i>(out)</i>	<i>(out)</i>	<i>(out)</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>

C
lsb

15	14	13	12	11	10	9	8
-----------	-----------	-----------	-----------	-----------	-----------	----------	----------

<i>libre</i>	<i>libre</i>	<i>uart-1</i>	<i>uart-1</i>	<i>uart-1</i>	<i>uart-1</i>	<i>libre</i>	<i>libre</i>
J13-37	J13-36	RxD₁	TxD₁	CTS₁	RTS₁	J13-31	J13-30
<i>(out)</i>	<i>(out)</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>(out)</i>	<i>(out)</i>

C
msb

Mapa de puertos



8	7	6	5	4	3	2	1	0
----------	----------	----------	----------	----------	----------	----------	----------	----------

<i>lcd</i>	<i>lcd</i>	<i>lcd</i>	<i>lcd</i>	<i>lcd</i>	<i>lcd</i>	<i>lcd</i>	<i>lcd</i>
VFRAME	VM	VLIN	VCLK	VD3	VD2	VD1	VD0
<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>

D

<i>audio</i>	<i>touchscreen</i>	<i>touchscreen</i>	<i>touchscreen</i>	<i>touchscreen</i>	<i>timer-0</i>	<i>uart-0</i>	<i>uart-0</i>	<i>libre</i>
CODECLK	Y-	X-	Y+	X+	TOUT₀	RxD₀	TxD₀	J11-P13
<i>interna</i>	<i>out</i>	<i>out</i>	<i>out</i>	<i>out</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>(out)</i>

E

<i>jumpers</i>	<i>jumpers</i>	<i>disk</i>	<i>disk</i>	<i>disk</i>	<i>disk</i>	<i>libre</i>	<i>eeeprom</i>	<i>eeeprom</i>
SW3	SW4	ALE	CLE	CE	R/B	J11-P19	IICSDA	IICSCL
<i>in</i>	<i>in</i>	<i>out</i>	<i>out</i>	<i>out</i>	<i>in</i>	<i>(out)</i>	<i>interna</i>	<i>interna</i>

F

<i>pulsador der.</i>	<i>pulsador izq.</i>	<i>libre</i>	<i>libre</i>	<i>ethernet</i>	<i>touchscreen</i>	<i>keypad</i>	<i>usb</i>
EINT₇	EINT₆	J11-P28	J11-P27	EINT₃	EINT₂	EINT₁	EINT₀
<i>interna</i>	<i>interna</i>	<i>(out)</i>	<i>(out)</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>	<i>interna</i>

G

Controlador de cache

configuración: cache deshabilitada



- **Cache:** deshabilitada
 - o SYSCFG[2:1] = 0 **cache deshabilitada**
 - o SYSCFG[3] = 0 **write buffer deshabilitado**
- **Otras opciones:** las recomendadas
 - o SYSCFG[5] = 0
 - o SYSCFG[4] = 0
 - o SYSCFG[0] = 0

- **Resumen:**
 - o **SYSCFG** = **0x0** (XX00.0000)

Controlador de cache

configuración: cache habilitada



- **Cache:** 8KB con write buffer habilitado
 - o SYSCFG[2:1] = 3 **cache 8 KB habilitada**
 - o SYSCFG[3] = 1 **write buffer habilitado**
- **Otras opciones:** las recomendadas
 - o SYSCFG[5] = 0
 - o SYSCFG[4] = 0
 - o SYSCFG[0] = 0
- **Región no cacheable:** 0x02000000 – 0x0BFFFFFFF (ocupada por dispositivos externos mapeados en memoria)
 - o NCACHBE0[31:16] = 0xC000 **end address = (0x0BFFFFFFF + 1) / 4 KB**
 - o NCACHBE0[15..0] = 0x2000 **start adress = (0x02000000) / 4 KB**
- Si se usa DMA, los búferes habrá que identificarlos como no cacheables.

- **Resumen:**
 - o **SYSCFG** = **0xE** (XX00.1110)
 - o **NCACHBE0** = **0xC0002000**

Mapa físico de memoria



banco	dir. inicio	dir. fin	tamaño	contenido
0	0x00000000	0x001FFFFFFF	2 MB	ROM Flash
	0x00200000	0x01BFFFFFFF	26 MB	vacíos
	0x01C00000	0x01FFFFFFF	4 MB	dispositivos internos
1	0x02000000	0x03FFFFFFF	32 MB	dispositivos externos
2	0x04000000	0x05FFFFFFF	32 MB	vacíos
3	0x06000000	0x07FFFFFFF	32 MB	teclado
4	0x08000000	0x09FFFFFFF	32 MB	vacíos
5	0x0A000000	0x0BFFFFFFF	32 MB	vacíos
6	0x0C000000	0x0C7FFFFFFF	8 MB	SDRAM
	0x0C800000	0x0DFFFFFFF	24 MB	vacíos
7	0x0E000000	0x0FFFFFFF	32 MB	vacíos
interna	0x10000000	0x10001FFF	8 KB	scratchpad (contigua)
interna	0x10002000	0x100047F0	2,5 KB	scratchpad (no contigua)

según
configuración

Tiempos de acceso a memorias

lectura aleatoria: MCLK = 64 MHz



tipo	# bits	acción	ciclos
SRAM interna	32b	lectura dato	1
Flash ROM	16b	lectura dato	90 ns 6
SDRAM	16b	total	7
		latencia (*)	6
		lectura dato	1
Solid State Disk	8b	total	645
no se tiene en cuenta los ciclos requeridos por la ejecución de instrucciones		latencia (*)	
		escritura comando	70 ns 4
		escritura dirección	3×70 ns 12
		precarga página	10 μs 625
		lectura de dato	70 ns 4
I2C EEPROM (SCL = 250 KHz)	8b	total	9750
no se tiene en cuenta los ciclos requeridos por la ejecución de instrucciones		latencia (*)	
		start condition	1×4μs 250
		escritura dispositivo	(8+1)×4μs 2250
		escritura dirección	(8+1)×4μs 2250
		start condition	1×4μs 250
		escritura dispositivo	(8+1)×4μs 2250
		lectura de dato	(8+1)×4μs 2250
		stop condition	1×4μs 250

(*) En lecturas secuenciales en solo
debe computarse una vez por ráfaga

Árbitro de bus

configuración



- Prioridad entre maestros: fija
 - o SBUSCON[1] = 1
 - Prioridades relativas: LCD > ZDMA > BDMA > INTR
 - o SBUSCON[7:6] = 0 LCD primero
 - o SBUSCON[5:4] = 1 ZDMA segundo
 - o SBUSCON[3:2] = 2 BDMA tercero
 - o SBUSCON[1:0] = 3 INTR cuarto
 - Esta es la configuración inicial tras reset.
- Resumen:
 - o SBUSCON = 0x8000001B (1XXX.XXXX.XXXX.XXXX.XXXX.XXXX.0001.1011)

Otros dispositivos

configuración



- Hemos configurado el mínimo conjunto de dispositivos (internos) para hacer que el sistema sea mínimamente operativo:
 - **Gestor de reloj y energía:** para fijar la frecuencia de reloj del sistema.
 - **Controlador de memoria:** para que la CPU pueda leer/escribir en memorias externas.
 - **Controlador de pines de E/S:** para poder comunicar con dispositivos externos.
 - **Controlador de cache:** para fijar la política de catching.
 - **Árbitro de bus:** para fijar las prioridades relativas de los másteres del bus del sistema.
- La configuración de los restantes dispositivos (tanto internos como externos) es muy dependiente de aplicación.
 - Se realizará individualmente en los laboratorios.



Acerca de *Creative Commons*



■ Licencia CC (*Creative Commons*)

o Ofrece algunos derechos a terceras personas bajo ciertas condiciones. Este documento tiene establecidas las siguientes:



Reconocimiento (*Attribution*):

En cualquier explotación de la obra autorizada por la licencia hará falta reconocer la autoría.



No comercial (*Non commercial*):

La explotación de la obra queda limitada a usos no comerciales.



Compartir igual (*Share alike*):

La explotación autorizada incluye la creación de obras derivadas siempre que mantengan la misma licencia al ser divulgadas.

Más información: <https://creativecommons.org/licenses/by-nc-sa/4.0/>