



Laboratorio 10:

Diseños monociclo vs. multiciclo

transmisión y procesamiento de sonido muestreado por bus IIS

Diseño automático de sistemas

José Manuel Mendías Cuadros

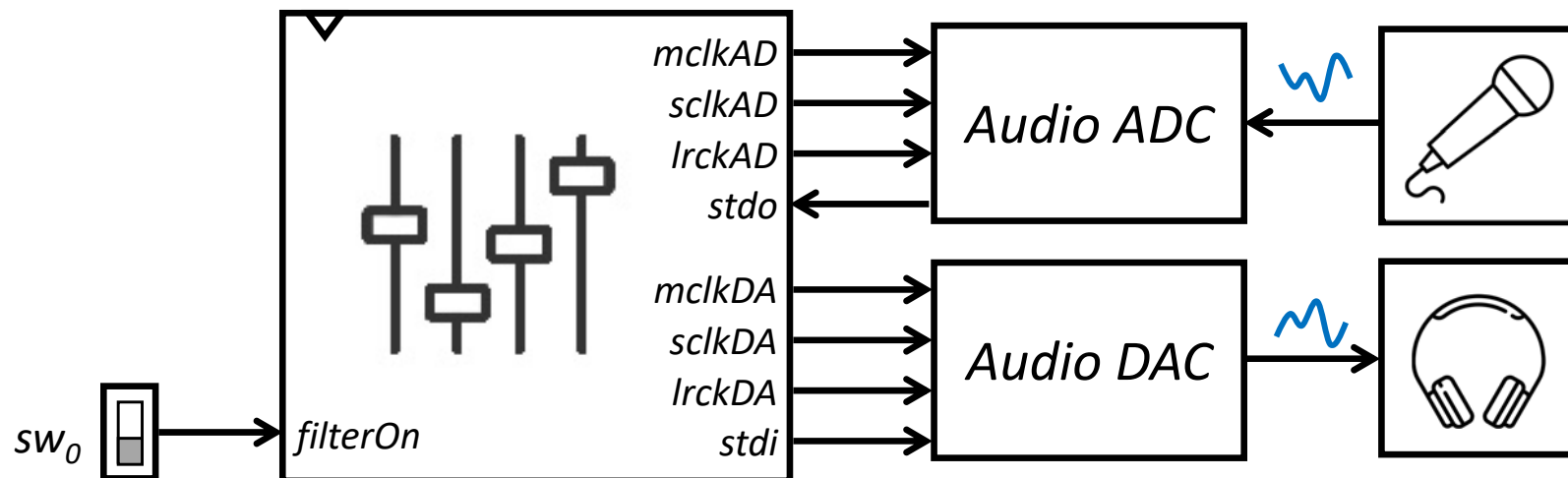
*Dpto. Arquitectura de Computadores y Automática
Universidad Complutense de Madrid*



Presentación



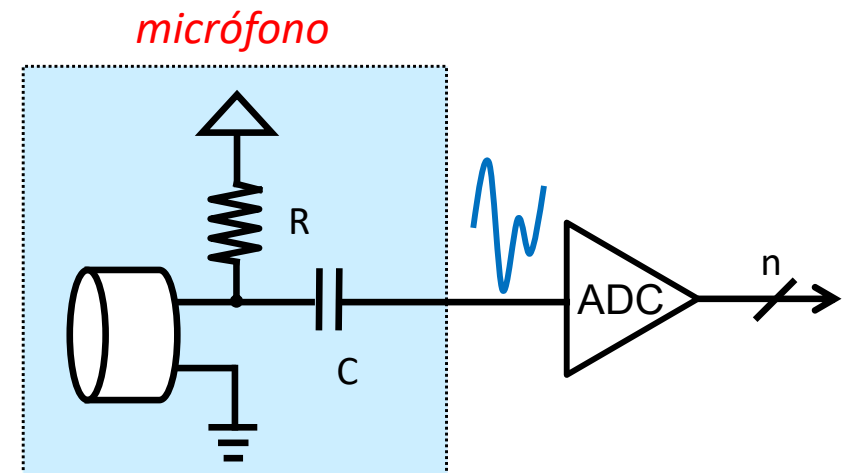
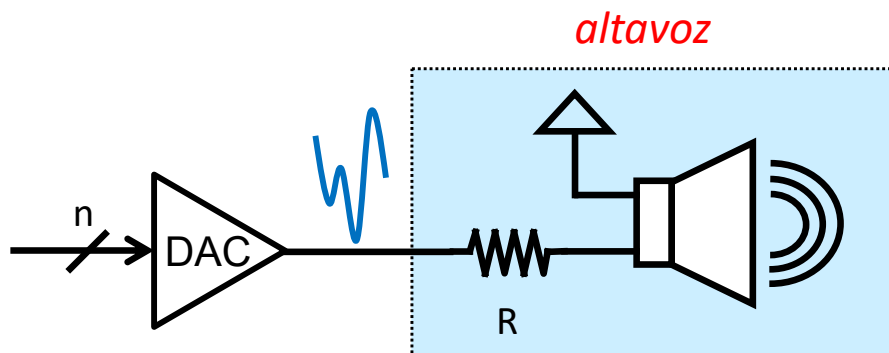
- Diseñar un **procesador digital de sonido** muestreado elemental.
 - En **tiempo real** eliminará una frecuencia parásita de una señal de audio digital.
 - Mediante un **filtro notch** de características configurables.
 - Para **recibir/enviar** muestras de sonido usarán **audio CODECs**.
 - Su comportamiento será diferente según el valor del switch 0:
 - Si 0, se envían las mismas muestras que se reciben (escuchándose en **audio original**).
 - Si 1, se envían las muestras recibidas una vez filtradas (escuchándose en **audio procesado**).





Sonido muestreado

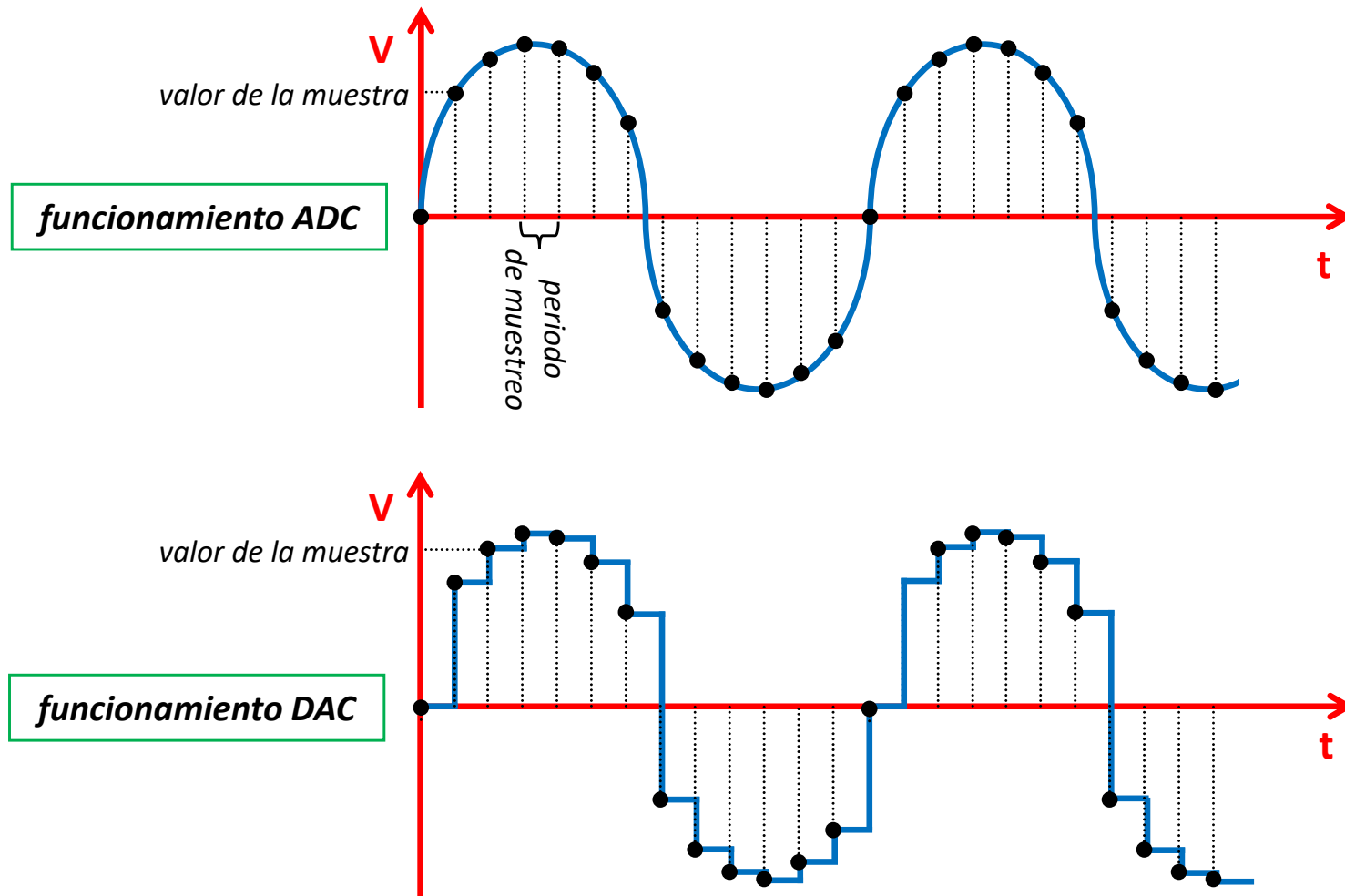
- Un **sistema digital puede generar sonidos** a través de un altavoz.
 - Generando una **señal digital periódica** a través de uno de sus pines.
 - Sin embargo, con un bit sólo se pueden generar ondas cuadradas que varíen entre 2 niveles eléctricos.
 - De esta manera sólo puede controlar el tono (frecuencia) del sonido, pero no el volumen (amplitud) ni el timbre (forma) del mismo.
 - Para poder generar ondas con mayor riqueza es necesario disponer de un **convertor digital/analógico**.
- Un **sistema digital puede captar sonidos** a través de un micrófono.
 - Leyendo la señal eléctrica que genera usando un **convertor analógico/digital**





Sonido muestreado

- Generalmente los DAC/ADC se escriben/leen a una frecuencia fija denominada **frecuencia de muestreo (f_s)**



Audio CODEC



- Un **audio CODEC** es un DAC/ADC especializado en el muestreo y generación de señales dentro del rango de frecuencias audibles.
 - Las señales que muestrea son señales eléctricas analógicas generadas a partir de ondas sonoras captadas por un micrófono, o generadas por un sistema de audio.
 - Las señales que genera son señales eléctricas analógicas que pueden transformarse en ondas sonoras a través de un altavoz, o ser procesadas por un sistema de audio.
- **Elementos de un CODEC:**
 - **Frecuencia de muestreo (f_s)**: su inversa define el intervalo que transcurre entre 2 muestras consecutivas.
 - 8.000 Hz Teléfono
 - 16.000 Hz Voz IP
 - 32.000 Hz mini DV
 - 44.100 Hz audio CD
 - 48.000 Hz DVD
 - 96.000 Hz HD-DVD
 - **Número de canales**: número de señales que es capaz de muestrear/generar simultáneamente.
 - 1 canal (codec mono) o 2 canales (codec estéreo).
 - **Resolución**: número de bits usados para codificar el valor de cada muestra.
 - Típicamente representados en C2



Audio CODEC

transmisión de muestras por bus IIS

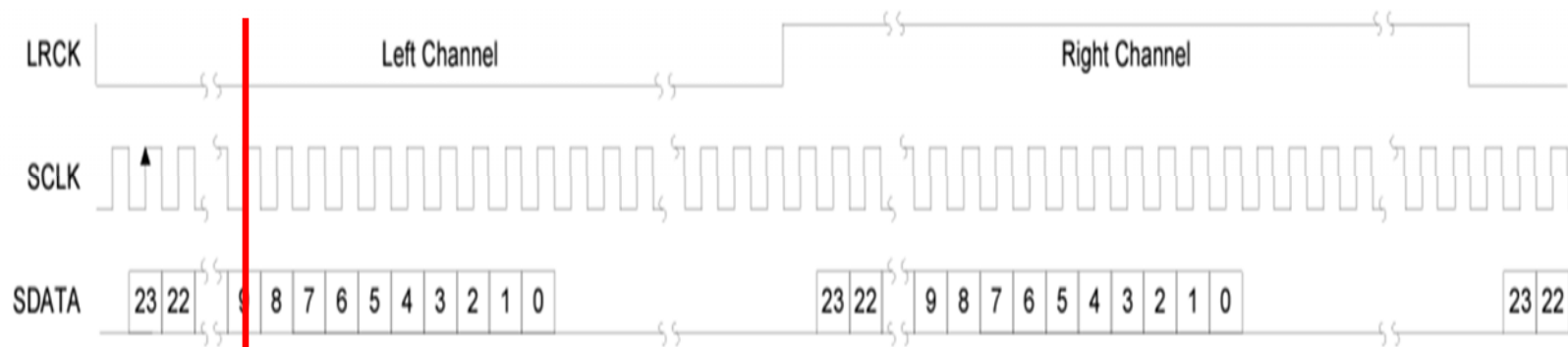
- **IIS** (Integrated Interchip Sound) es un **bus serie síncrono** para la transmisión de audio estéreo entre dispositivos digitales.
 - Tiene 2 líneas unidireccionales de datos serie: **SDTI** (entrada) y **SDTO** (salida).
 - Permite el envío/recepción simultánea de muestras de sonido.
 - Tiene 3 líneas de reloj: **SCLK** (transmisión de datos serie), **LRCK** (selección de canal izquierdo/derecho), **MCLK** (reloj principal).
 - Todos los datos transmitidos están codificados en C2 (MSB first) con un número de bits no definido (depende del emisor/receptor).
 - Los datos serán truncados o extendidos con 0 según convenga en el emisor/receptor.
 - Las frecuencias de los relojes **se definen relativas a la frecuencia de muestreo (f_s)**
 - $f_{LRCK} = f_s$
 - $f_{SCLK} > (\text{bits/muestra}) \times (\text{número de canales}) \times f_s$
 - $f_{MCLK} = \{ 256 \cdot f_s / 384 \cdot f_s / 512 \cdot f_s \}$
- **Protocolo**
 - La transmisión de datos es continua.
 - El maestro genera las señales de reloj.
 - Emisor y receptor generan las señales de datos de audio alternando muestras del canal izquierdo y derecho.

Audio ADC / DAC

CS5343 / CS4344



- El **audio ADC CS5343** permite convertir **audio analógico en digital**.
- El **audio DAC CS4344** permite convertir **audio digital en analógico**.
- En ambos códecs las muestras:
 - Se codifican en **C2 de 24 bits**
 - Se transmiten centradas en el **flanco de subida de SCLK**, primero **MSB** y según un cronograma fijo.
 - Lo hacen en un amplio rango de relaciones entre frecuencias.

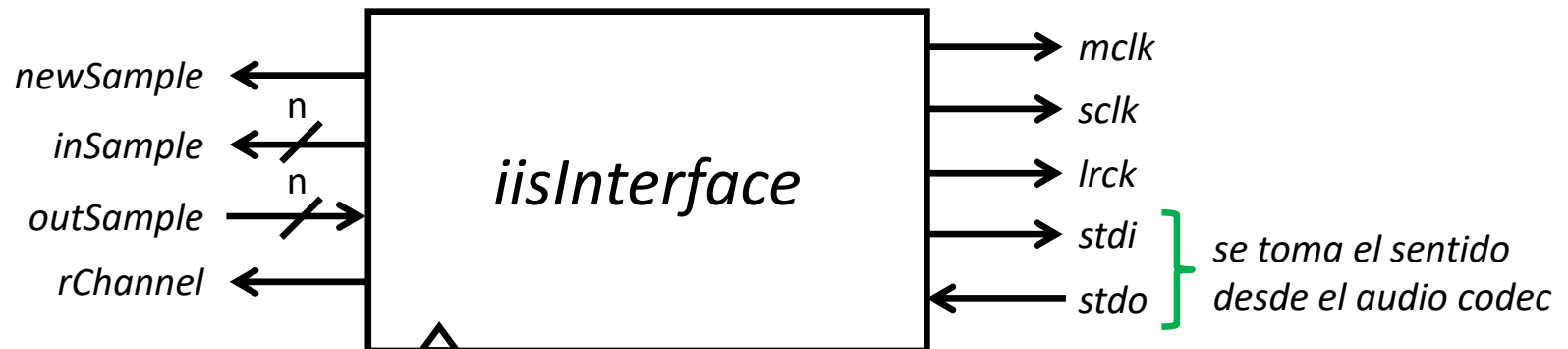


Interfaz IIS

presentación

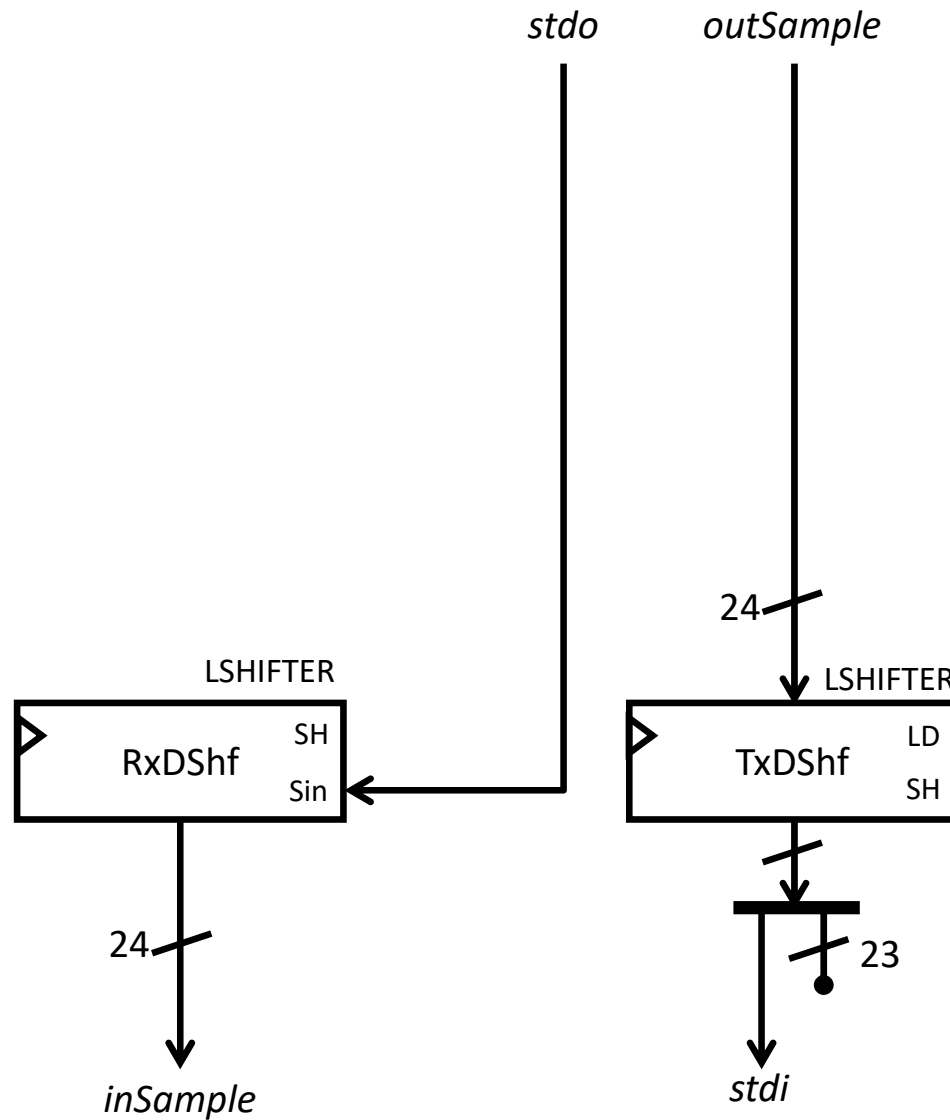


- Diseñar un interfaz IIS elemental que constantemente:
 - o Convierta de **serie a paralelo cada dato muestra** recibida por el bus IIS.
 - o Convierta de **paralelo a serie cada muestra** a transmitir por el bus IIS.
 - o Por cada nueva muestra **activará durante un ciclo** la señal de strobe **newSample**.
 - o Generará las señales de sincronización a las siguientes relaciones entre frecuencias:
 - $f_{LRCLK} = f_s = 48,8 \text{ KHz}$
 - $f_{SCLK} = 64 \cdot f_s = 3.125 \text{ MHz}$
 - $f_{MCLK} = 256 \cdot f_s = 12.5 \text{ MHz}$



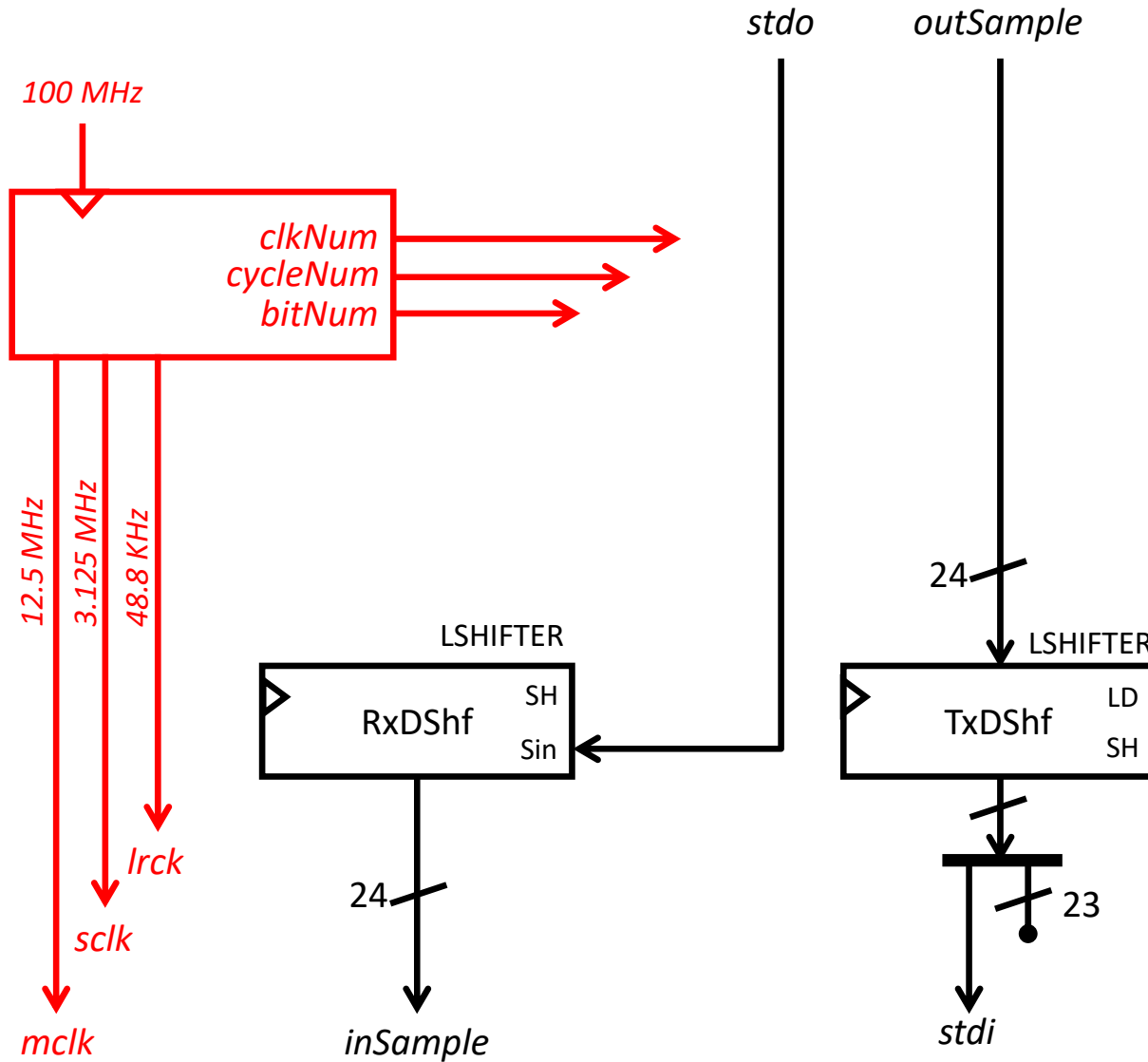
Interfaz IIS

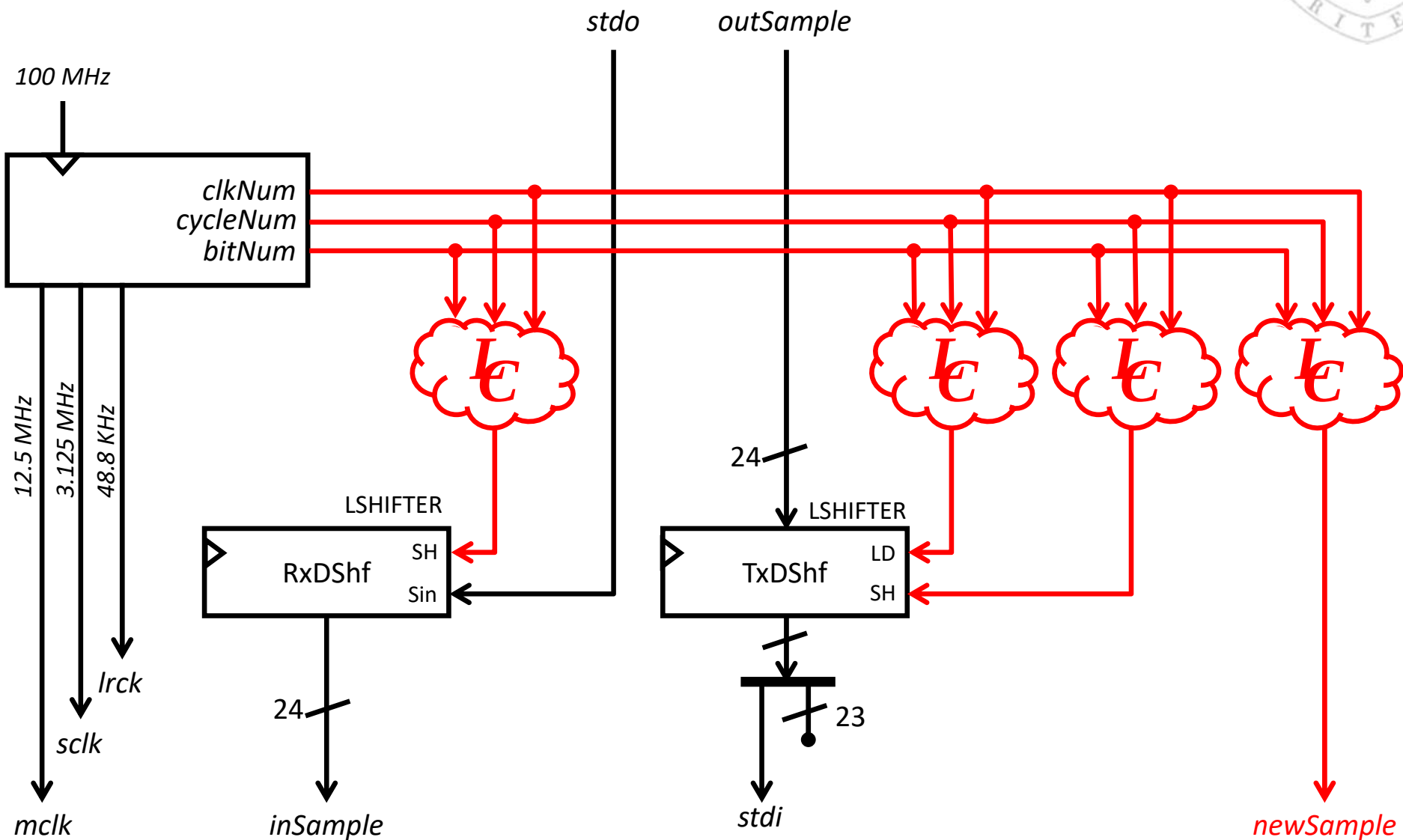
esquema RTL (i)



Interfaz IIS

esquema RTL (i)





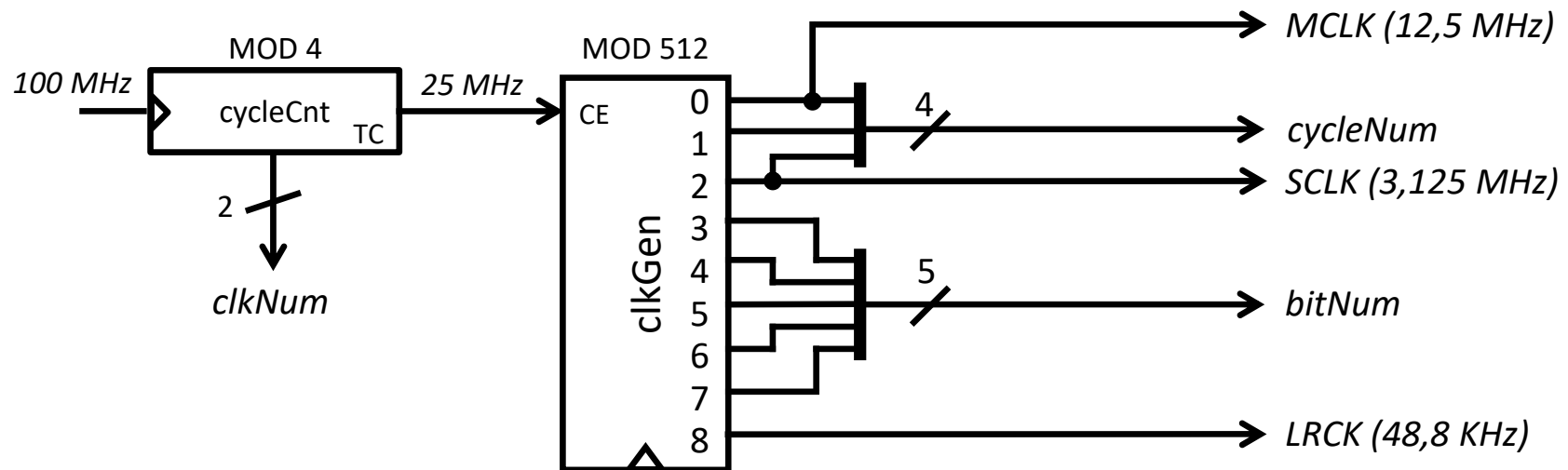


Interfaz IIS

esquema RTL (ii)

- Dado que la relación entre las frecuencias de los relojes es fija, **pueden derivarse** a partir de la señal de **reloj principal**:

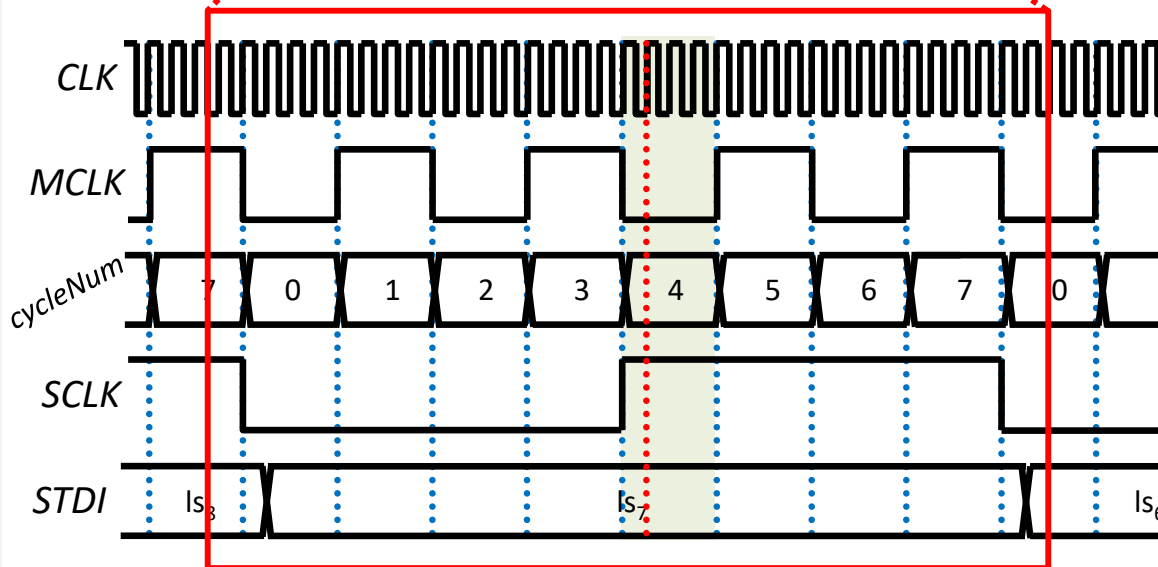
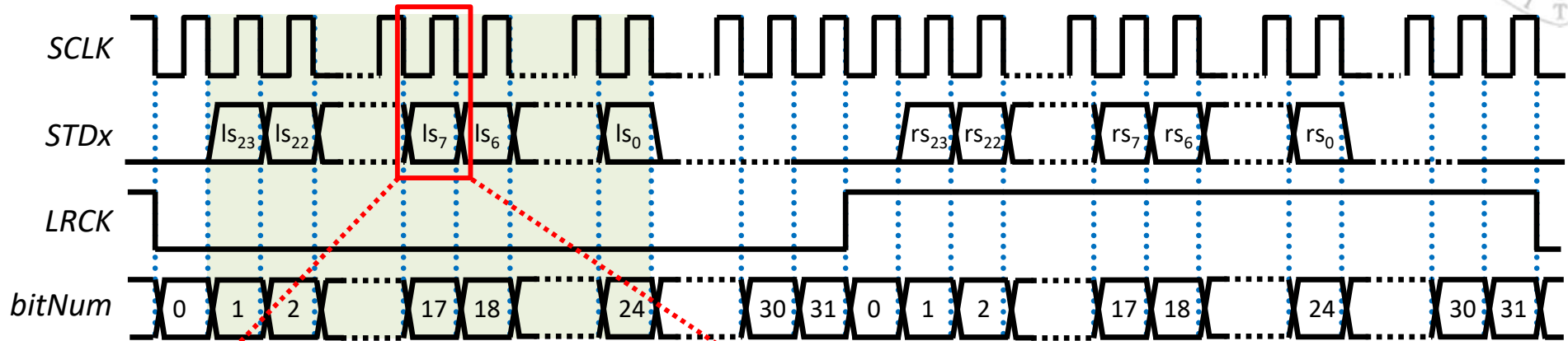
○ f_{LRCLK}	= fs	= 48,8 KHz	= $f_{CLK} \div 8 \div 4 \div 64 = f_{CLK} \div 8 \div 256$
○ f_{SCLK}	= 64·fs	= 3.125 MHz	= $f_{CLK} \div 8 \div 4$
○ f_{MCLK}	= 256·fs	= 12.5 MHz	= $f_{CLK} \div 8$





Interfaz IIS

esquema RTL (iii)

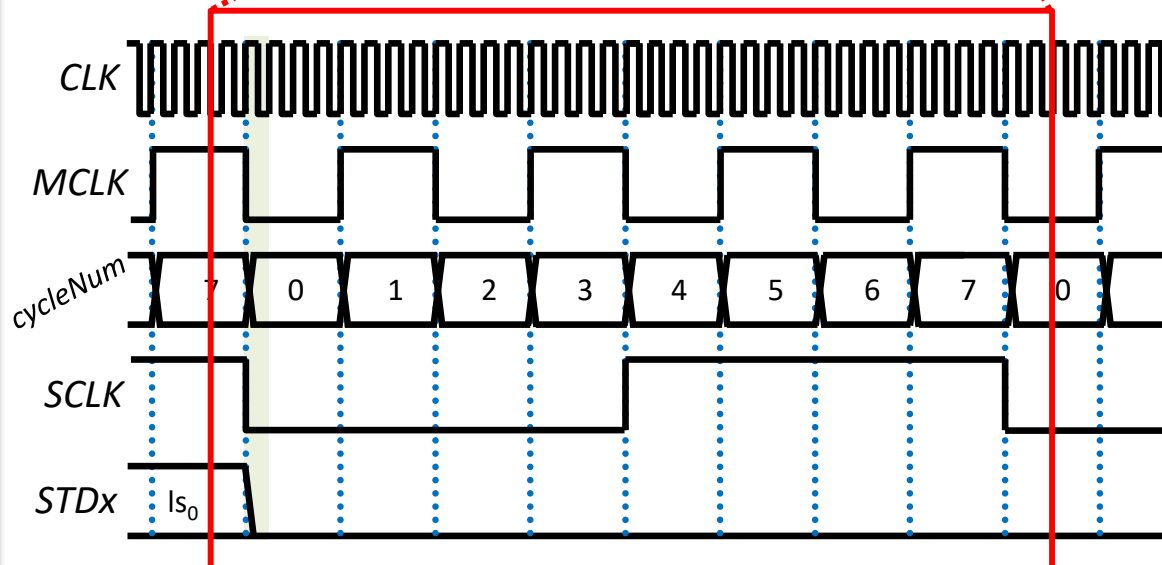
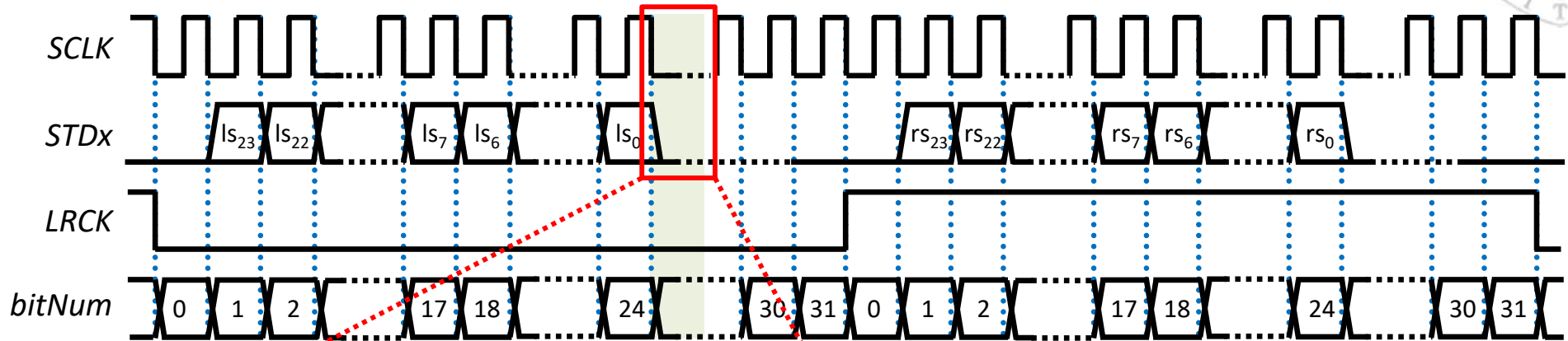


RxDshf debe **desplazar** cuando:

- En *STDO* haya datos válidos:
 - $bitNum \geq 1$ y $bitNum \leq 24$
- Cerca del flanco de subida de *SCLK* :
 - $cycleNum = 4$
- Solo una vez por muestra:
 - $clkNum = 0$

Interfaz IIS

esquema RTL (v)



newSample debe **activarse** cuando:

- Finalice la conversión serie/paralelo:
o **bitNum = 25** y **cycleNum = 0**
- Un ciclo por muestra:
o **clkNum = 0**

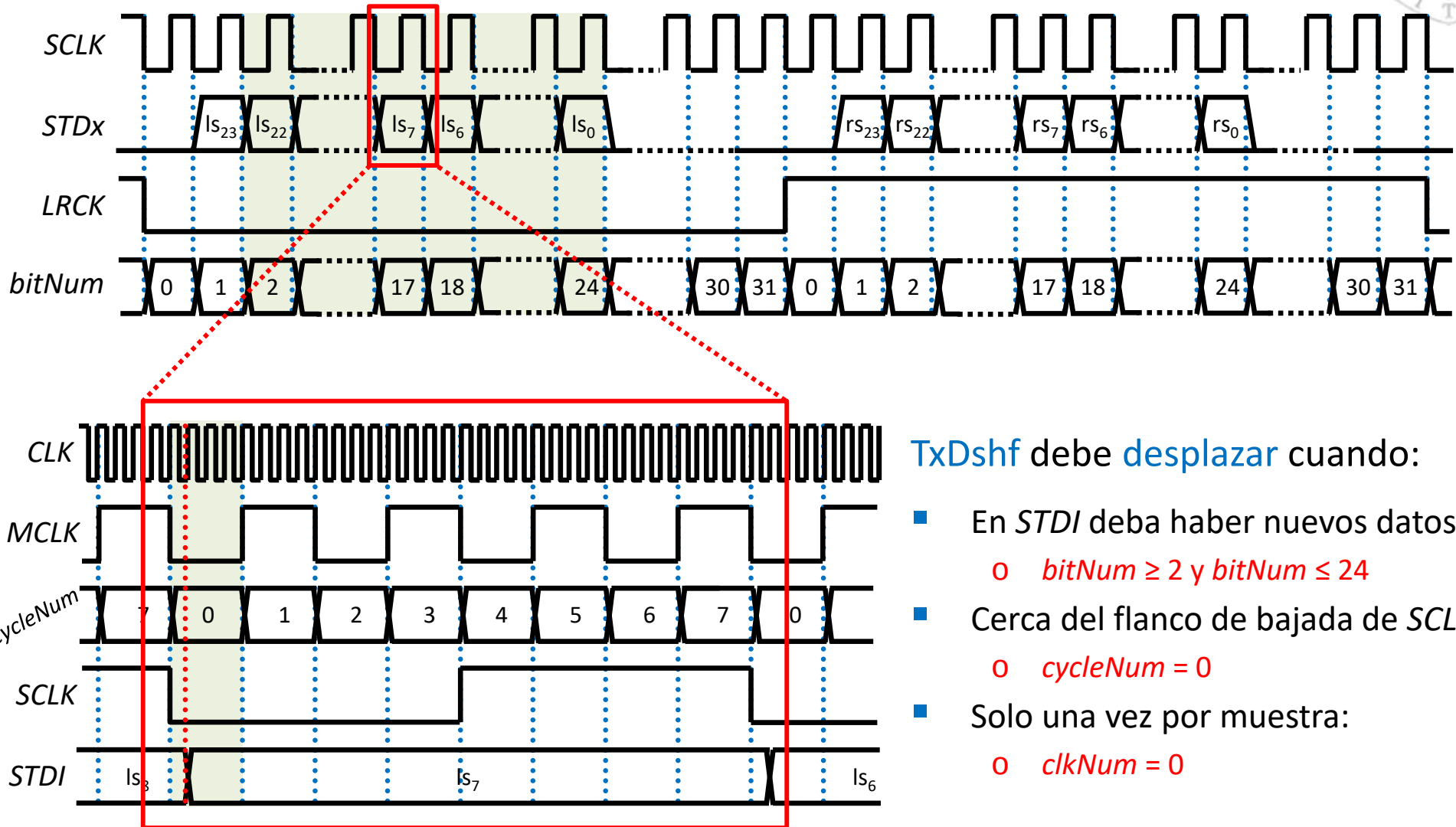
TxDshf puede **cargar** en sincronía con la activación de **newSample**.

- pero cargará la muestra derecha cuando haya llegado la muestra izquierda.



Interfaz IIS

esquema RTL (iv)

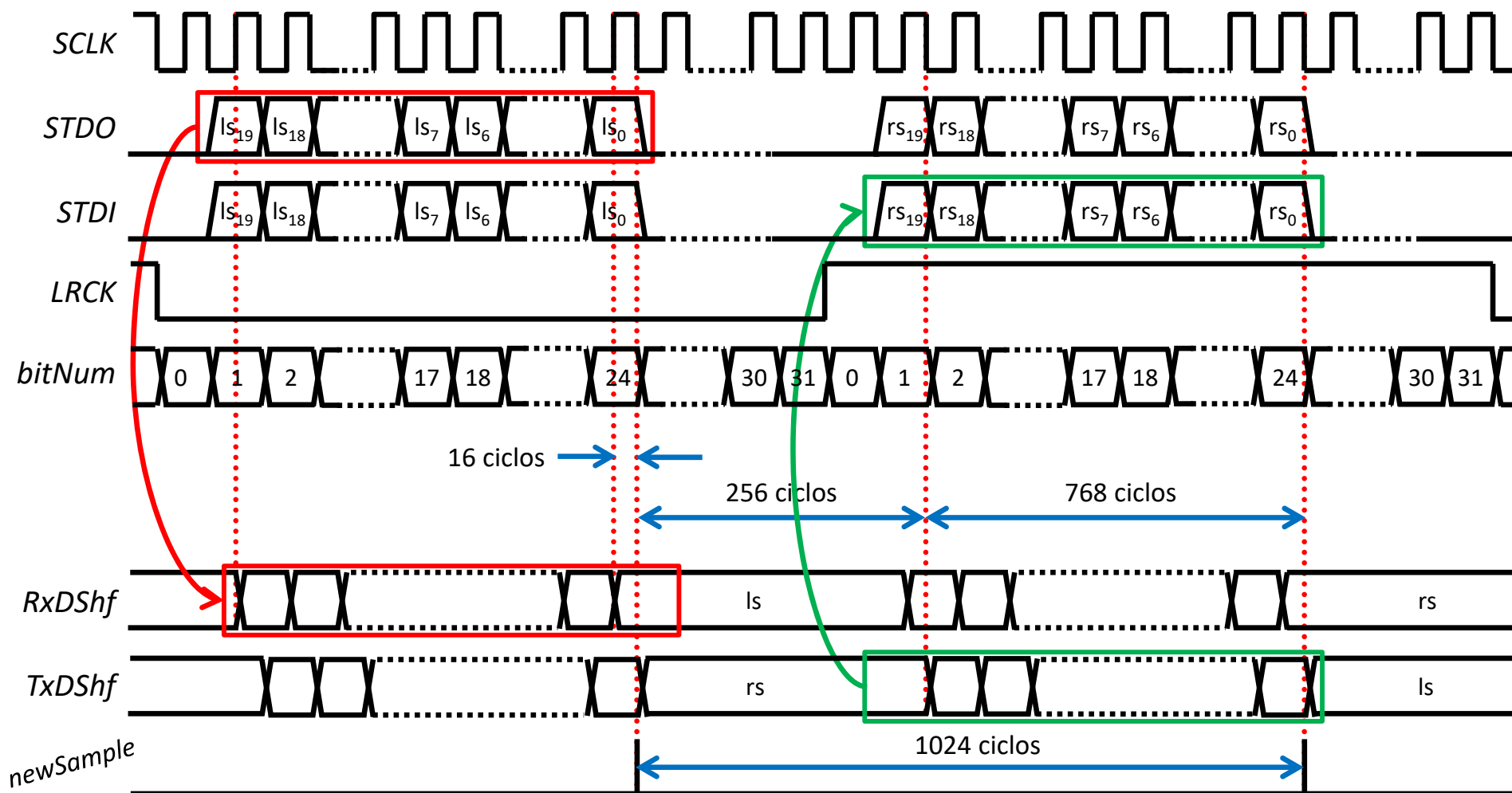


TxDshf debe **desplazar** cuando:

- En *STDI* deba haber nuevos datos:
o $bitNum \geq 2$ y $bitNum \leq 24$
- Cerca del flanco de bajada de *SCLK*:
o $cycleNum = 0$
- Solo una vez por muestra:
o $clkNum = 0$

Interfaz IIS

análisis del comportamiento

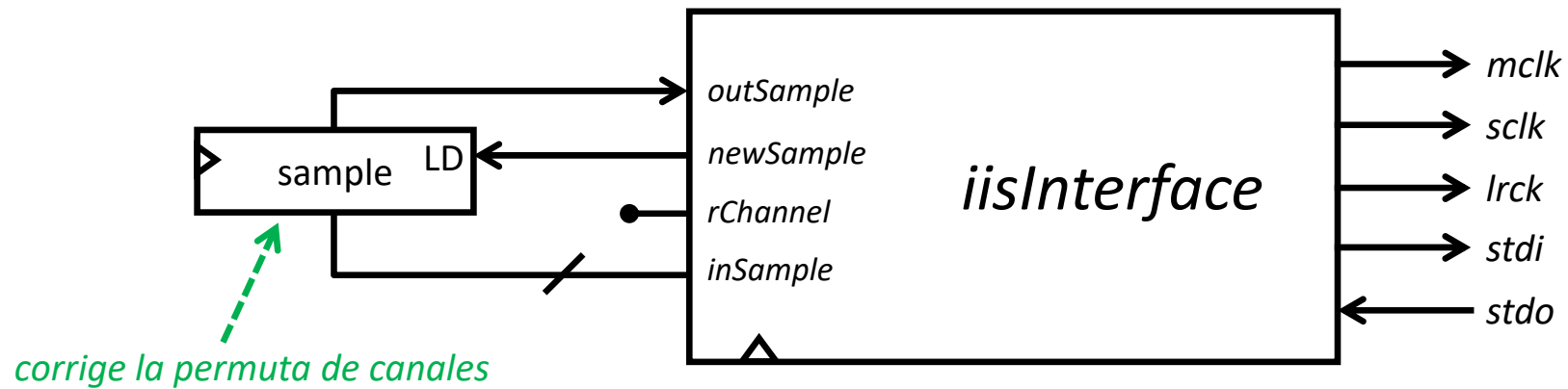




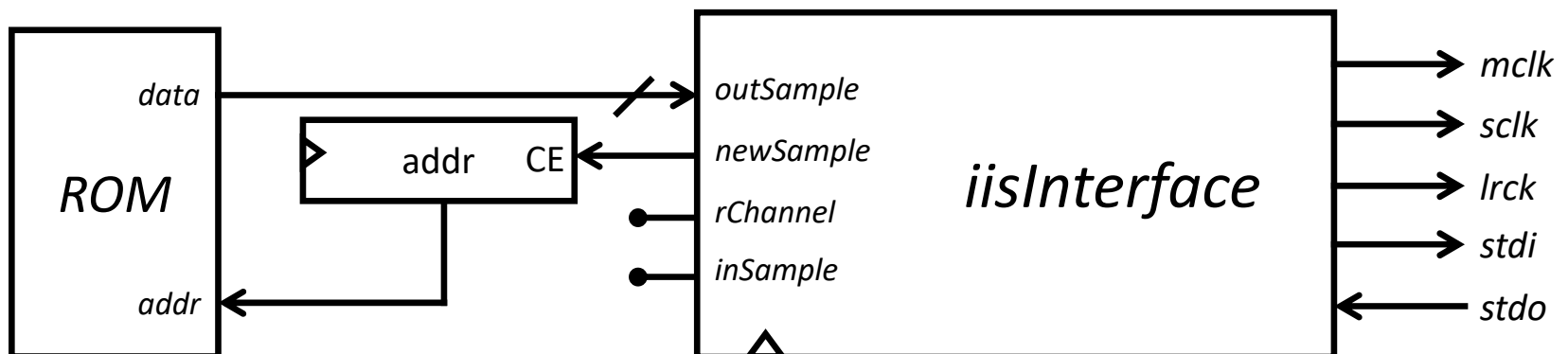
Interfaz IIS

aplicación al diseño

- Para realizar un loopback bastaría:



- Para reproducir un sonido fijo almacenado bastaría:

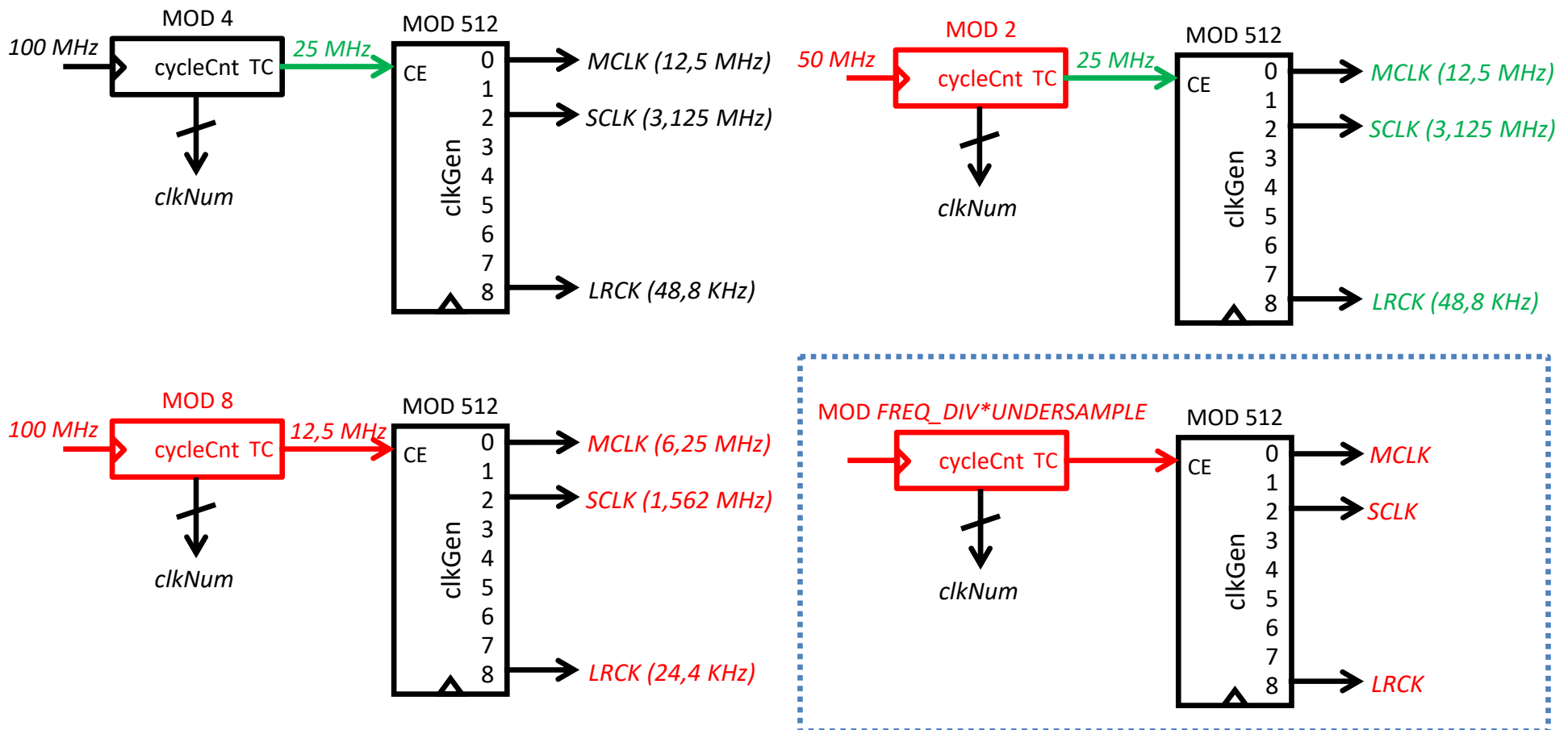


Interfaz IIS

generalización de la frecuencia de muestreo



- Ajustando el límite de cycleCnt puede generalizarse el diseño para que:
 - Pueda funcionar con diferentes frecuencias de reloj
 - Pueda muestrear las señales a diferentes frecuencias.

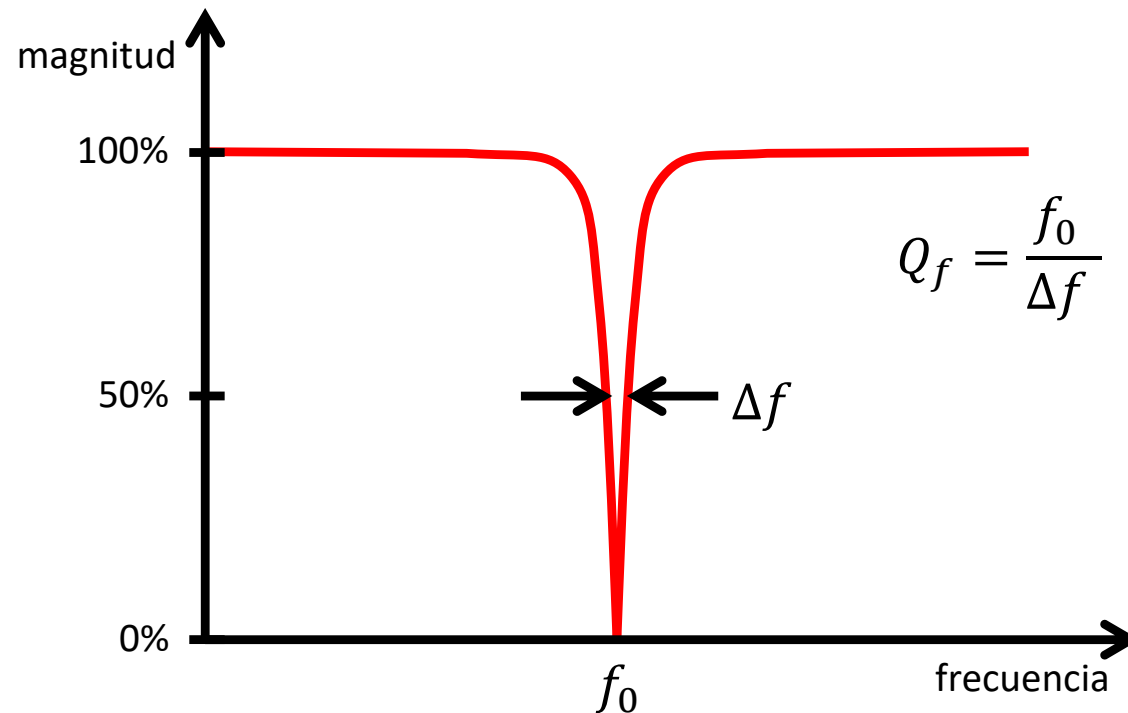


Filtro notch

presentación



- Un **notch filter** es un filtro que atenúa las frecuencias en un rango muy estrecho dado y deja inalteradas el resto de frecuencias de una señal.
 - Se usa para eliminar interferencias (p.e. la causada por la alimentación alterna)
- Su comportamiento suele definirse en base a 2 parámetros
 - **Frecuencia de corte** (f_0): frecuencia en la que se consigue la máxima atenuación.
 - **Factor de calidad** (Q_f): medida de la estrechez de la banda que filtra.



Filtro notch

especificación (i)



- Un notch filter puede implementarse como un filtro IIR de 2do. orden con la siguiente función de transferencia.

$$H(z) = k \frac{1 - 2 \cos(\omega_0) z^{-1} + z^{-2}}{1 - 2k \cos(\omega_0) z^{-1} + (2k - 1)z^{-2}} \quad \text{donde: } \omega_0 = 2\pi \frac{f_0}{f_s} \quad k = \frac{1}{1 + \tan(\frac{\omega_0}{2 \cdot Q_f})}$$

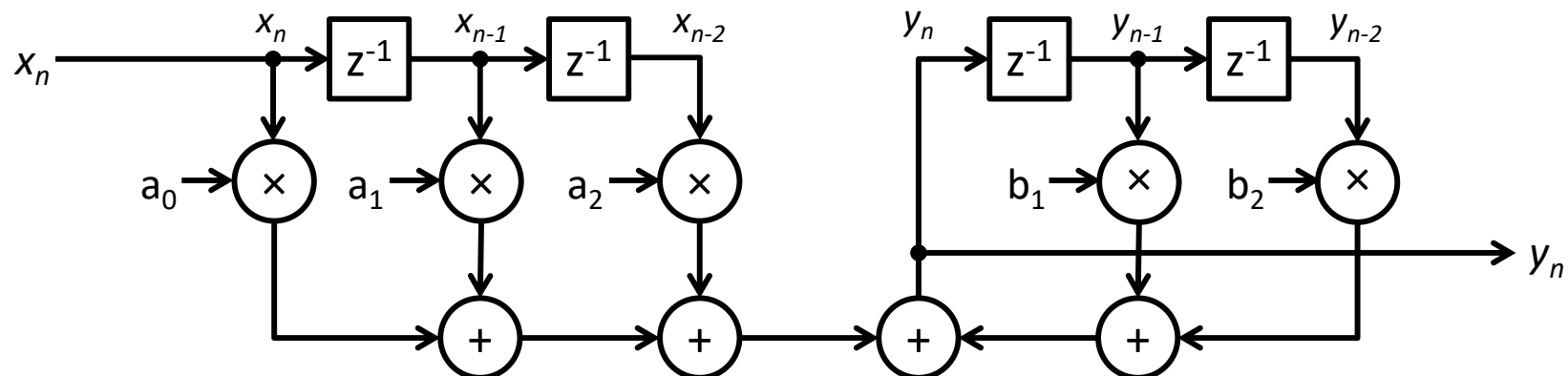
- Que para su implementación se expresa como:

o Ecuación de diferencias:

$$y_n = a_0 x_n + a_1 x_{n-1} + a_2 x_{n-2} + b_1 y_{n-1} + b_2 y_{n-2}$$

$$\begin{aligned} a_0 &= k \\ a_1 &= -2k \cos(\omega_0) \\ a_2 &= k \\ b_1 &= 2k \cos(\omega_0) \\ b_2 &= -(2k - 1) \end{aligned}$$

o Diagrama de bloques:



Filtro notch

especificación (ii)



- Así, por ejemplo, para eliminar una frecuencia de 800Hz en una señal de audio muestreado a 48.8 KHz:

$$\left. \begin{array}{l} Q_f = 60 \\ f_0 = 800 \text{ Hz} \\ f_s = 48800 \text{ Hz} \end{array} \right\} \cos\left(2\pi \frac{800}{48800}\right) = 0.9945 \quad \frac{1}{1 + \tan(\pi \frac{14}{48800})} = 0.9991$$

$$\begin{array}{lll} a_0 = k = 0.9991 & a_1 = -2k \cos(\omega_0) = -1.9872 & a_2 = k = 0.9991 \\ & b_1 = 2k \cos(\omega_0) = 1.9872 & b_2 = -(2k - 1) = -0.9982 \end{array}$$

- Podría usarse un filtro IIR con la siguiente ecuación de diferencias:

$$y_n = 0.9991 \cdot x_n + (-1.9872) \cdot x_{n-1} + 0.9991 \cdot x_{n-2} + 1.9872 \cdot y_{n-1} + (-0.9982) \cdot y_{n-2}$$

- Sin embargo, el **tipo real de VHDL no es sintetizable**. Hay 2 alternativas para implementar la ecuación:
 - o Codificar los datos en **punto flotante** y **diseñar a mano todas las FU** punto flotante.
 - o Codificar los datos en **punto fijo** y **usar las FU enteras** facilitadas por la herramienta.



Aritmética en punto fijo

representación de datos (i)

- En punto fijo, **la posición del punto** en la cadena de bits **es fija y queda implícita** en el código.
 - En los números enteros se asume que el punto está situado a la derecha del LSB

- Los números **enteros sin signo** se representan en **binario**

$$v(\underline{x}) = \sum_{i=0}^{n-1} 2^i \cdot x_i$$

0	1	1	0	1	0	1	1
---	---	---	---	---	---	---	---

107

•

← n bits →

- Los números **enteros con signo** se representan en **C2**

$$v(\underline{x}) = -2^{n-1} \cdot x_{n-1} + \sum_{i=0}^{n-2} 2^i \cdot x_i$$

0	1	1	0	1	0	1	1
---	---	---	---	---	---	---	---

+107

•

← n bits →

1	1	1	0	1	0	1	1
---	---	---	---	---	---	---	---

-21

•

← n bits →



Aritmética en punto fijo

representación de datos (ii)

- Los números **reales sin signo** se representan en punto fijo en **binario**

$$v(\underline{x}) = \sum_{i=0}^{n-1} 2^i \cdot x_i + \sum_{i=0}^{m-1} 2^{-i} \cdot x_{-i}$$

13.375

- Los números **reales con signo** se representan en punto fijo en **C2**

$$v(\underline{x}) = -2^{n-1} \cdot x_{n-1} + \sum_{i=0}^{n-2} 2^i \cdot x_i + \sum_{i=0}^{m-1} 2^{-i} \cdot x_{-i}$$

+13.375

-2.625



Aritmética en punto fijo

notación Q

- Para indicar la representación concreta de punto fijo (típicamente con signo) utilizada en un tipo de dato, se usa la **notación $Q_n.m$** , donde:
 - n es el **número de bits enteros** (excluyendo, o no, el bit de signo según convenio)
 - m es el **número de bits decimales**

0x6b (107)	0 1 1 0 1 0 1 1 signo 5 bits 3 bits	Q5.3	+13.375
0x6b (107)	0 1 1 0 1 0 1 1	Q6.2	+26.75
0x6b (107)	0 1 1 0 1 0 1 1	Q4.4	+6.6875
0x6b (107)	0 1 1 0 1 0 1 1	Q8.0	+107

- En ocasiones se usa únicamente **Q_m**
 - si la anchura de la representación se sobrentiende (8/16/32 bits)



Aritmética en punto fijo

rango vs. resolución

- El **rango representable** en punto fijo **Qn.m** es $[-2^{n-1}, 2^{n-1}-2^{-m}]$
 - o Por ejemplo, el rango representable en Q5.3 es $[-2^4, 2^4-2^{-3}] = [-16, +15,875]$
- La **resolución** en punto fijo **Qn.m** es 2^{-m} y el **error máximo de representación** $\pm 2^{-(m+1)}$
 - o Por ejemplo, en Q5.3 la resolución es $2^{-3} = 0.125$ y el error $\pm 2^{-4} = \pm 0.0625$
- Así, a tamaño de palabra fijo:
 - o Si **m** es **muy pequeño**, aumenta el error al representar números con decimales
 - o Si **m** es **muy grande**, aumenta el riesgo de overflow

representación	rango	resolución	error
Q5.3	$[-16, +15.875]$	0.125	± 0.0625
Q6.2	$[-32, +31.75]$	0.25	± 0.125
Q4.4	$[-8, +7.9375]$	0,0625	± 0.03125
Q8.0	$[-128, +127]$	1	± 0.5
Q1.7	$[-1, +0.9921875]$	0,0078125	± 0.00390625



Aritmética en punto fijo

suma y resta (i)

- Para **sumar/restar** 2 números con la misma representación $Q_n.m$
 - Al estar los puntos alineados, puede utilizarse la aritmética entera
 - Sin embargo, en general, el resultado requiere ser representado en $Q_{n+1}.m$

	0	0	0	0	1	1	1	0	Q5.3	+1.75
+	0	1	1	0	1	0	1	1	Q5.3	+13.375
	0	1	1	1	1	0	0	1	Q5.3	+15.125

CORRECTO

INCORRECTO

	0	1	1	0	0	1	0	0	Q5.3	+12.5
+	0	1	1	0	1	0	1	1	Q5.3	+13.375
	0	1	1	0	0	1	1	1	Q6.3	+25.875
	1	1	0	0	1	1	1	1	Q5.3	-6.125



Aritmética en punto fijo

suma y resta (ii)

- Cuando la representación del resultado de la suma/resta debe ser la misma que la de los operandos, existen 2 alternativas:

- **Wrap:** descartar siempre el bit mas significativo del resultado

	0	1	1	0	0	1	0	0	Q5.3	+12.5
	0	1	1	0	1	0	1	1	Q5.3	+13.375
+										
	0	1	1	0	0	1	1	1	Q5.3	-6.125

- **Saturar:** en caso de producirse overflow/underflow devolver el máximo/mínimo valor representable.

	0	1	1	0	0	1	0	0	Q5.3	+12.5
	0	1	1	0	1	0	1	1	Q5.3	+13.375
+										
	0	1	1	1	1	1	1	1	Q5.3	+15.875



Aritmética en punto fijo

suma y resta (iii)

- Si los operandos a sumar/restar tienen representaciones distintas
 - Previamente deben alinearse los puntos mediante desplazamiento (reescalado)
 - Estos desplazamientos pueden provocar overflow o pérdida de resolución

	0	0	0	0	0	1	1	1	Q6.2	+1.75
	0	0	0	0	1	1	1	0	Q5.3	+1.75
	0	1	1	0	1	0	1	1	Q5.3	+13.375
+										
	0	1	1	1	1	0	0	1	Q5.3	+15.125

	0	1	0	0	0	1	1	1	Q6.2	+17.75
INCORRECTO	1	0	0	0	1	1	1	0	Q5.3	-14.25

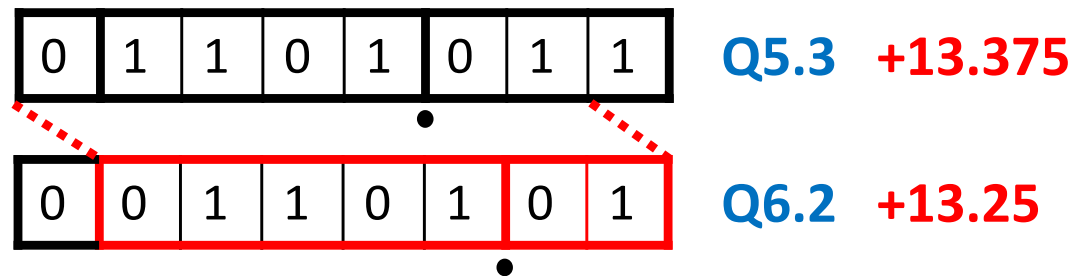


Aritmética en punto fijo

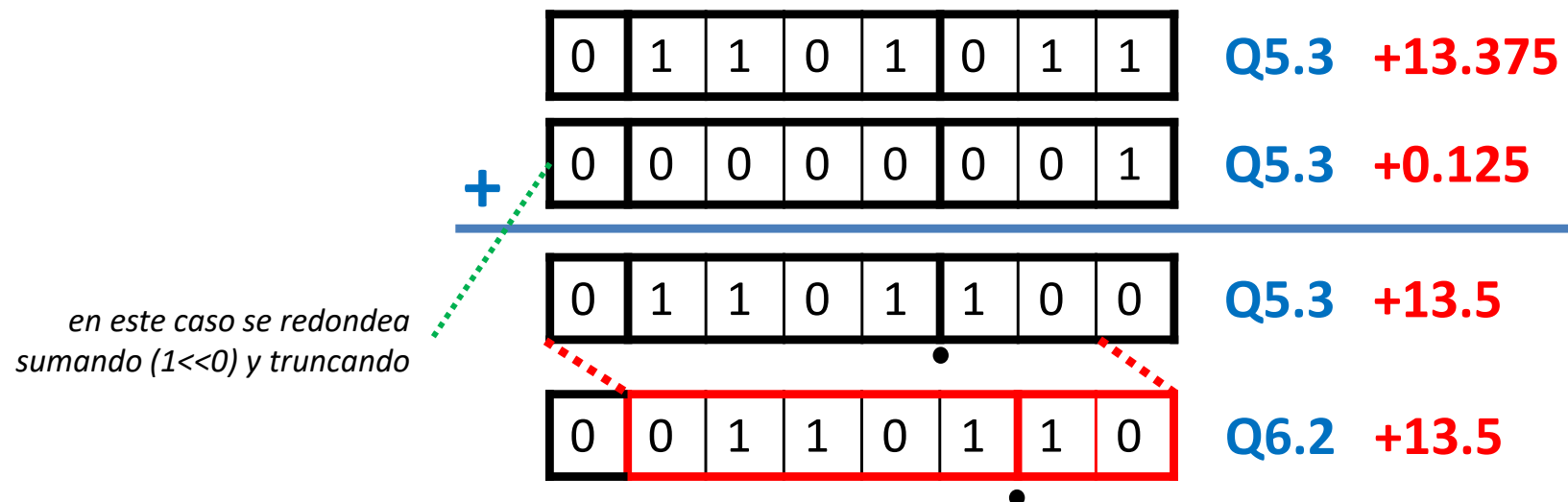
suma y resta (iv)

- Cuando el reescalado de un dato supone una pérdida de resolución, existen 2 alternativas:

○ **Truncar:** descartar siempre los bits menos significativos



○ **Redondear:** Aproximar al número representable más cercano

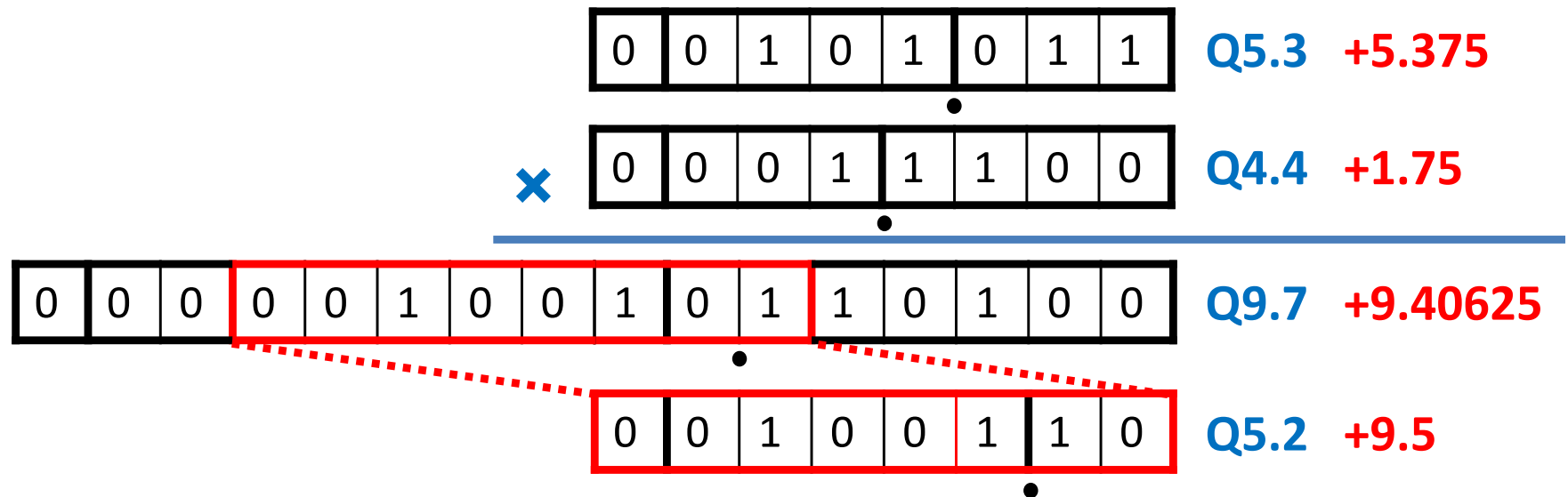




Aritmética en punto fijo

multiplicación y división (ii)

- Si los operandos tienen representaciones distintas
 - La corrección de escala se ajusta según el número de bits decimales de cada uno.
 - Por ejemplo, para multiplicar 2 números en formato $Q_{n_1}.m_1$ y $Q_{n_2}.m_2$ de manera que el resultado quede en formato $Q_{n_3}.m_3$
 - $Z = (X \cdot Y) \gg m_1 + m_2 - m_3$





Aritmética en punto fijo

uso en VHDL (i)

- VHDL'87/93 no soporta nativamente el punto fijo, por ello es necesario:
 - o Declarar las **señales, variables y constantes de tipo signed/unsigned**.
 - El tipo elegido deberá ser lo suficientemente ancho para contener los datos.
 - La posición del punto quedará implícita y podrá ser diferente para cada dato
 - o Usar los **operadores convencionales** (definidos en el paquete numeric_std)
 - Teniendo en cuenta los factores de escala a usar en cada operación aritmética.
 - Redondeando / truncando / saturando los resultados explícitamente en el código.
 - Gestionando los potenciales overflows.
 - o **Convertir manualmente los literales** reales en sus correspondientes signed/unsigned.
 - o **Reglas de conversión de literales** (real $\leftrightarrow$ punto fijo $Q_n.m$) :
 - $\text{literal}_{\text{int}} = \text{redondeo}(\text{literal}_{\text{real}} \cdot 2^m)$
 - $\text{literal}_{\text{real}} = \text{literal}_{\text{int}} \div 2^m$

literal real	repr.	literal entero
6.7	Q5.3	$6.7 \cdot 2^3 = 53.6 \approx 54$
	Q6.2	$6.7 \cdot 2^2 = 26.8 \approx 27$
	Q4.4	$6.7 \cdot 2^4 = 107.2 \approx 107$

0	0	1	1	0	1	1	0	Q5.3 +6.75
•								
0	0	0	1	1	0	1	1	Q6.2 +6.75
•								
0	1	1	0	1	0	1	1	Q4.4 +6.6875
•								

Aritmética en punto fijo

uso en VHDL (ii)



```
library ieee;
use ieee.numeric_std.all;
use ieee.math_real.all; ←----- biblioteca de funciones matemáticas de tipo real
use work.common.all;

architecture syn of notchFilter is

    ...

    type signedFixArray is array (0 to 2) of signed(WL-1 downto 0);

    constant QF : real := 60.0;
    constant w0 : real := 2.0*MATH_PI*F0/FS;
    constant k   : real := 1.0 / (1.0 + tan(w0/(2.0*QF))); } constantes de tipo real
                                                         definidas usando funciones
                                                         de la biblioteca math_real

    constant a : signedFixArray := (
        toFix( k, QN, QM ),
        toFix( -2.0*k*cos(w0), QN, QM ), } las constantes se convierten a punto fijo
        toFix( k, QN, QM )
    );

    ...

begin
    ...
end syn;
```

```
function toFix( d: real; qn : natural; qm : natural ) return signed is
begin
    return to_signed( integer(d*(2.0**qm)), qn+qm );
end function;
```

Filtro Notch

especificación

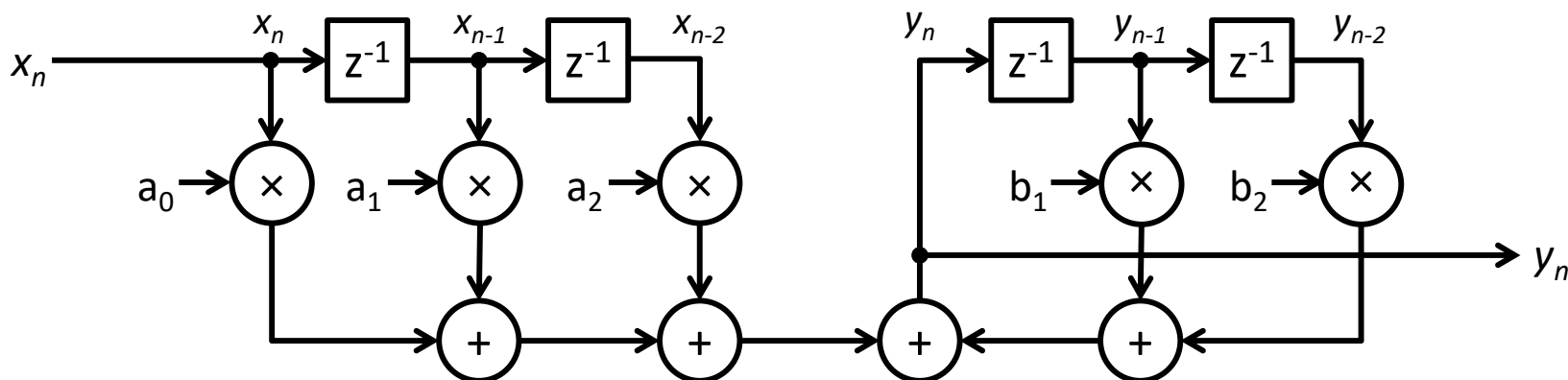


- Diseñar **un notch filter** de características configurables:
 - Se implementará como un filtro IIR (infinite-impulse response) de 2do. orden.
 - Las muestras serán interpretadas como números reales codificados en punto fijo.
 - Serán configurables la anchura y formato de datos, la frecuencia de muestreo y la frecuencia de corte.
 - Por cada nueva muestra deberá **activarse durante un ciclo** la señal de strobe **newSample**.



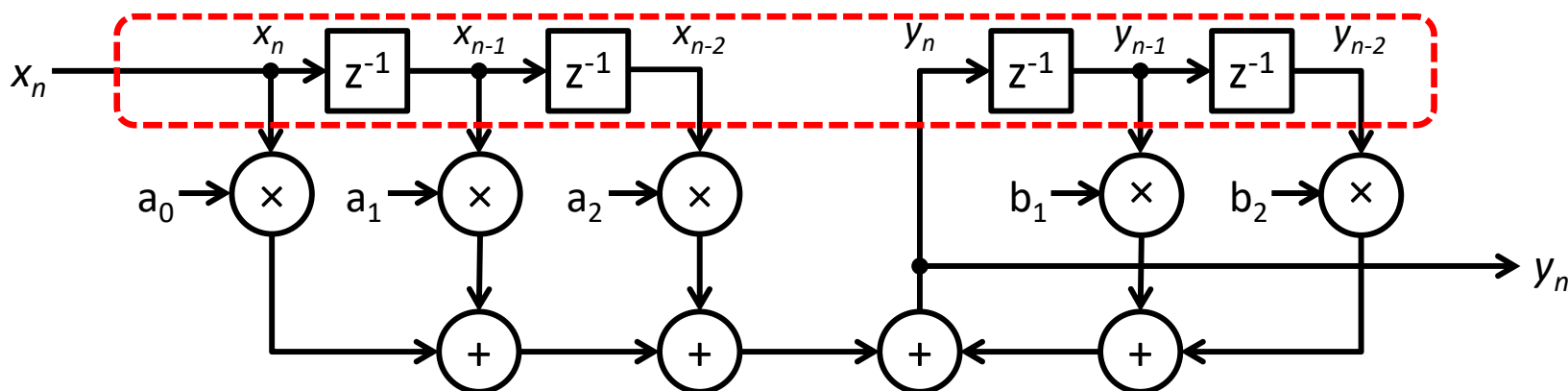
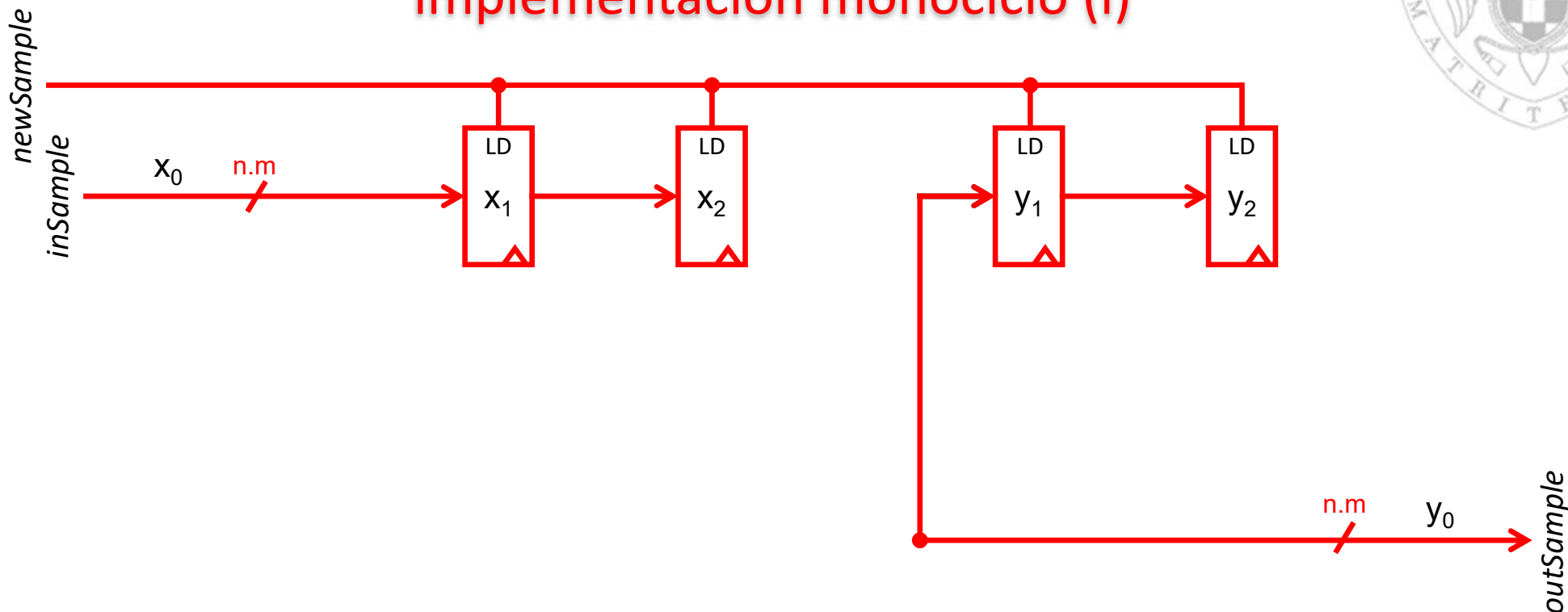
Filtro Notch

implementación monociclo (i)



Filtro Notch

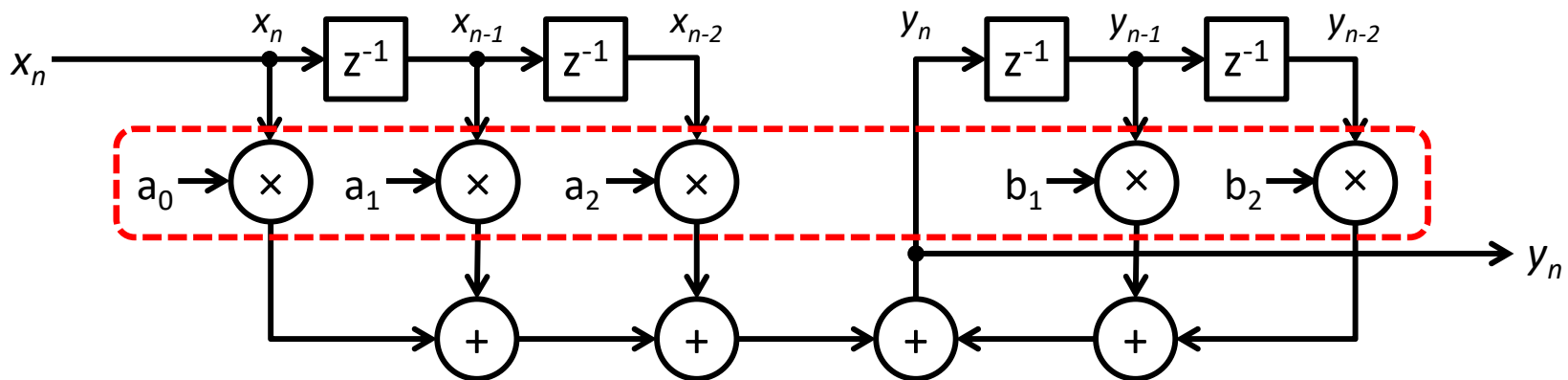
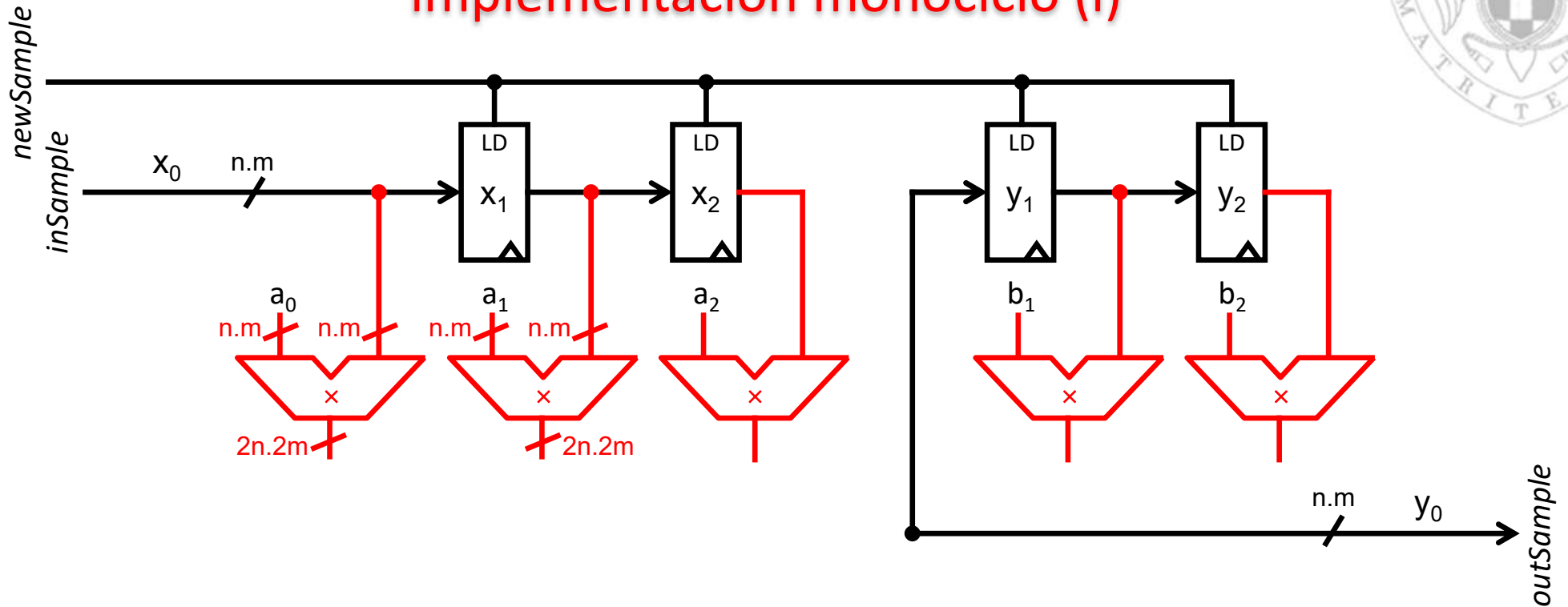
implementación monociclo (i)





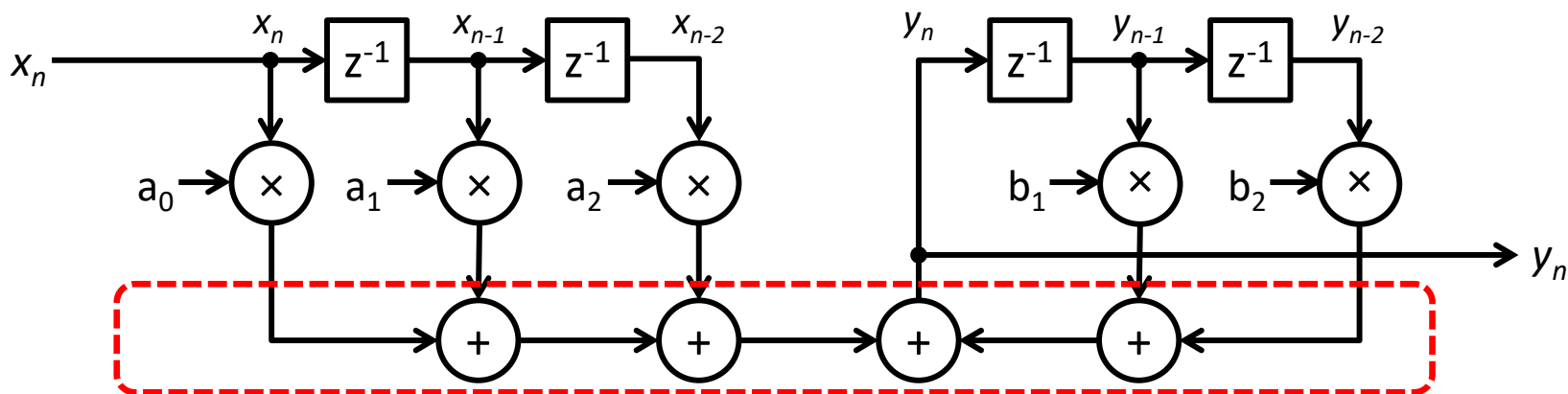
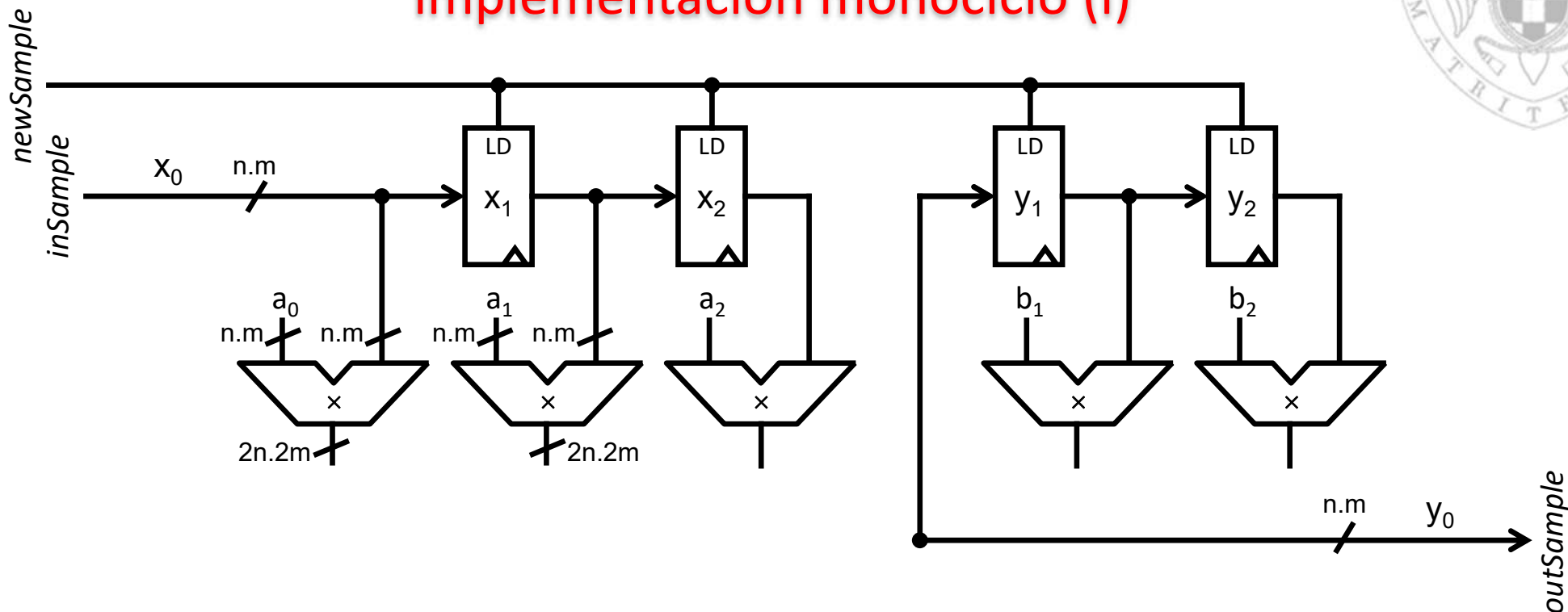
Filtro Notch

implementación monociclo (i)



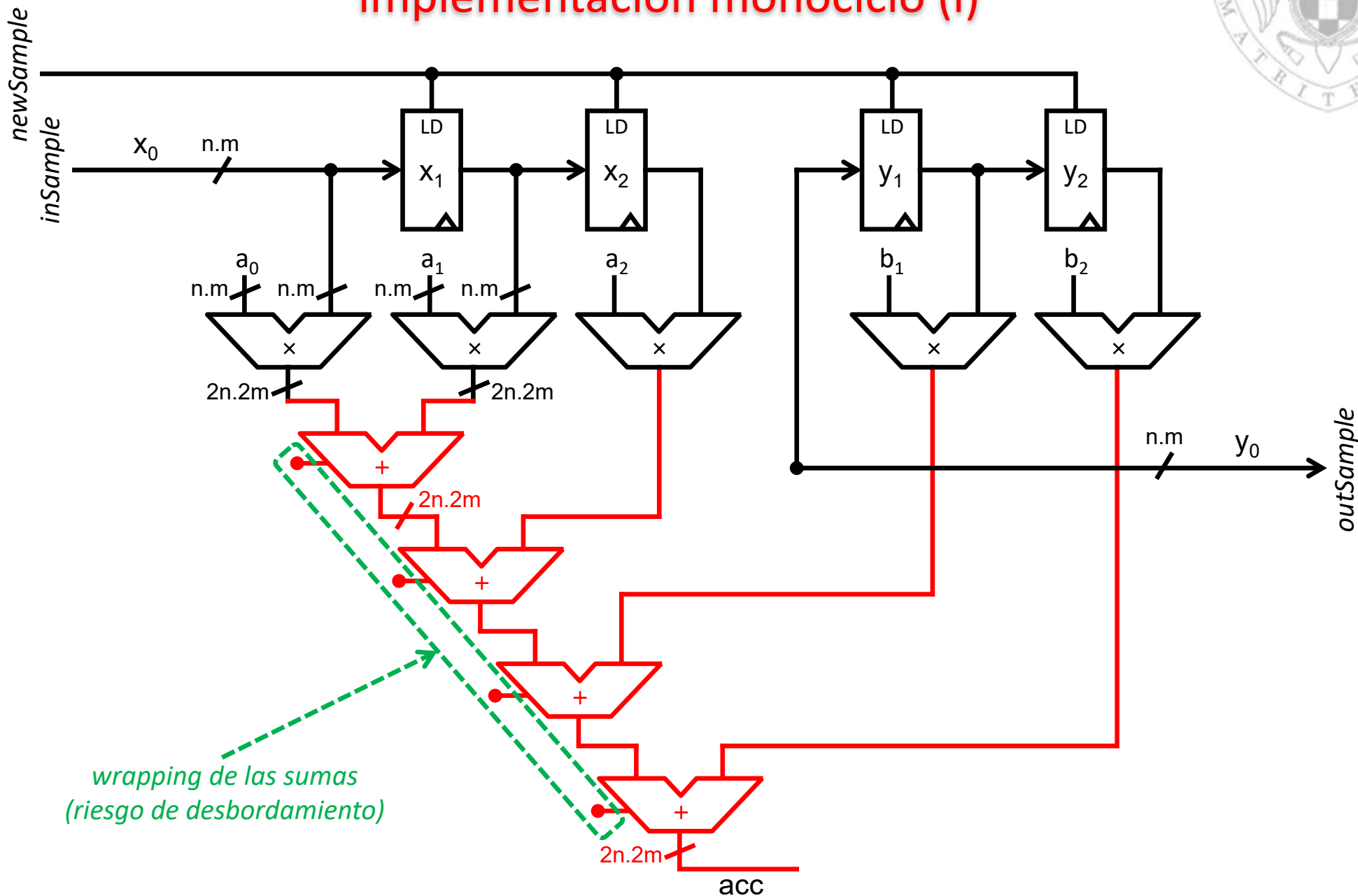
Filtro Notch

implementación monociclo (i)



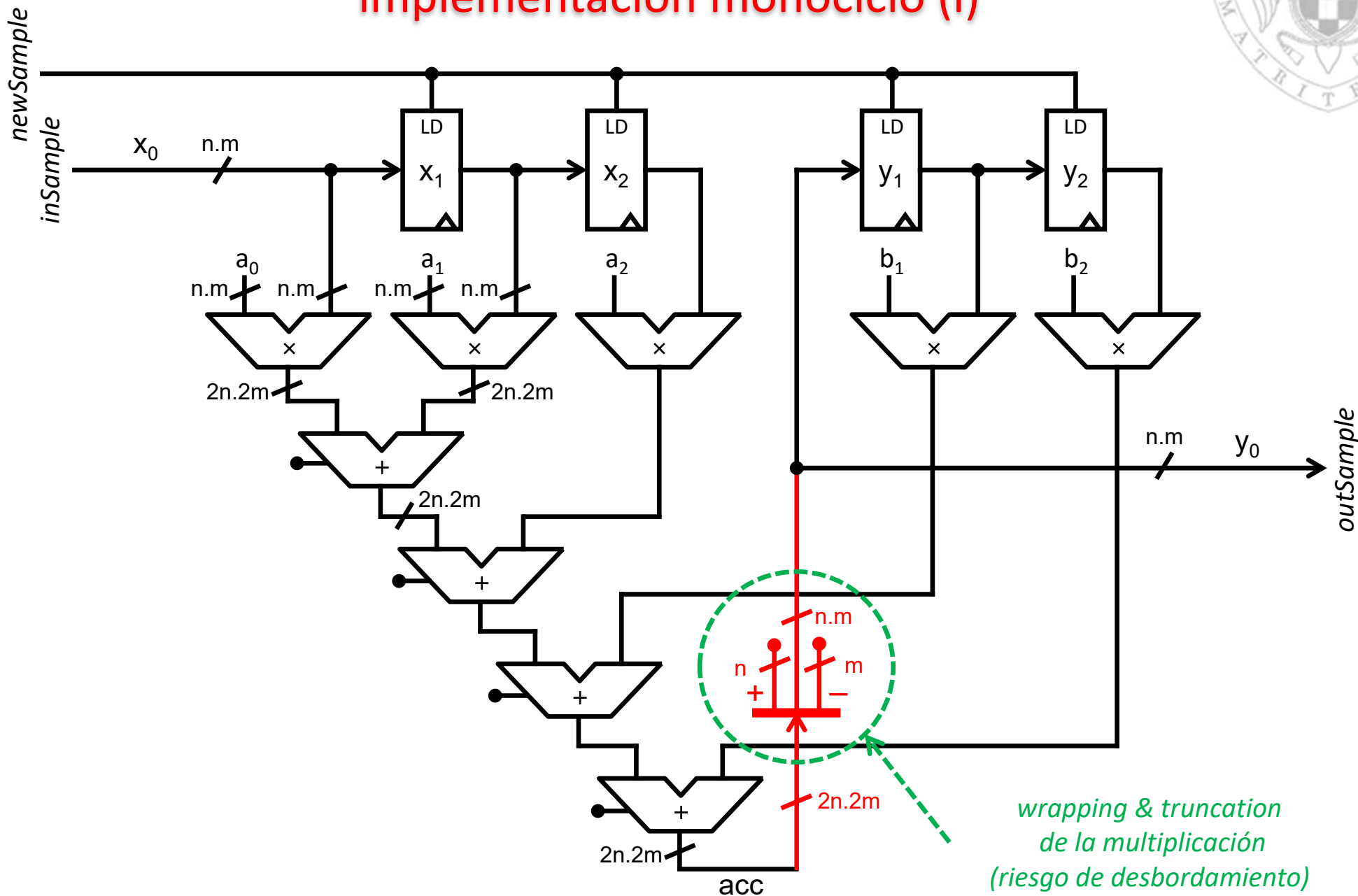
Filtro Notch

implementación monociclo (i)



Filtro Notch

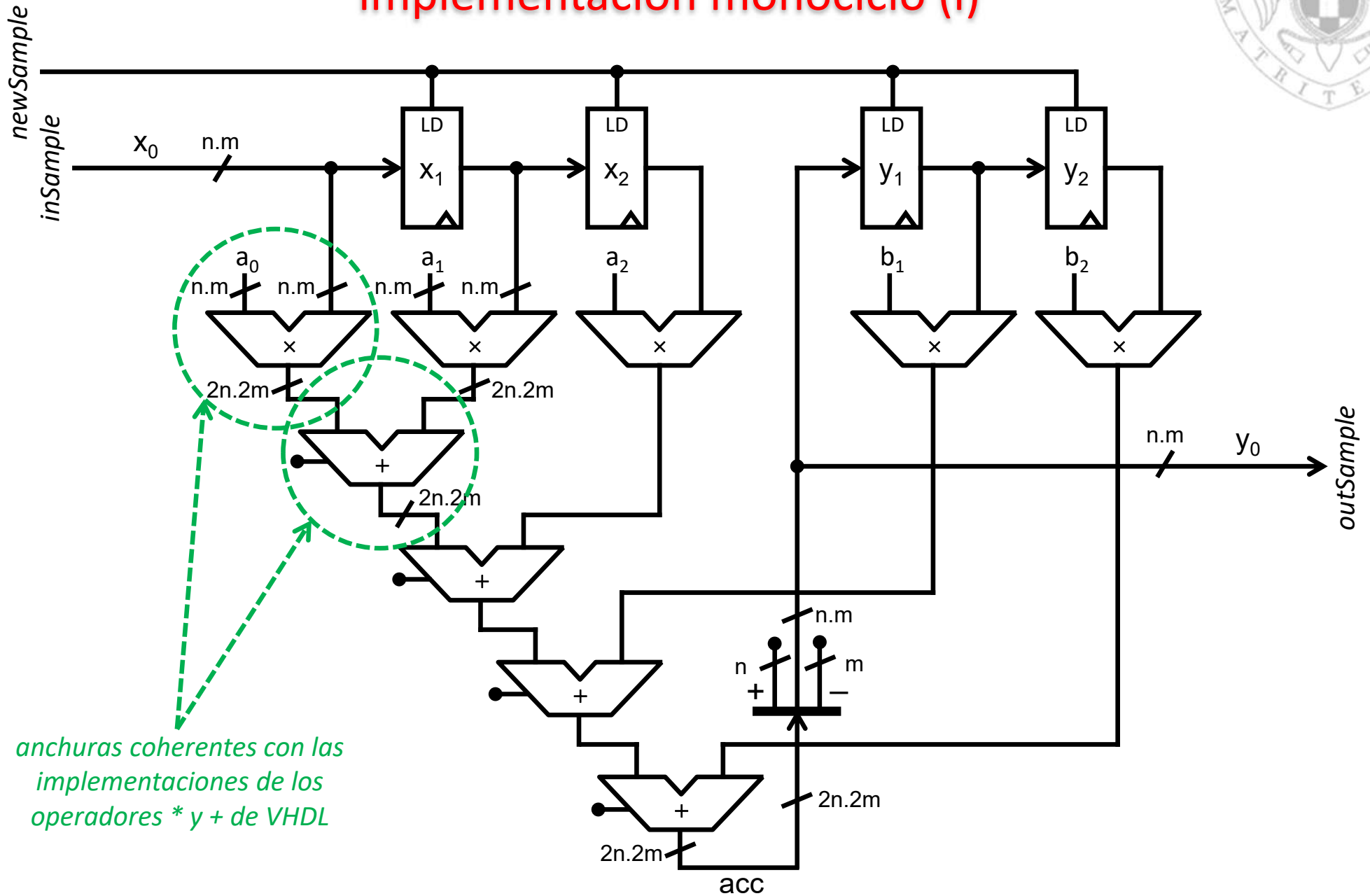
implementación monociclo (i)





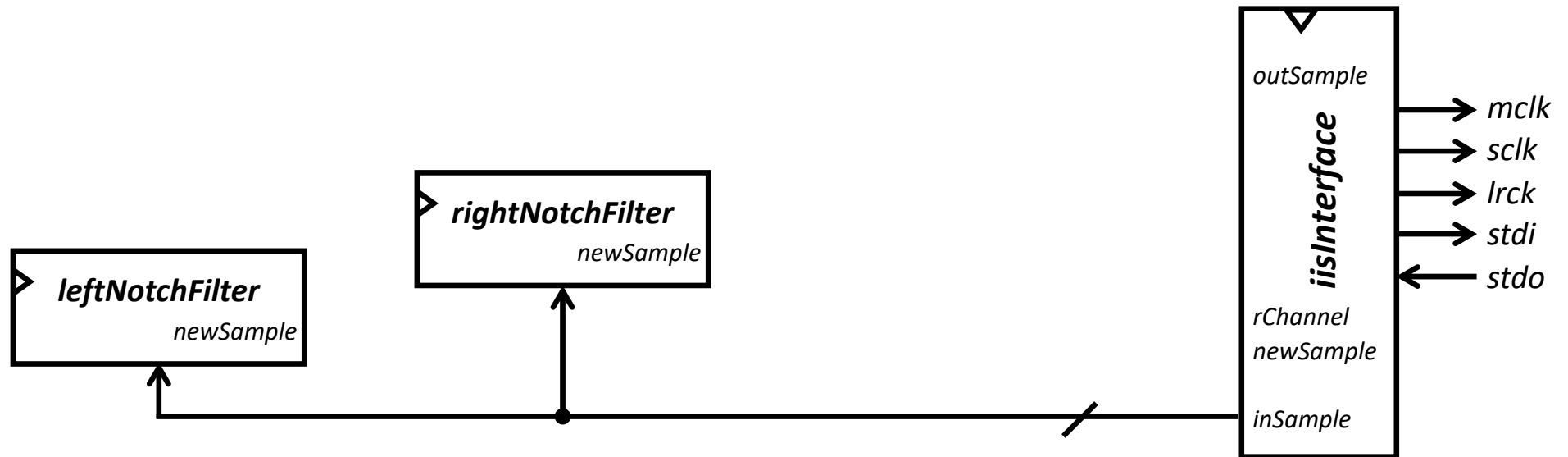
Filtro Notch

implementación monociclo (i)



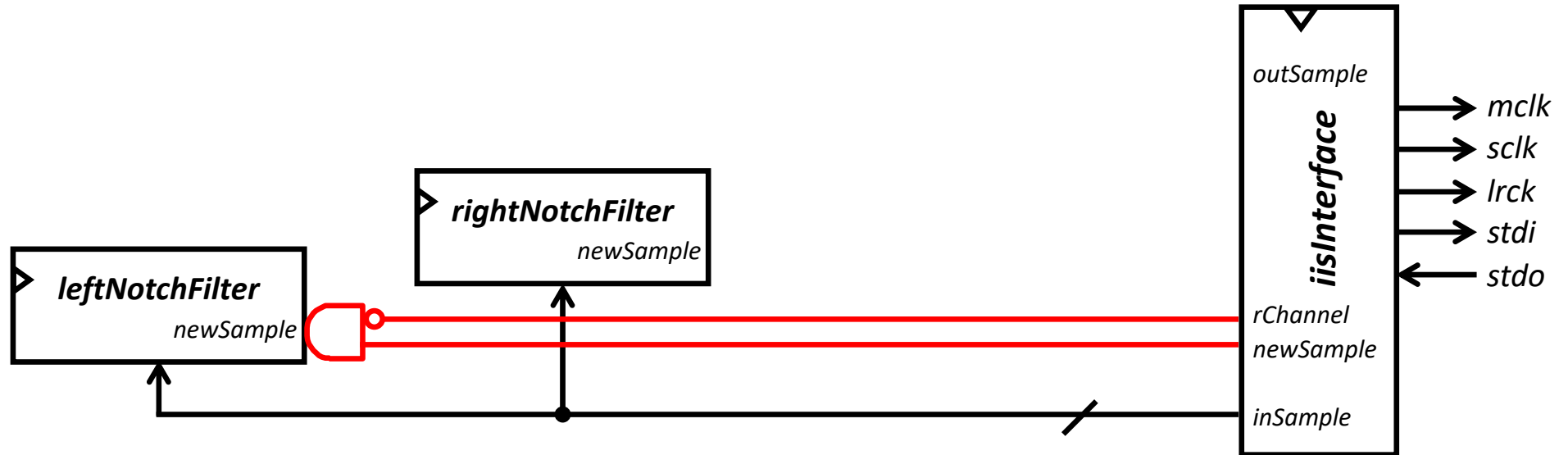
Filtro Notch

implementación monociclo: conexión estéreo (i)



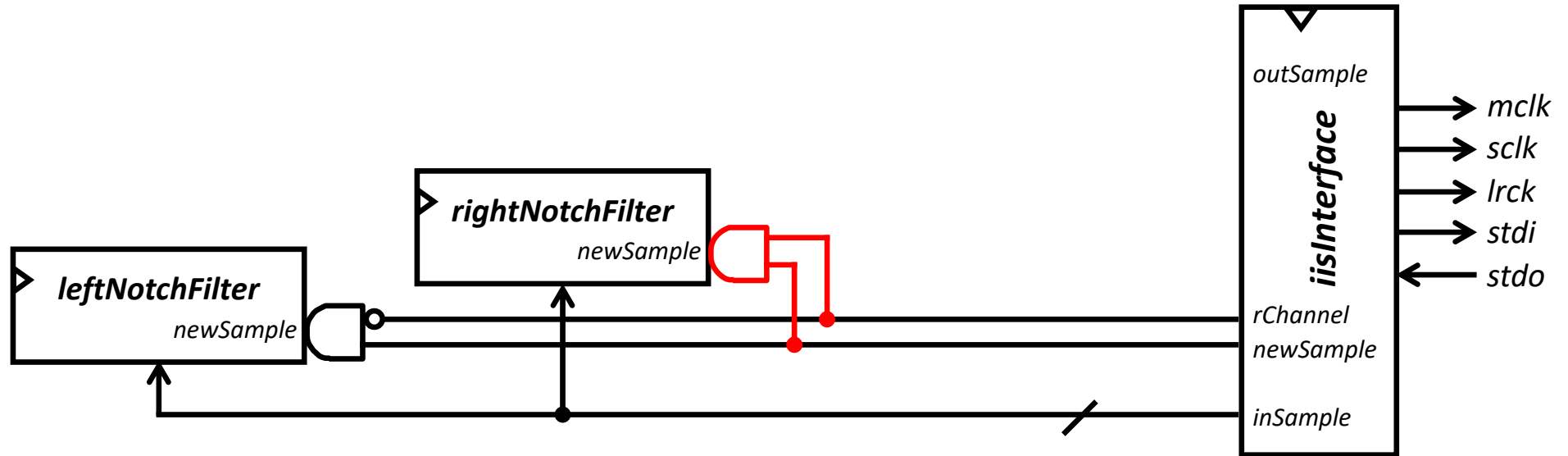
Filtro Notch

implementación monociclo: conexión estéreo (i)



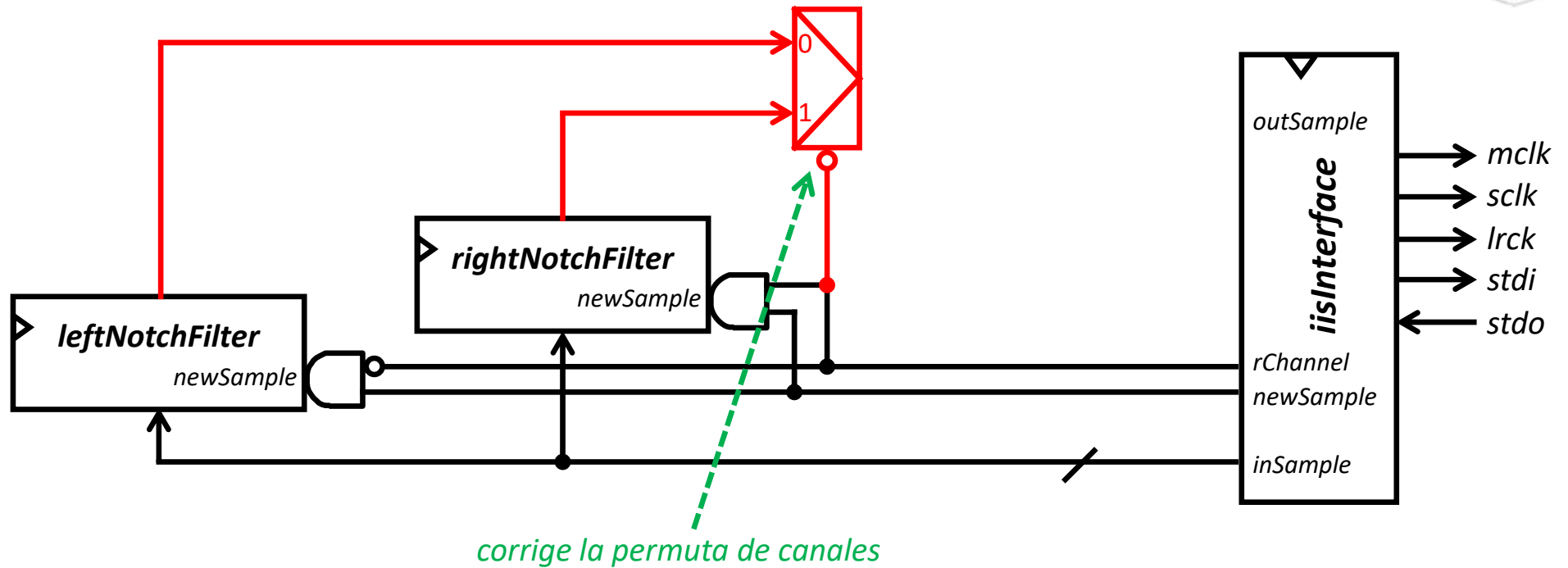
Filtro Notch

implementación monociclo: conexión estéreo (i)



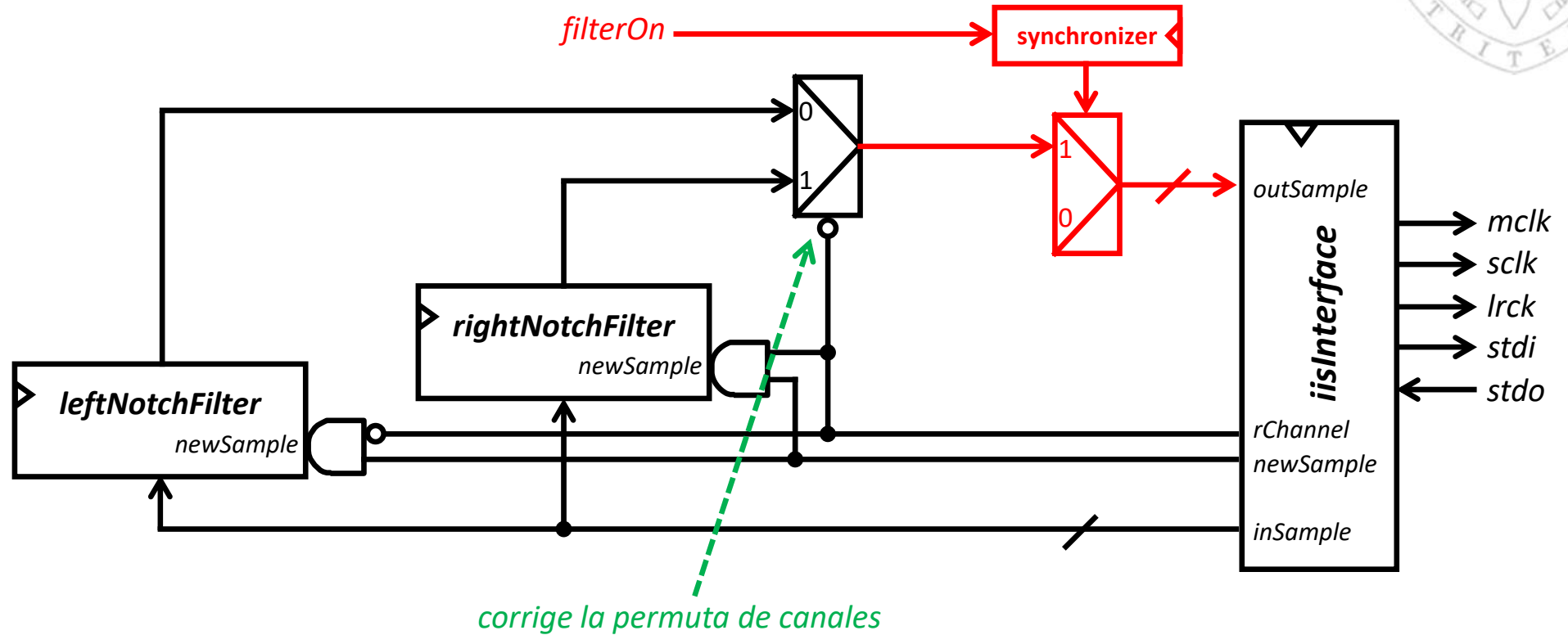
Filtro Notch

implementación monociclo: conexión estéreo (i)



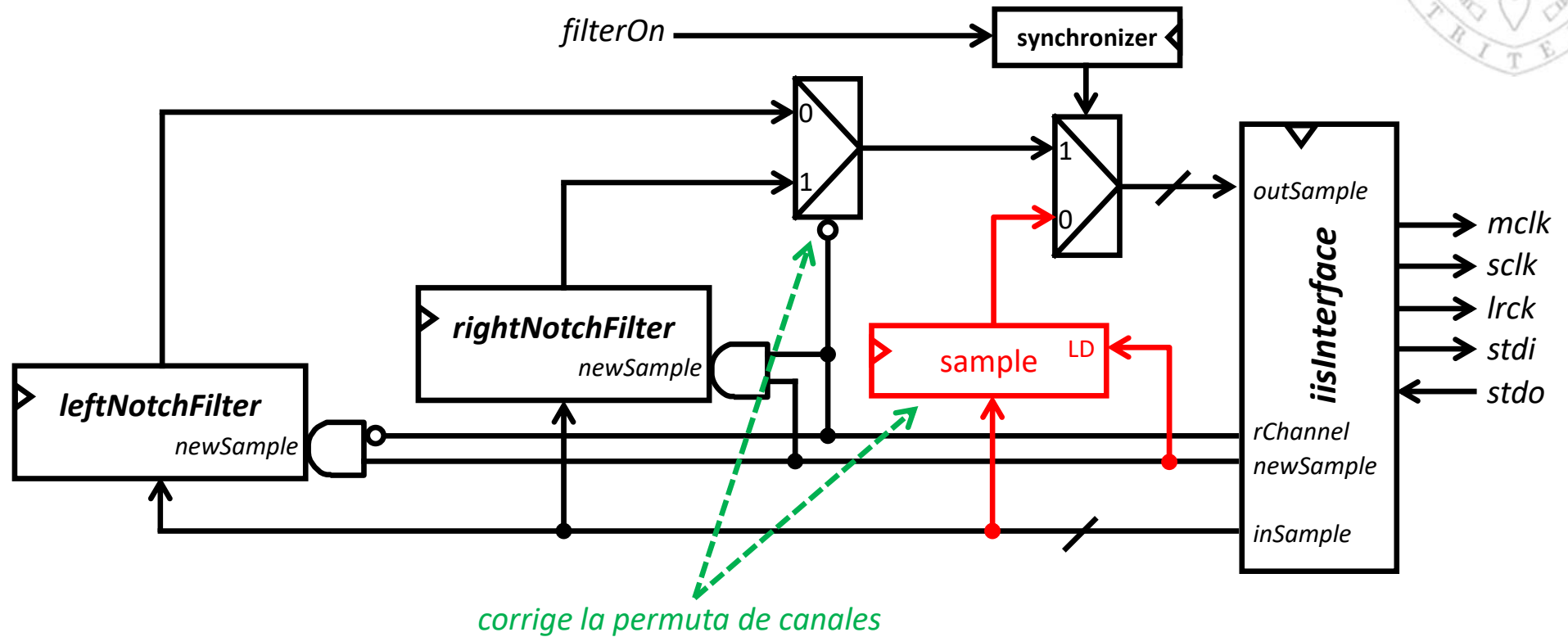
Filtro Notch

implementación monociclo: conexión estéreo (i)



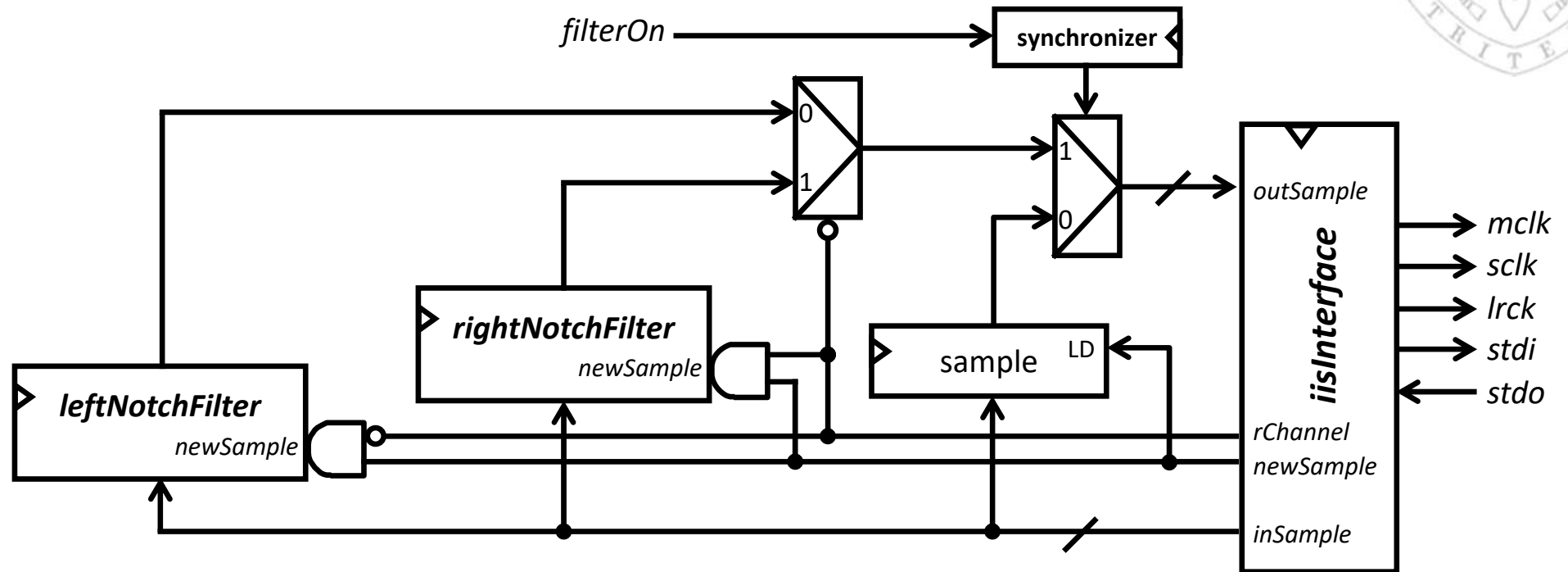
Filtro Notch

implementación monociclo: conexión estéreo (i)

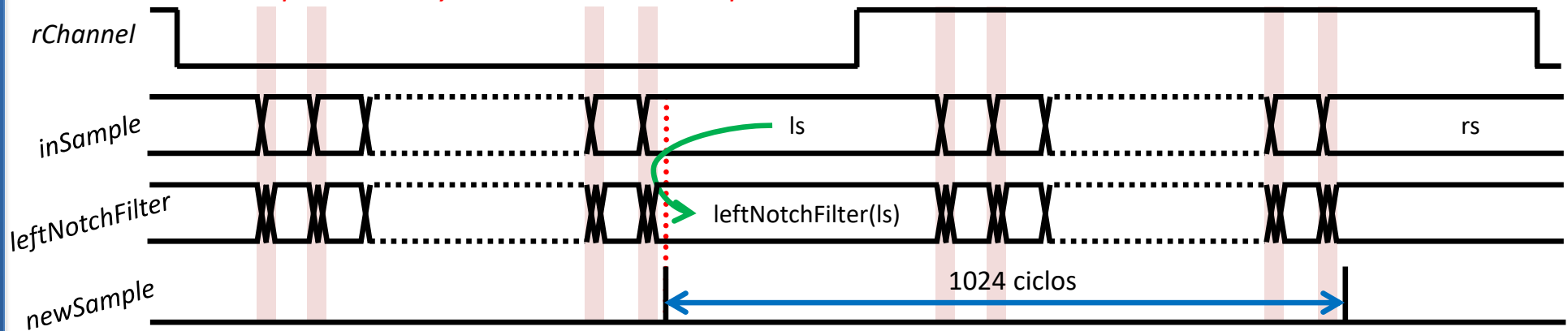


Filtro Notch

implementación monociclo: conexión estéreo (i)

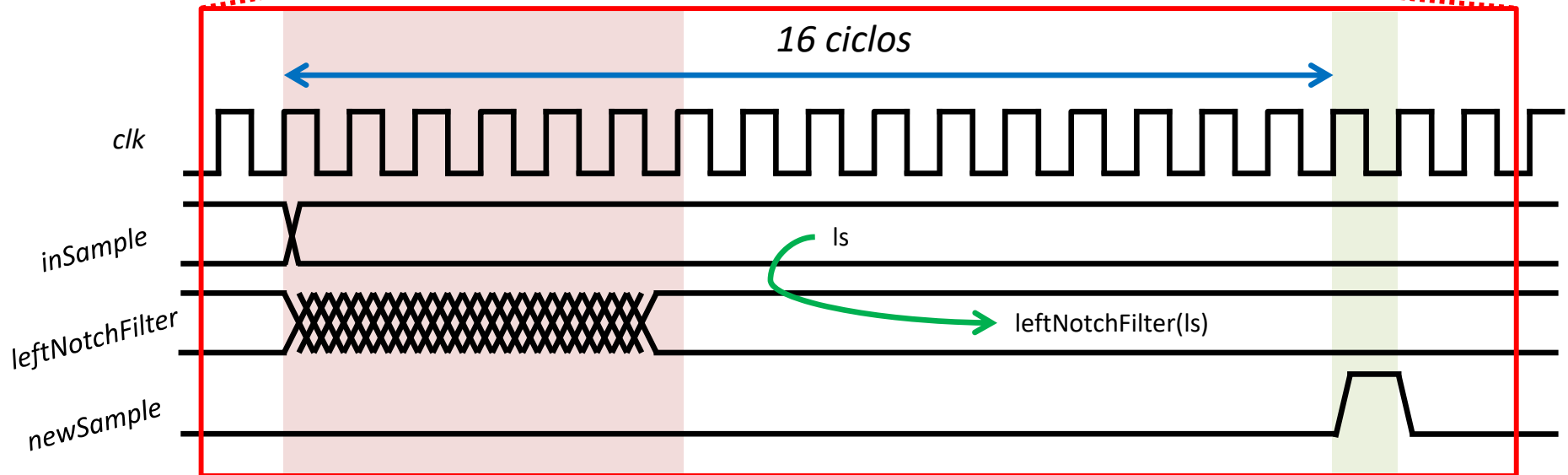
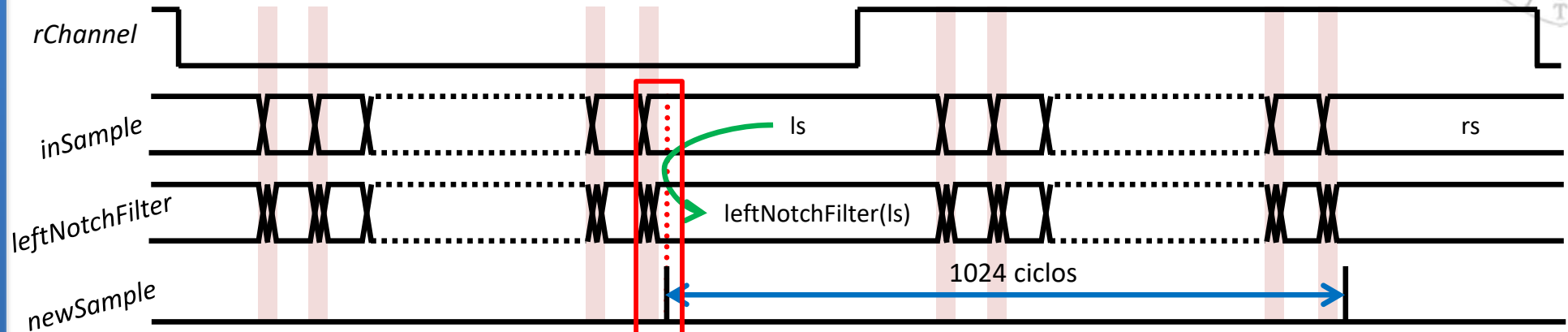


*cada vez que RxDsht desplaza,
inSample cambia y ambos notchFilter operan*



Filtro Notch

implementación monociclo: conexión estéreo (ii)



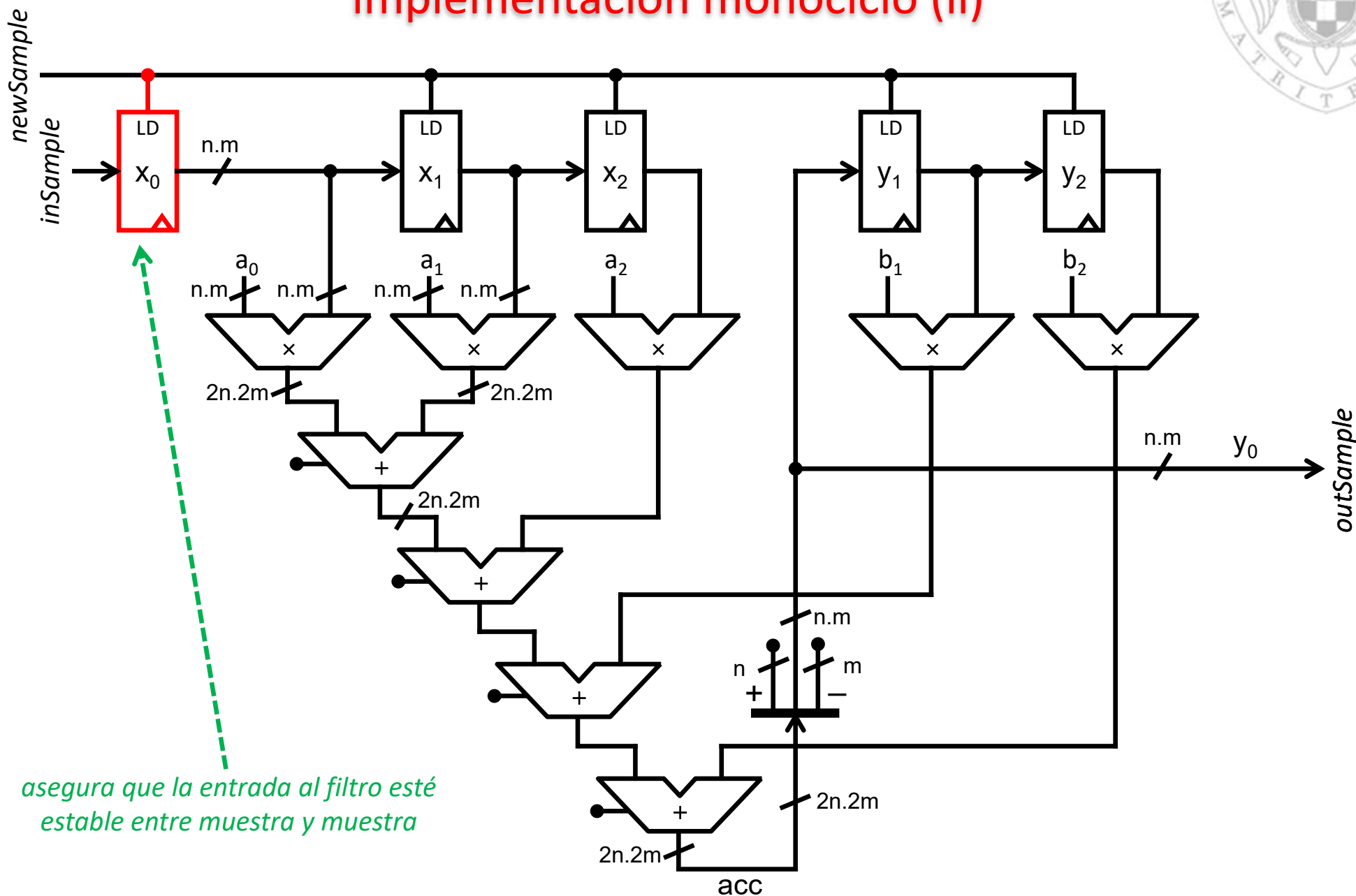
el retardo de 1 multiplicador y 4 sumadores
en cascada es mayor que t_{clk}

funciona porque outSample se carga
16 ciclos después de estabilizar inSample



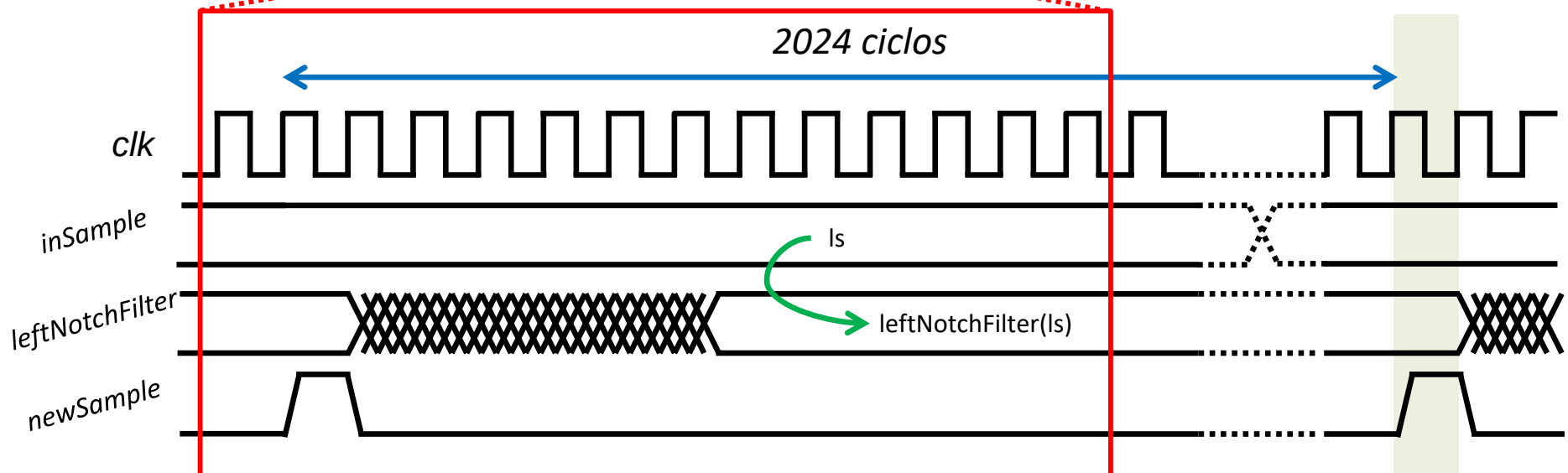
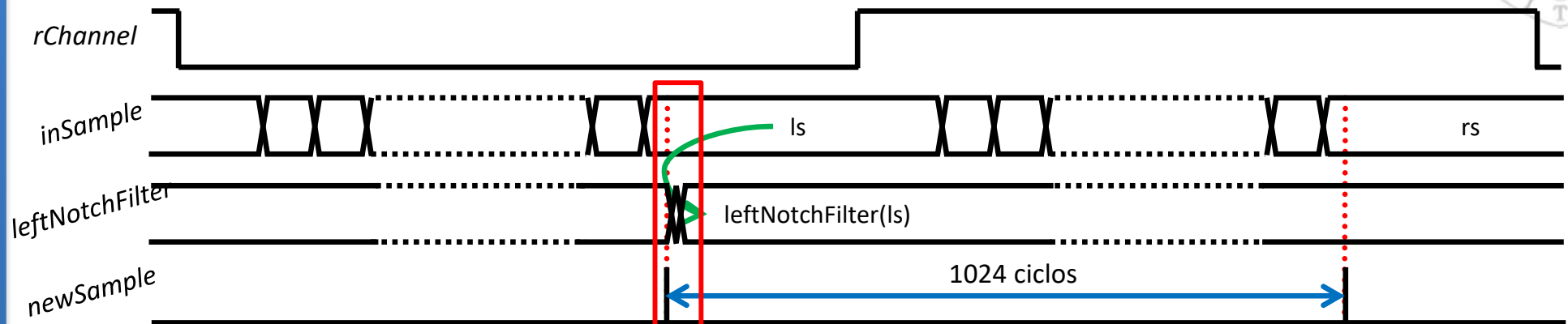
Filtro Notch

implementación monociclo (ii)



Filtro Notch

implementación monociclo: conexión estéreo (iii)



ahora, cada filterNotch solo opera con sus datos, cuando son válidos
y tiene un margen de 2024 ciclos para hacerlo



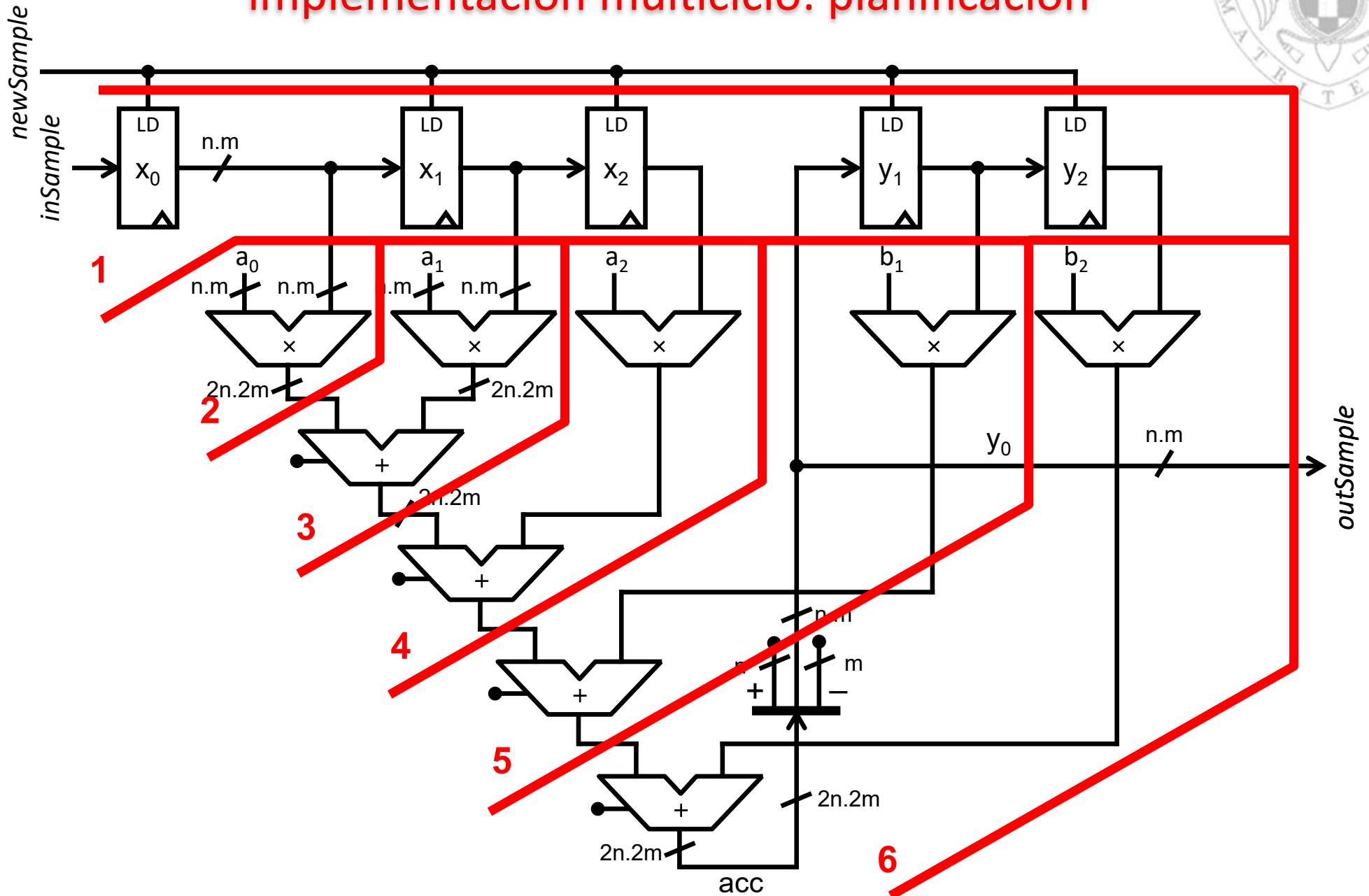
Filtro Notch

implementación monociclo: discusión

- La **implementación monociclo** es **fácil** de especificar, pero:
 - **Es cara**: requiere 5 multiplicadores y 4 sumadores.
 - Si **aumenta en orden del filtro**, el **coste aumenta** (2 multiplicadores y 2 sumadores por orden)
 - El núcleo operativo es **combinacional**.
 - Lo que lo hace menos versátil.
- Cuando $f_{clk} \gg f_s$ y el número de **recursos es limitado** es mejor realizar **implementaciones multiciclo**:
 - Las **operaciones se planifican** para repartir su ejecución equilibradamente entre los ciclos disponibles entre muestra y muestra.
 - Los **recursos se reutilizan** para ejecutar en distintos ciclos más de una operación del algoritmo especificado.
 - Una FSM gobierna la ejecución ordenada de las operaciones en los recursos.

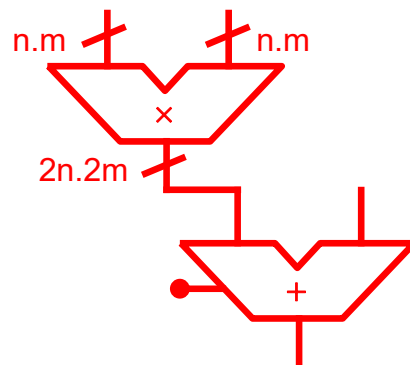
Filtro Notch

implementación multiciclo: planificación



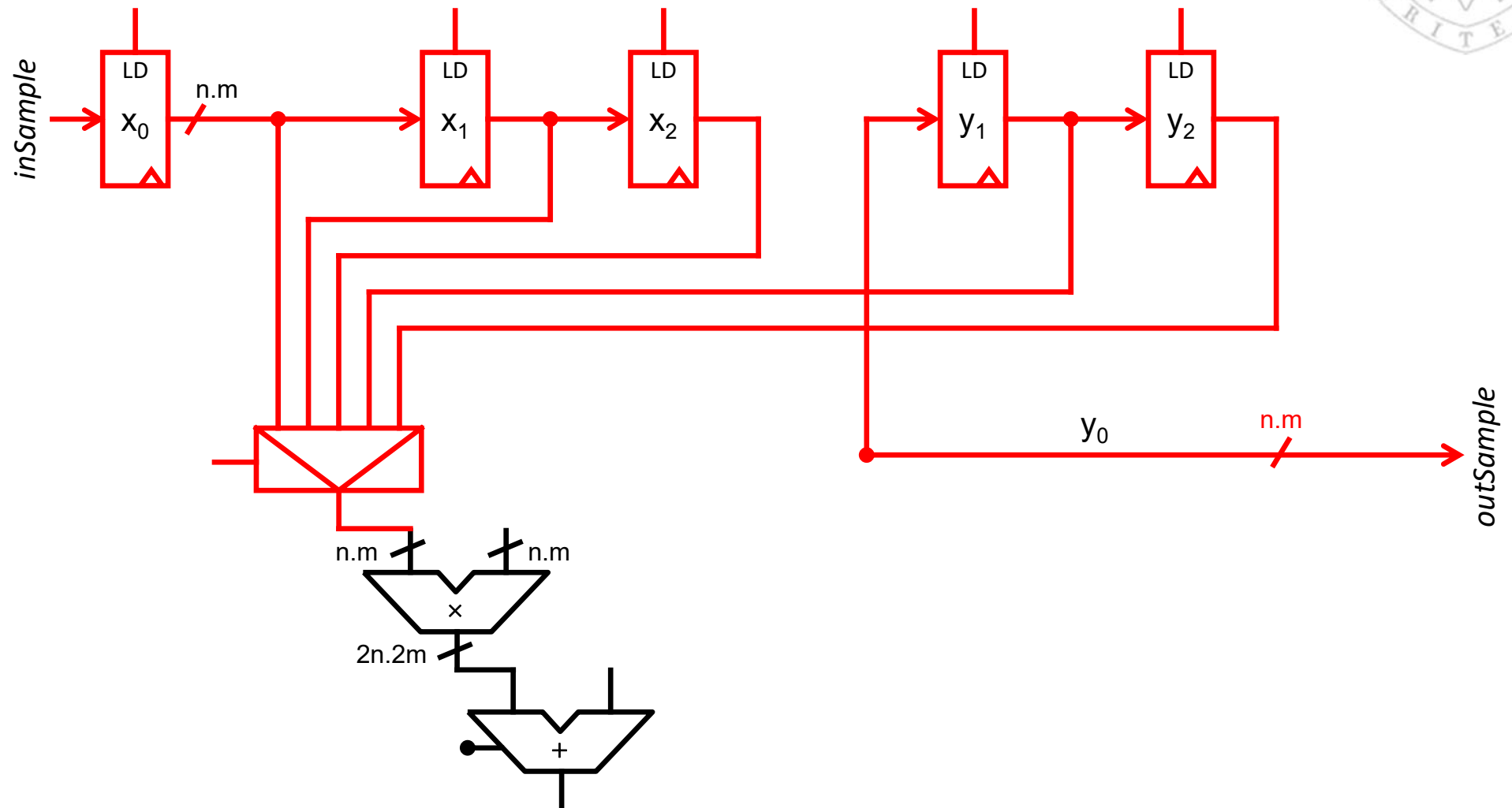
Filtro Notch

implementación multiciclo: ruta de datos



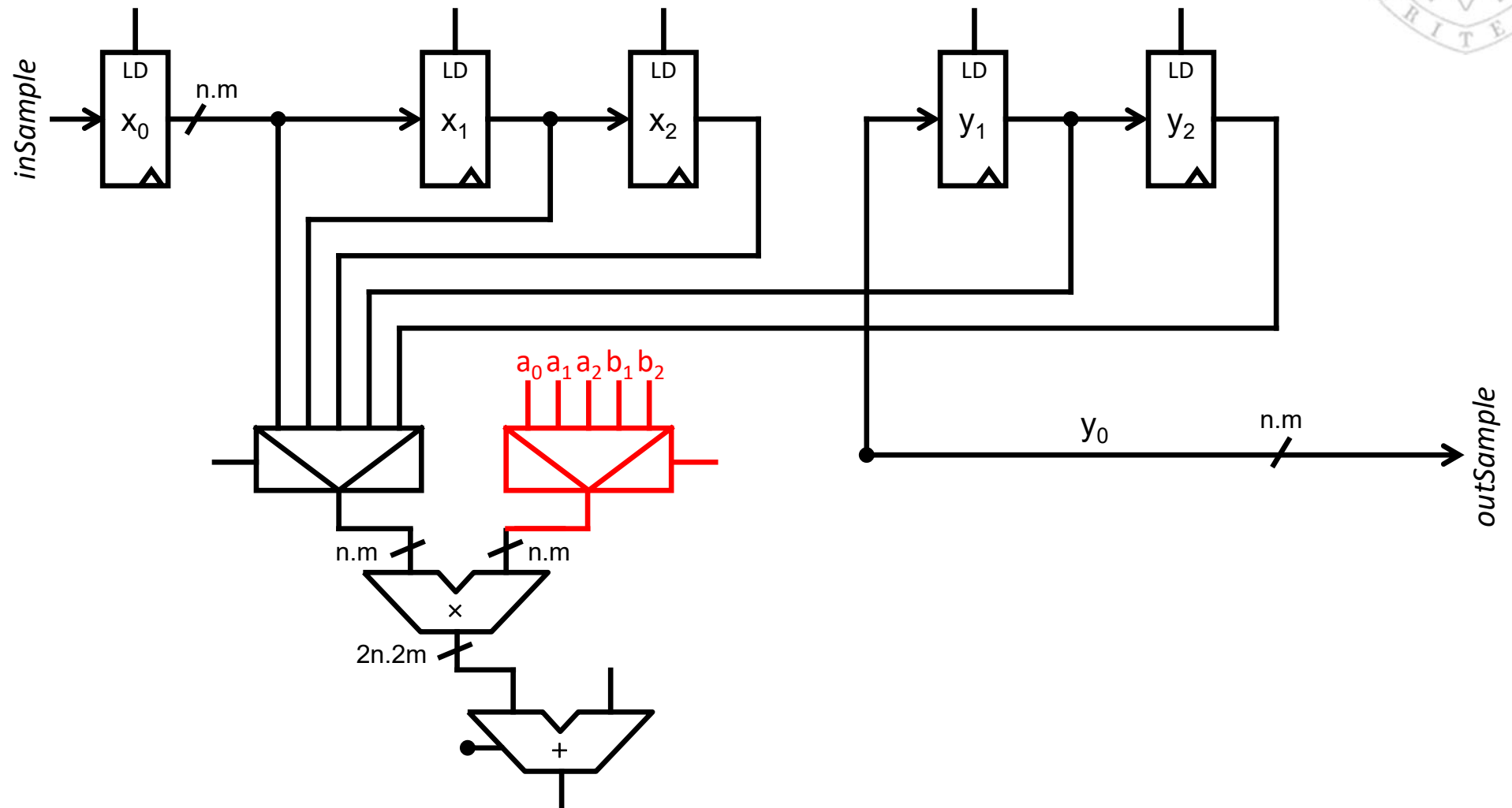
Filtro Notch

implementación multiciclo: ruta de datos



Filtro Notch

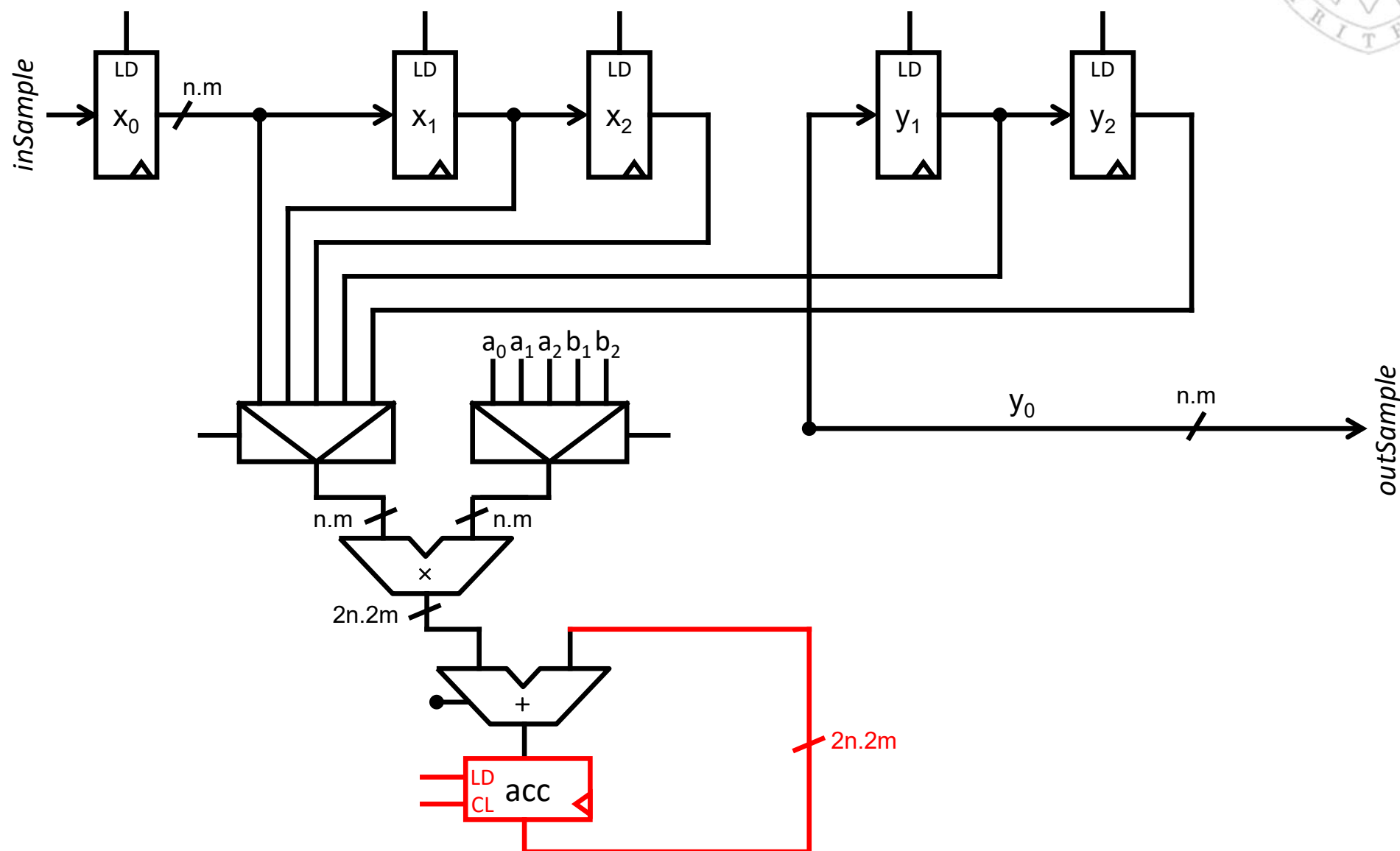
implementación multiciclo: ruta de datos





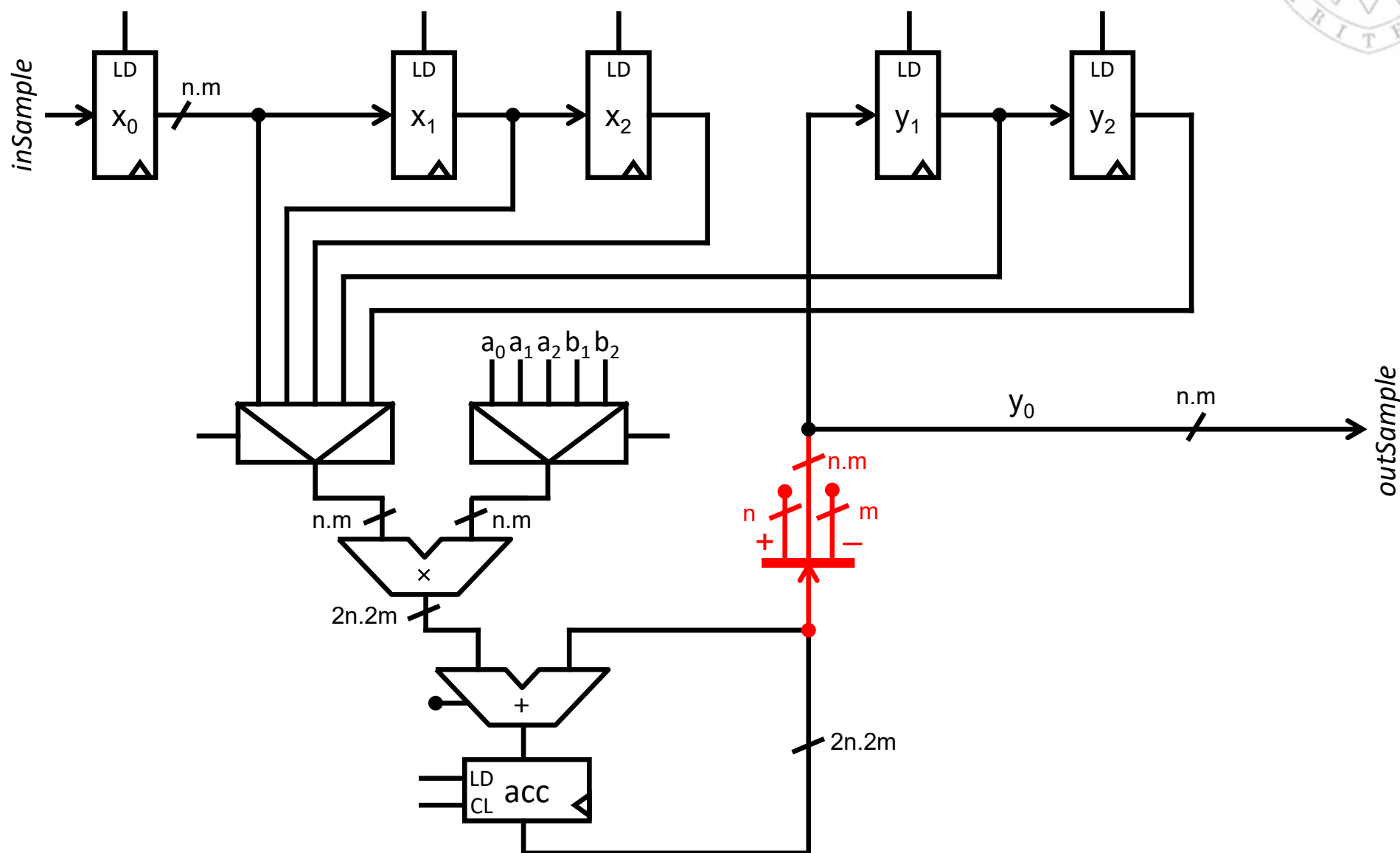
Filtro Notch

implementación multicyclo: ruta de datos



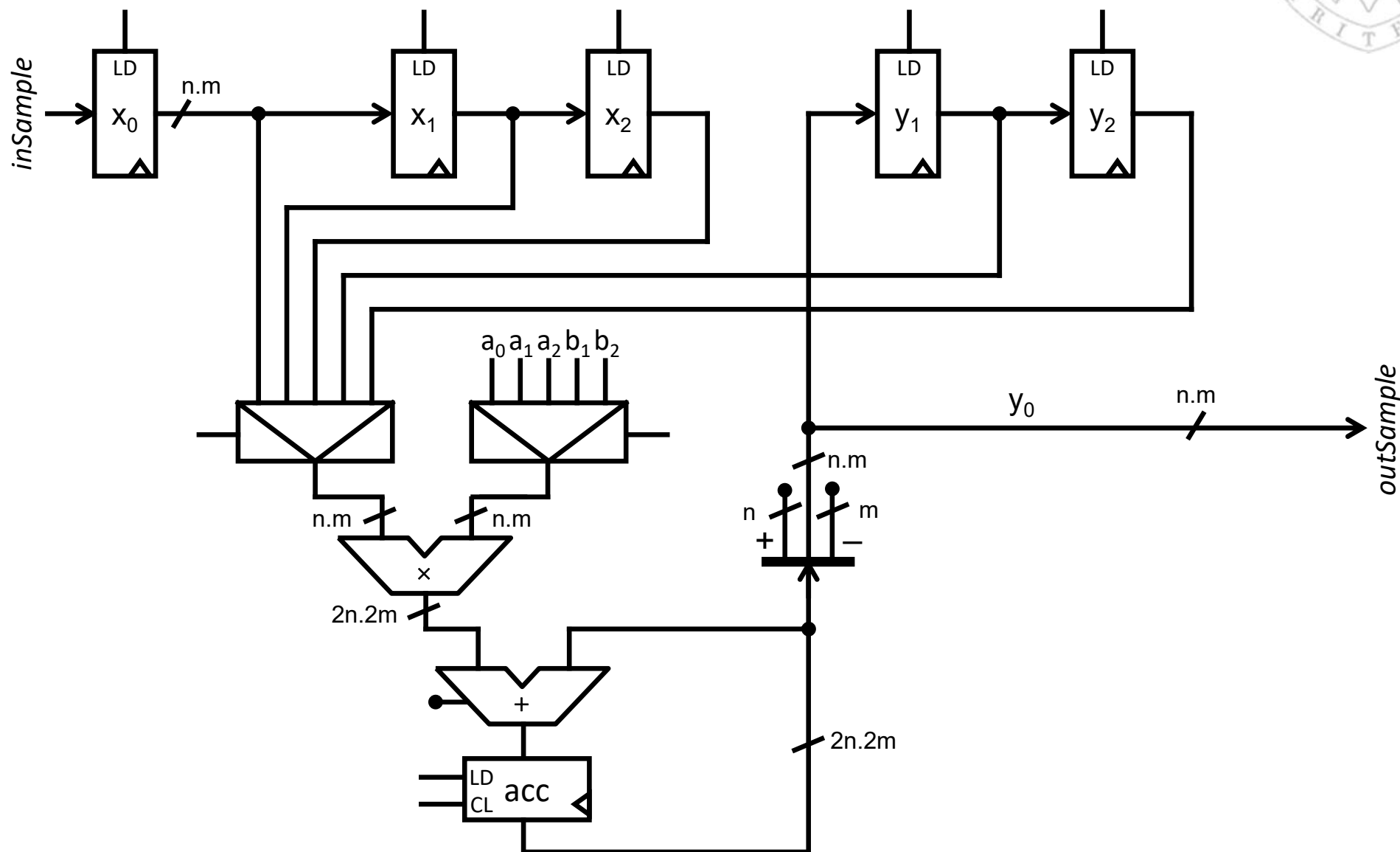
Filtro Notch

implementación multiciclo: ruta de datos



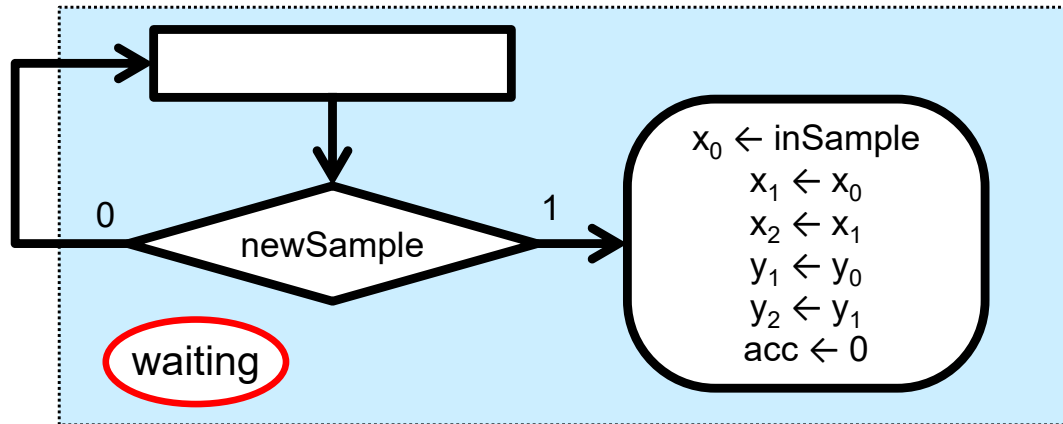
Filtro Notch

implementación multiciclo: ruta de datos



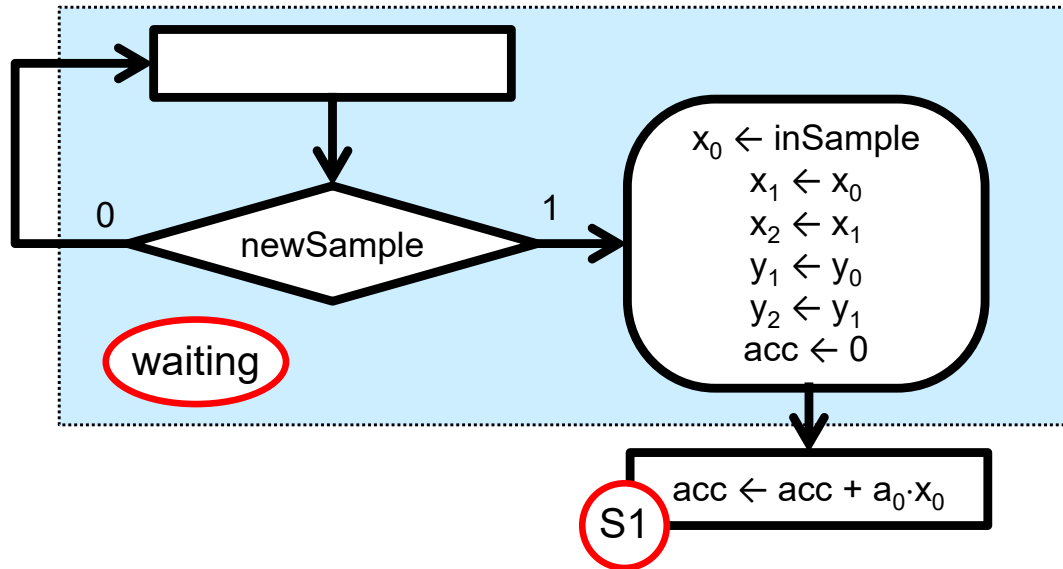
Filtro Notch

implementación multiciclo: controlador



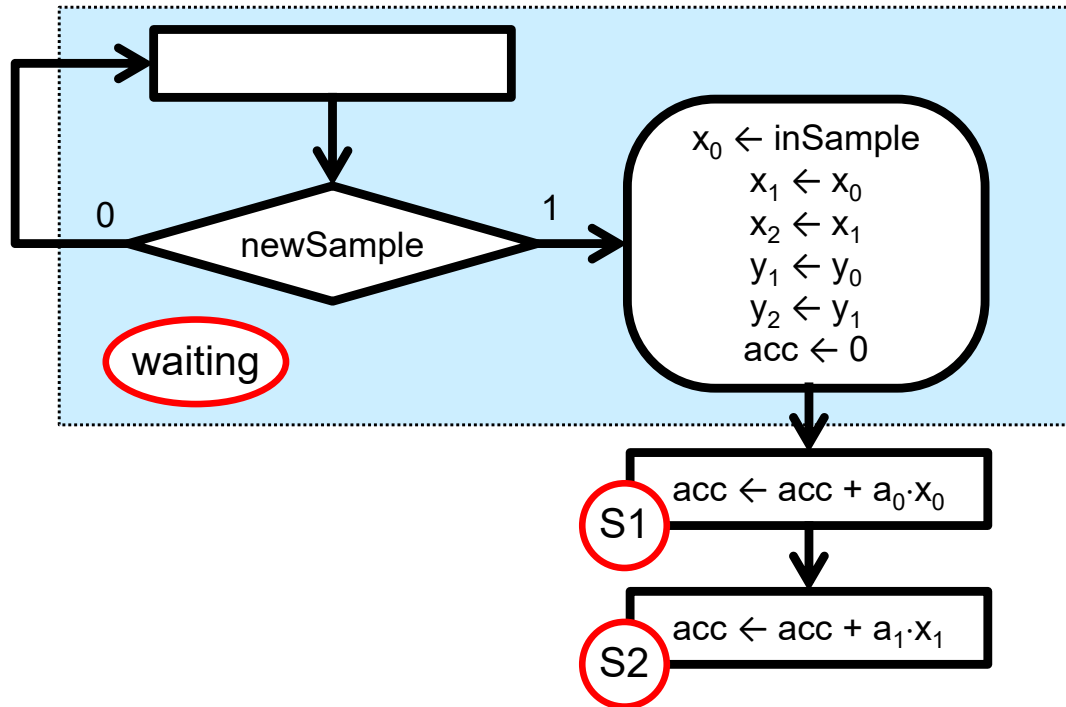
Filtro Notch

implementación multiciclo: controlador



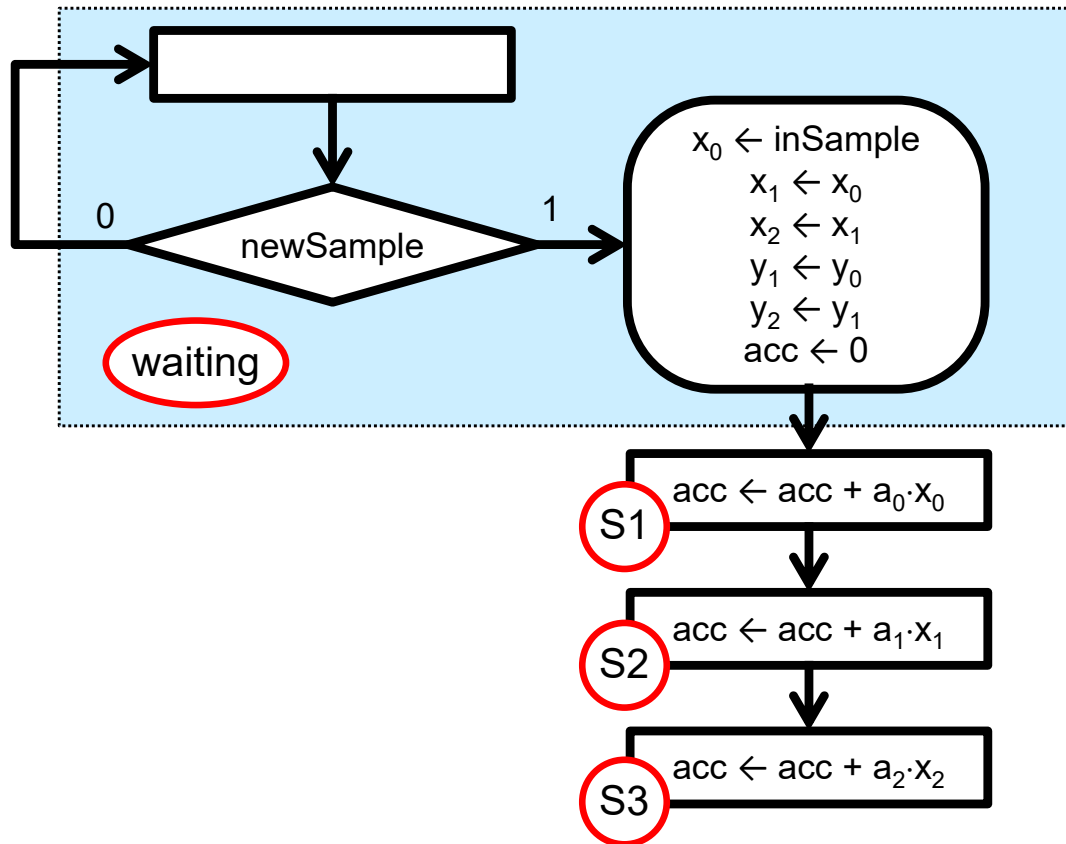
Filtro Notch

implementación multiciclo: controlador



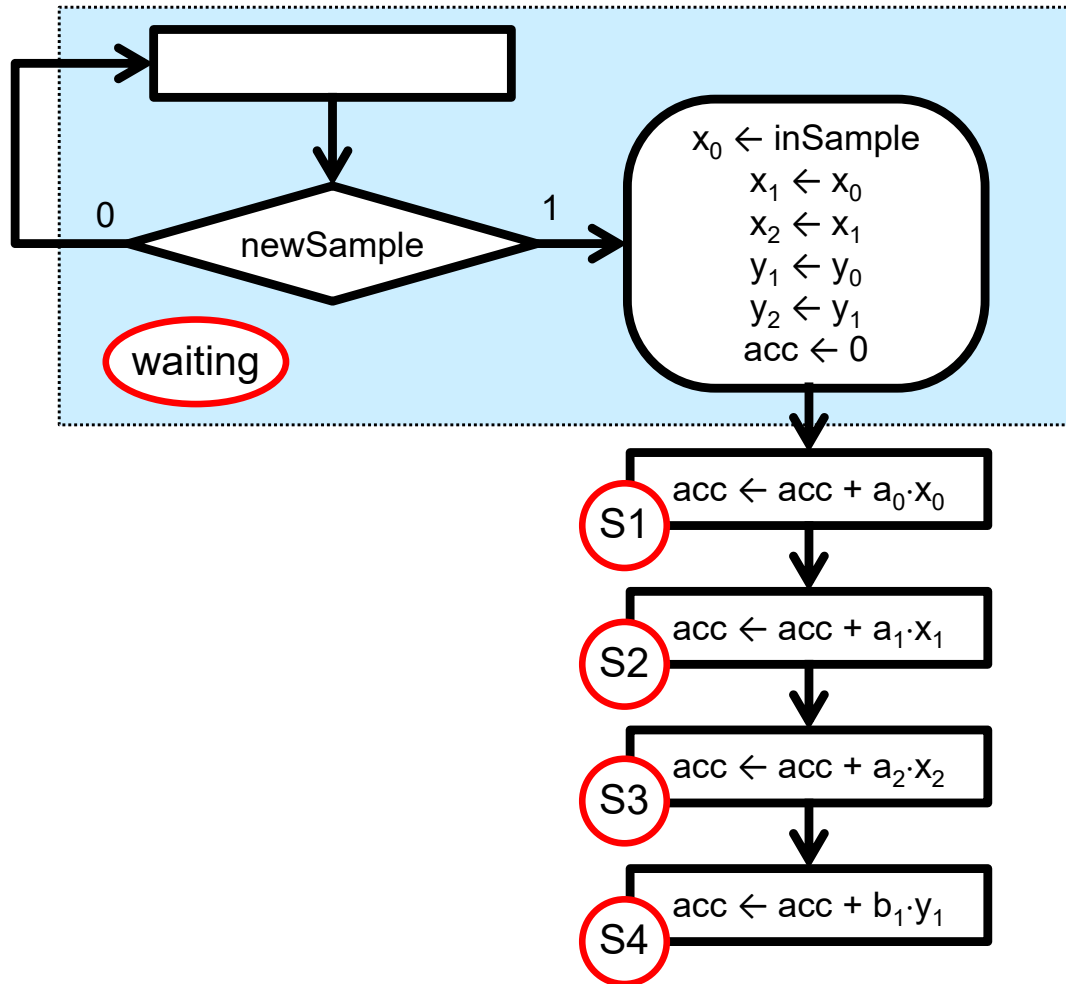
Filtro Notch

implementación multiciclo: controlador



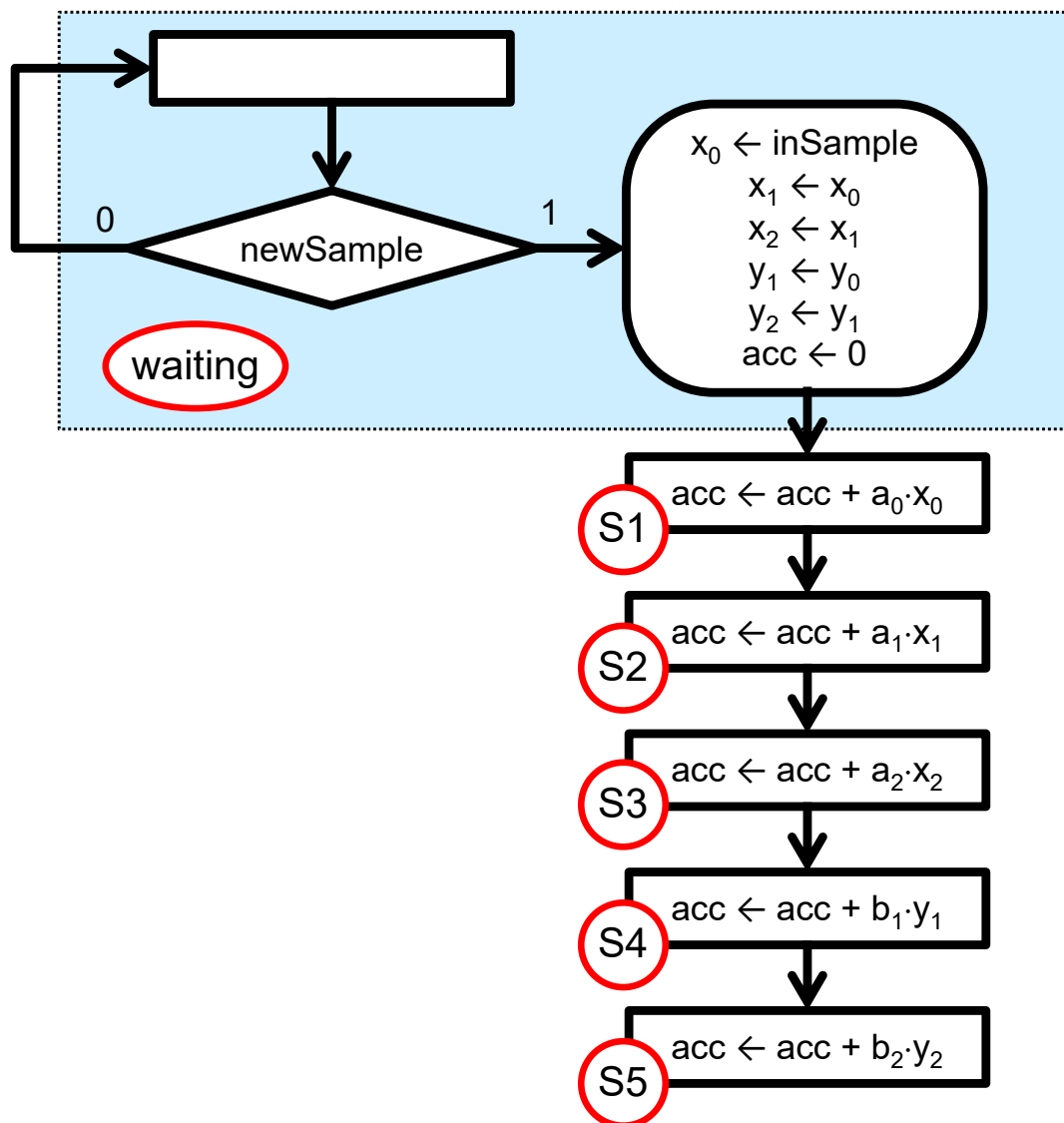
Filtro Notch

implementación multiciclo: controlador



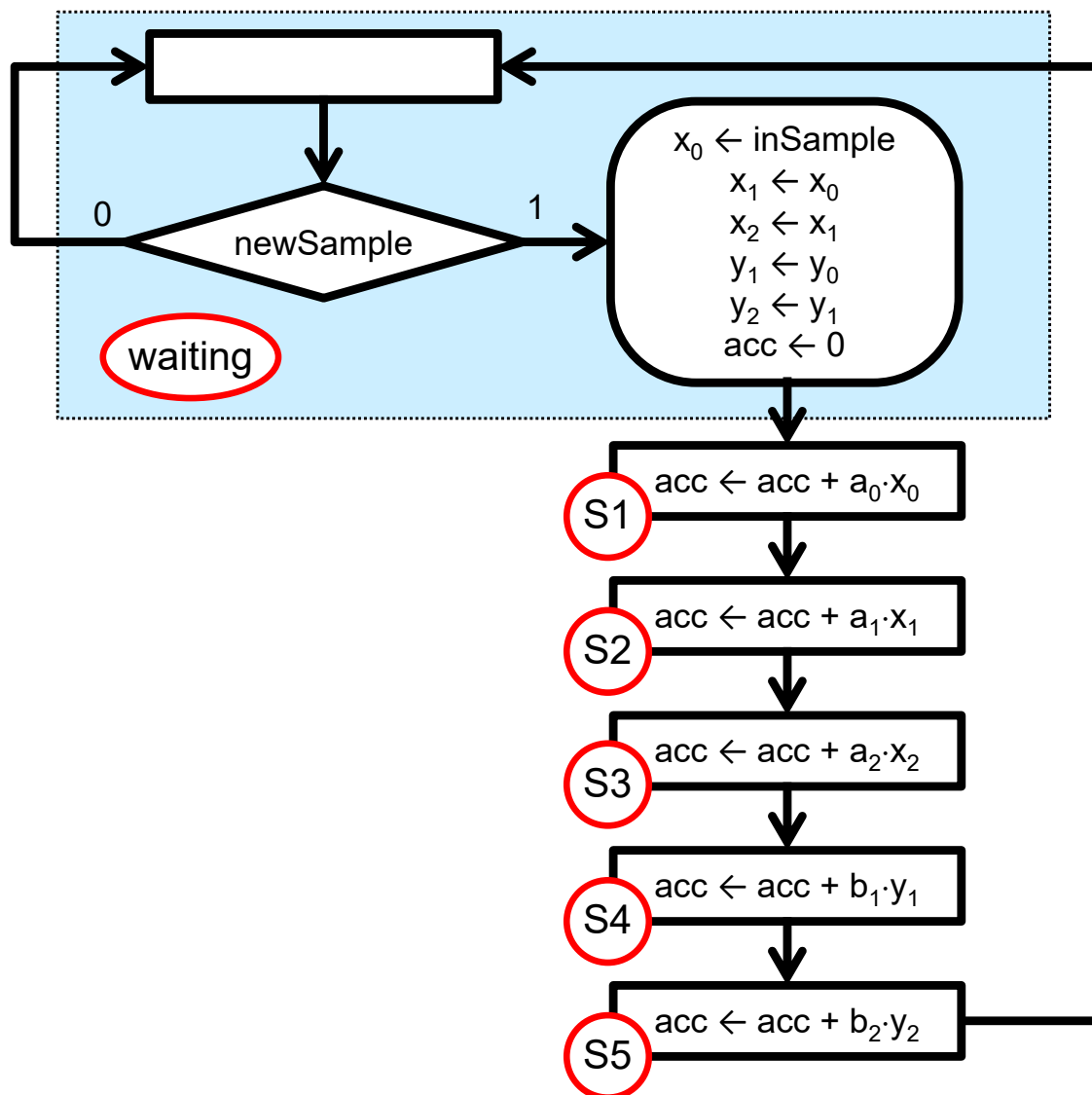
Filtro Notch

implementación multiciclo: controlador



Filtro Notch

implementación multiciclo: controlador





Filtro Notch

implementación multiciclo: discusión

- La **implementación multiciclo** del filtro **es más compleja** de especificar, sin embargo:
 - **Es barata**: Requiere 1 multiplicador y 1 sumador.
 - Si **aumenta en orden del filtro**, el **coste permanece casi fijo** (aumenta solamente el coste de añadir estados a la FSM y de ampliar los multiplexores)
 - **El núcleo operativo es secuencial** y dispone de 2024 ciclos de latencia.
 - Permitiría abaratarlo más haciendo multiplicadores/sumadores secuenciales.
 - Vivado es necesario hacerlo todo a mano, pero existen **herramientas de diseño que automatizan** este proceso (Vitis HLS).
 - Obteniendo **trade-offs entre el coste del circuito y su latencia** (número de ciclos en que computa el algoritmo).

Tareas

loopback



1. En la carpeta **DAS/source** crear la carpeta **lab10loopback**.
2. Descargar de la Web los ficheros en:
 - o **common:** **iisInterface.vhd**
 - o **lab8loopback:** **lab10loopback.vhd** y **lab10loopback.xdc**
3. Completar **common.vhd** con la declaración del nuevo componente.
4. Completar el código omitido en el fichero:
 - o **iisInterface.vhd**
5. En la carpeta **DAS/projects** crear el proyecto **lab10loopback**.
6. Incluir en el proyecto (sin copiarlos) los siguientes fuentes:
 - o **common.vhd**, **iisInterface.vhd**, **lab10loopback.vhd** y **lab10loopback.xdc**
7. Sintetizar, implementar y generar el fichero de configuración.
8. Conectar a la placa el cable de audio, unos auriculares y encenderla.
9. Arrancar la reproducción continua de algún audio en el PC.
10. Volcar el fichero de configuración **lab10loopback.bit**
 - o Si desborda, disminuir en el PC el volumen de reproducción del audio.



Tareas

implementación monociclo

1. En la carpeta **DAS/source** crear la carpeta **lab10monocycle**.
2. Descargar de la Web los ficheros:
 - o **test-700Hz.wav**, **test-800Hz.wav** y **test-900Hz.wav**
3. Descargar de la Web en el directorio **lab10monocycle** los ficheros:
 - o **monocycleNotchFilter.vhd**, **lab10monocycle.vhd** y **lab10monocycle.xdc**
4. Completar el código omitido en el fichero:
 - o **monocycleNotchFilter.vhd**
5. En la carpeta **DAS/projects** crear el proyecto **lab10monocycle**.
6. Incluir en el proyecto (sin copiarlos) los siguientes fuentes:
 - o **common.vhd**, **synchronizer.vhd**, **issInterface.vhd**,
monocycleNotchFilter.vhd, **lab10monocycle.vhd** y **lab10monocycle.xdc**
7. Sintetizar, implementar y generar el fichero de configuración.
8. Conectar a la placa el cable de audio, unos auriculares y encenderla.
9. Arrancar la reproducción continua del audio **test-800Hz.wav** en el PC.
10. Volcar el fichero de configuración **lab10monocycle.bit**
 - o Si desborda, disminuir en el PC el volumen de reproducción del audio.



Tareas

implementación multiciclo

1. En la carpeta **DAS/source** crear la carpeta **lab10multicycle**.
2. Descargar de la Web en el directorio **lab10multicycle** los ficheros:
 - o **multicycleNotchFilter.vhd**, **lab10multicycle.vhd** y **lab10multicycle.xdc**
3. Completar el código omitido en el fichero:
 - o **multicycleNotchFilter.vhd**
4. En la carpeta **DAS/projects** crear el proyecto **lab10multicycle**.
5. Incluir en el proyecto (sin copiarlos) los siguientes fuentes:
 - o **common.vhd**, **synchronizer.vhd**, **issInterface.vhd**,
multicycleNotchFilter.vhd, **lab10multicycle.vhd** y **lab10multicycle.xdc**
6. Sintetizar, implementar y generar el fichero de configuración.
7. Conectar a la placa el cable de audio, unos auriculares y encenderla.
8. Arrancar la reproducción continua del audio **test-800Hz.wav** en el PC.
9. Volcar el fichero de configuración **lab10multicycle.bit**
 - o Si desborda, disminuir en el PC el volumen de reproducción del audio.



Acerca de *Creative Commons*



■ Licencia CC (*Creative Commons*)

o Ofrece algunos derechos a terceras personas bajo ciertas condiciones. Este documento tiene establecidas las siguientes:



Reconocimiento (*Attribution*):

En cualquier explotación de la obra autorizada por la licencia hará falta reconocer la autoría.



No comercial (*Non commercial*):

La explotación de la obra queda limitada a usos no comerciales.



Compartir igual (*Share alike*):

La explotación autorizada incluye la creación de obras derivadas siempre que mantengan la misma licencia al ser divulgadas.

Más información: <https://creativecommons.org/licenses/by-nc-sa/4.0/>