



Tema 2:

La placa de prototipado Digilent Basys3

modelo de diseño

Diseño automático de sistemas

José Manuel Mendías Cuadros

*Dpto. Arquitectura de Computadores y Automática
Universidad Complutense de Madrid*



Contenidos

- ✓ Placa Digilent Basys 3.
- ✓ FPGA AMD Artix-7 XC7A35T.
- ✓ Dispositivos en Basys 3.
- ✓ Dispositivos adicionales.
- ✓ Mapa de pineado.

Transparencias basadas en los documentos:

- Digilent. *Basys 3™ FPGA Board Reference Manual*
- AMD. *7 Series FPGAs Configurable Logic Block. User Guide*



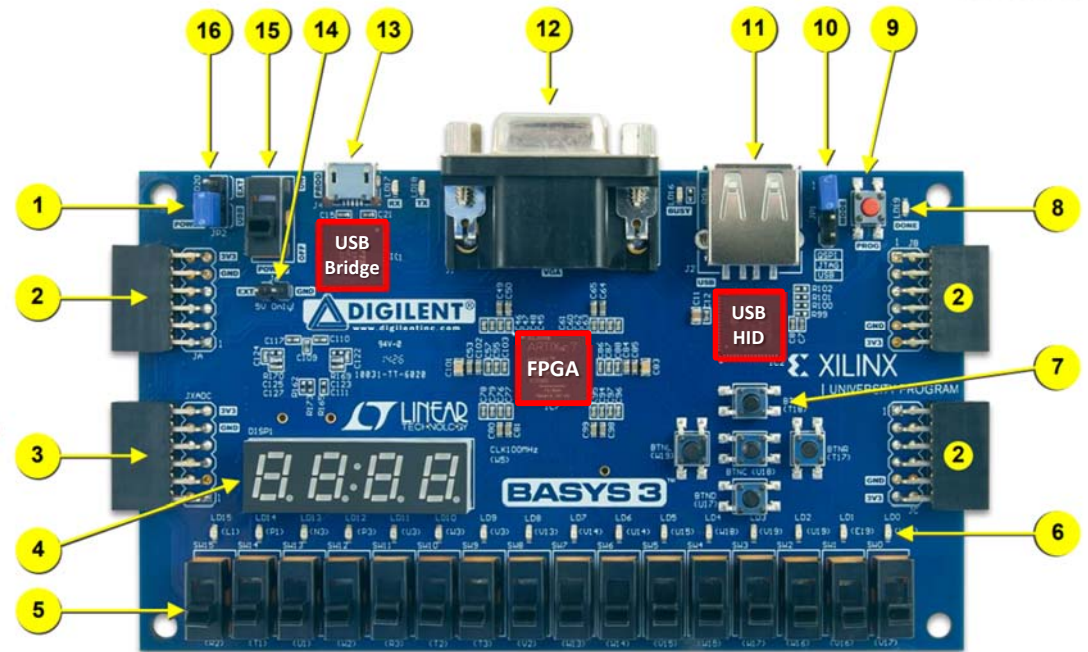
Placa Digilent Basys 3

presentación



- FPGA Artix-7 XC7A35T
- Flash ROM 32 Mb
- Oscilador de 100 MHz

1. Testigo de encendido
2. 3 conectores PMOD digitales
3. Conector PMOD analógico/digital
4. Display 7-segmentos de 4 dígitos
5. 16 switches
6. 16 LEDs
7. 5 pulsadores
8. Testigo de programación finalizada
9. Pulsador de reseteo de configuración
11. Selector de modo de programación



11. Conector USB (HID host emulando PS2)
12. Conector VGA 12b
13. Conector micro USB (bridge JTAG/RS232)
14. Conector de alimentación externa (5V-1A)
15. Interruptor de encendido
16. Selector de alimentación

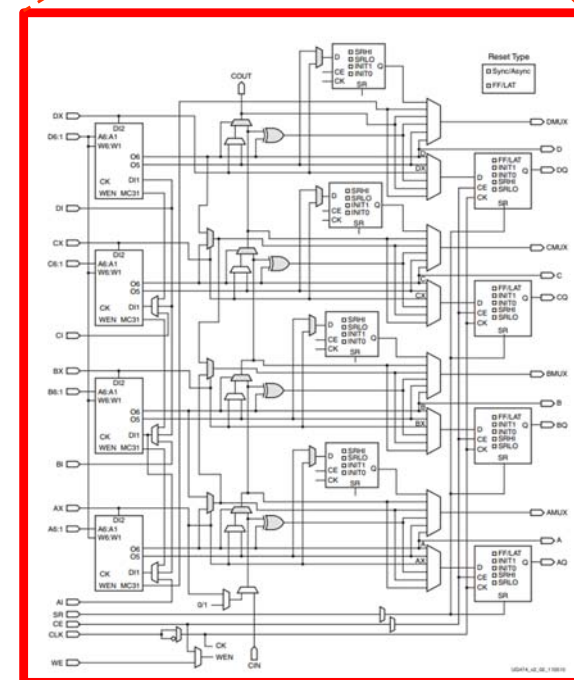
FPGA AMD Artix-7 XC7A35T

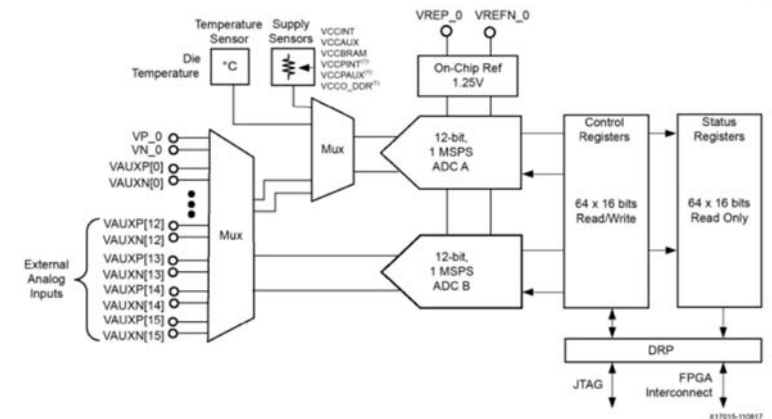
arquitectura (i)



Device	Logic Cells	Configurable Logic Blocks (CLBs)		DSP48E1 Slices ⁽²⁾	Block RAM Blocks ⁽³⁾			CMTs ⁽⁴⁾	PCle ⁽⁵⁾	GTPs	XADC Blocks	Total I/O Banks ⁽⁶⁾	Max User I/O ⁽⁷⁾
		Slices ⁽¹⁾	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)						
XC7A12T	12,800	2,000	171	40	40	20	720	3	1	2	1	3	150
XC7A15T	16,640	2,600	200	45	50	25	900	5	1	4	1	5	250
XC7A25T	23,360	3,650	313	80	90	45	1,620	3	1	4	1	3	150
XC7A35T	33,280	5,200	400	90	100	50	1,800	5	1	4	1	5	250
XC7A50T	52,160	8,150	600	120	150	75	2,700	5	1	4	1	5	250
XC7A75T	75,520	11,800	892	180	210	105	3,780	6	1	8	1	6	300
XC7A100T	101,440	15,850	1,188	240	270	135	4,860	6	1	8	1	6	300
XC7A200T	215,360	33,650	2,888	740	730	365	13,140	10	1	16	1	10	500

- 5200 slices cada uno formado por:
 - 4 Look-Up Tables (LUT) basadas en RAM de 6 entradas y 1 salida.
 - Capaces de implementar cualquier FC de 6 variables.
 - Todas las LUTs pueden funcionar como una ROM 64x1b.
 - Las LUTs de 1600 de ellos (SLICEM) pueden además configurarse como una RAM 32x1b (distributed RAM o LUTRAM) o un registro de desplazamiento de 32 bits.
 - Capacidad total de LUTRAM: 400 Kb (50 KB)
 - 8 elementos de almacenamiento configurables como FFD o LD (4 de ellos).
 - 3 multiplexores (combinados con las LUTs permiten implementar lógica más compleja).
 - Lógica de acarreo para soportar más eficientemente funciones aritméticas.





FPGA AMD Artix-7 XC7A35T

arquitectura (iv)



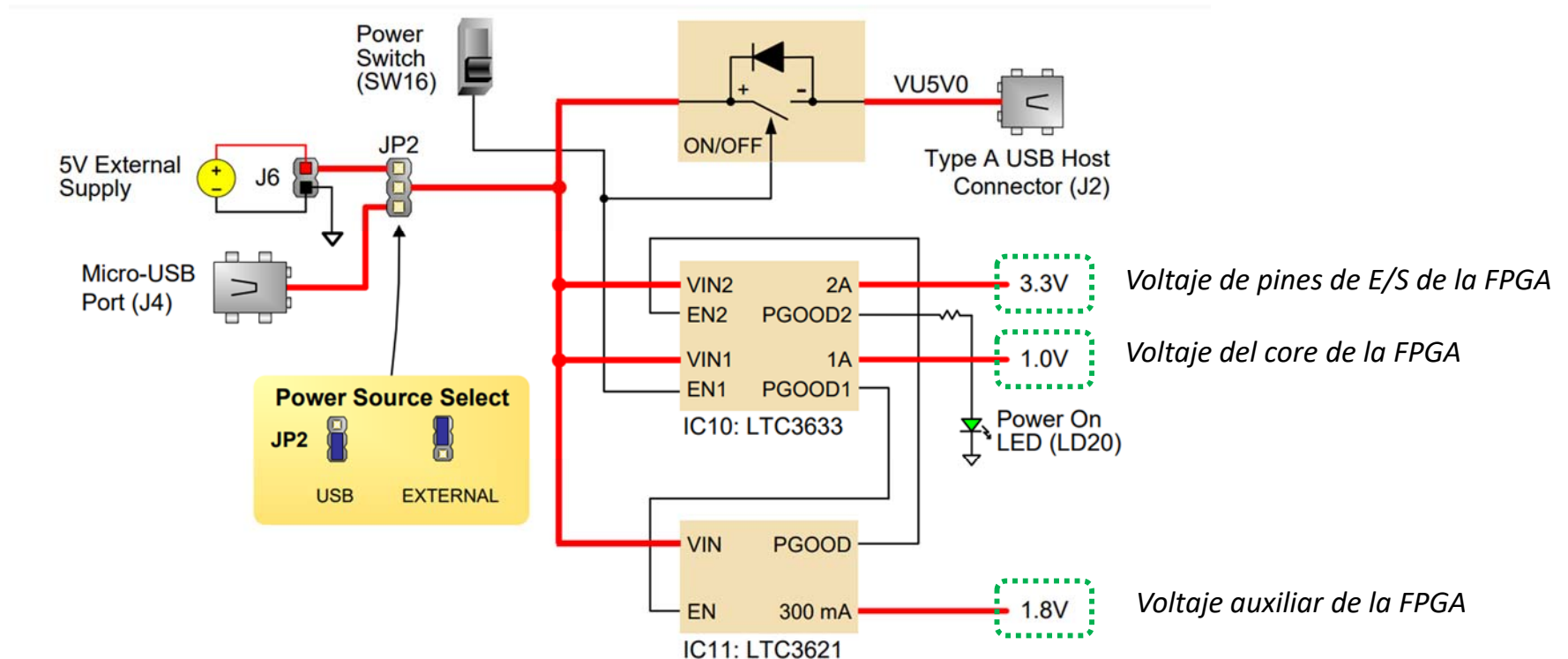
- 5 Digital Clock Management Tiles (CMT) formados por:
 - Un MMCM (mixed-mode clock manager) y un PLL (phase-look loop)
 - Distribuye, multiplica, divide o desfasa una señal de reloj.
- 250 Input/Output Blocks (IOB)
 - Controlan el flujo de datos entre los pines de E/S y la lógica interna.
 - Configurables para soportar distintos estándares de señalización.
- 4 Transceivers serie de alta velocidad (GPT)
 - Soportan comunicaciones de entre 500 Mb/s y 6.6 Gb/s
 - Compatible con variados enlaces físicos: PCIe, Interlaken, XAUI, SATA...
- 1 Hard IP para PCIe
 - Implementando las capas física, de enlace y de transacción del protocolo.



Dispositivos en Basys 3

alimentación

- La **placa se alimenta a 5V / 1A** y puede hacerlo a través:
 - Del **conector micro USB**.
 - Una **fuerza de alimentación externa**.
- Los voltajes de operación los generan 2 reguladores de tensión.

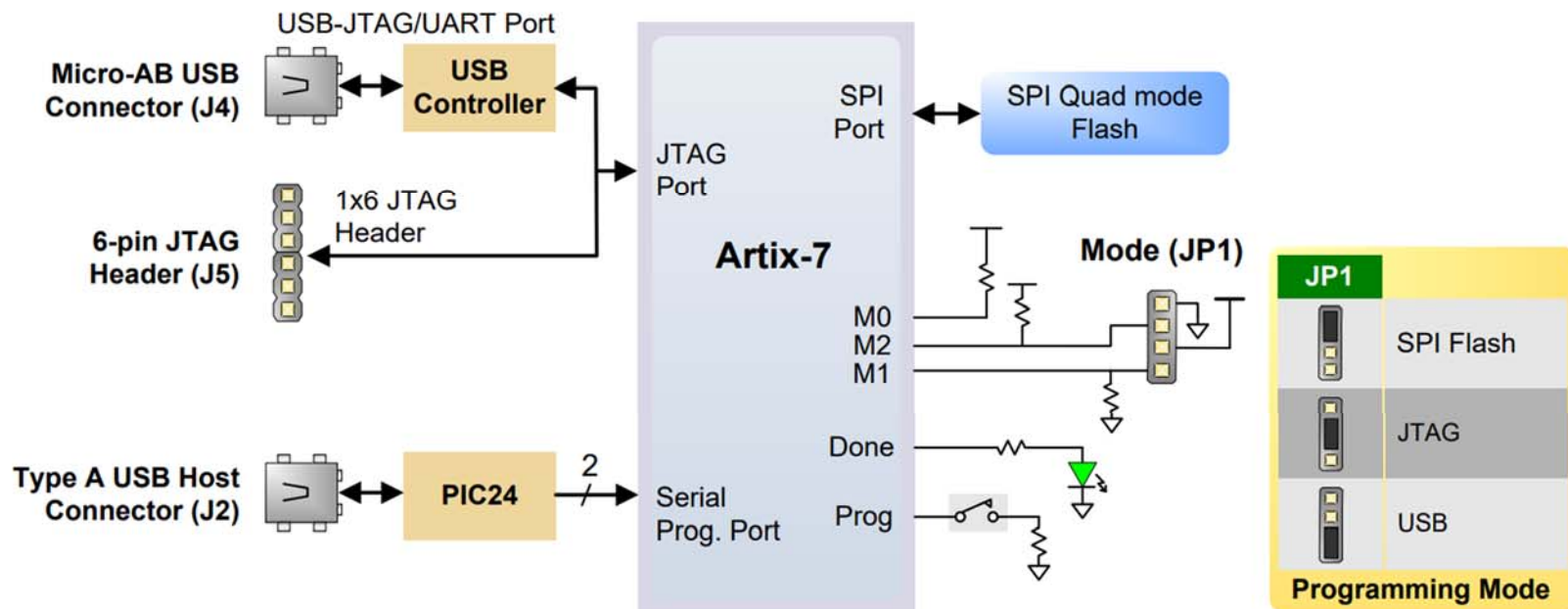


Dispositivos en Basys 3

configuración



- El **fichero de configuración** (.bit) de la FPGA puede ser:
 - Enviado por un PC conectado al puerto micro USB a través del bridge USB-JTAG.
 - Leído de la Flash ROM por la propia FPGA a través de su puerto SPI.
 - Leído de un pendrive conectado al puerto USB por un microcontrolador que lo envía a la FPGA a través de su puerto serie de programación.

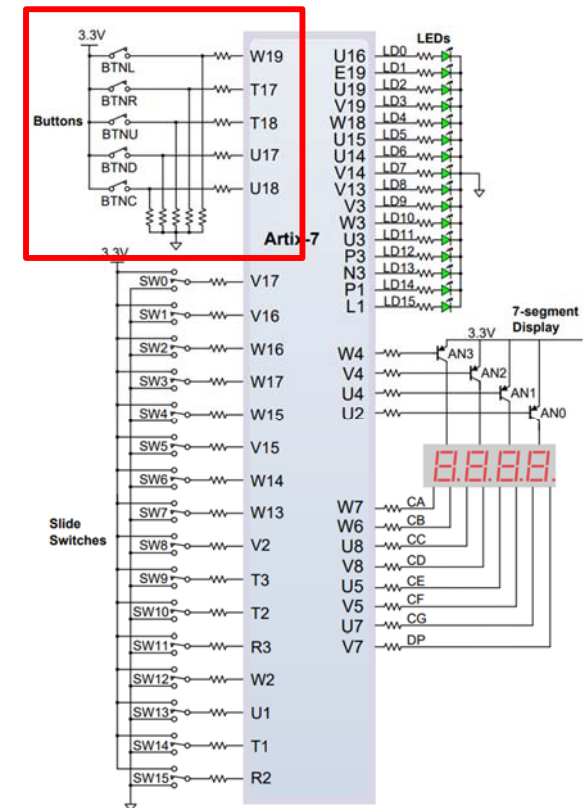
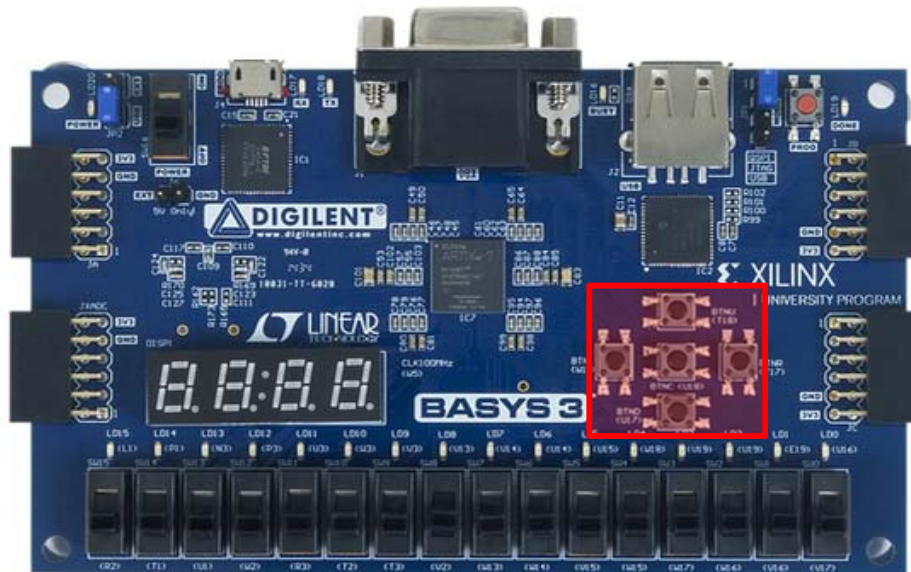


Dispositivos en Basys 3

E/S elemental (i)



- 5 pines de la FPGA están conectados a 5 pulsadores.
 - Usan **lógica directa** (envían 1 al ser pulsados).

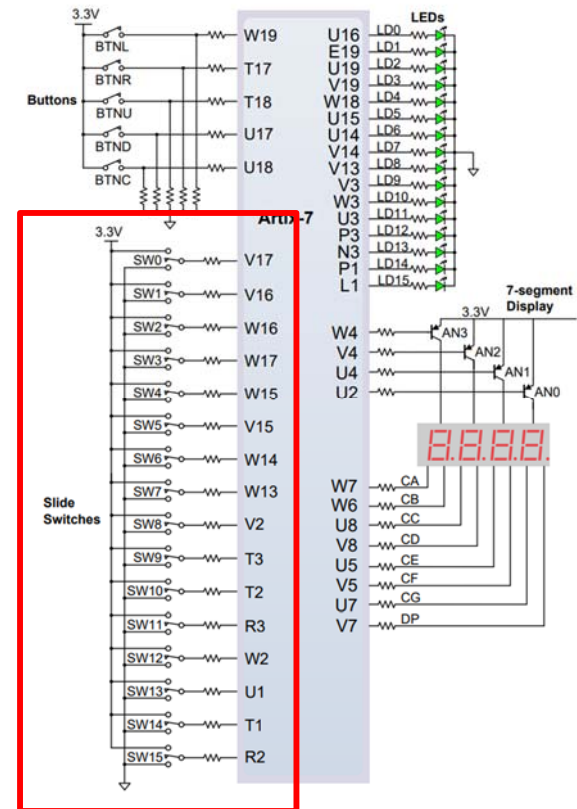
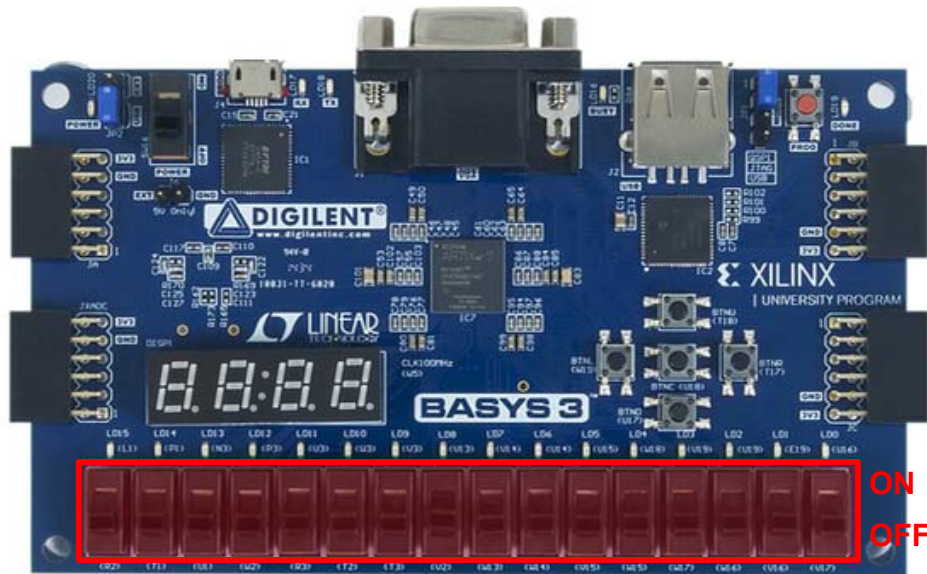


Dispositivos en Basys 3

E/S elemental (ii)



- 16 pines de la FPGA están conectados a 16 interruptores.
 - Usan **lógica directa** (envían 1 al estar en la posición superior).

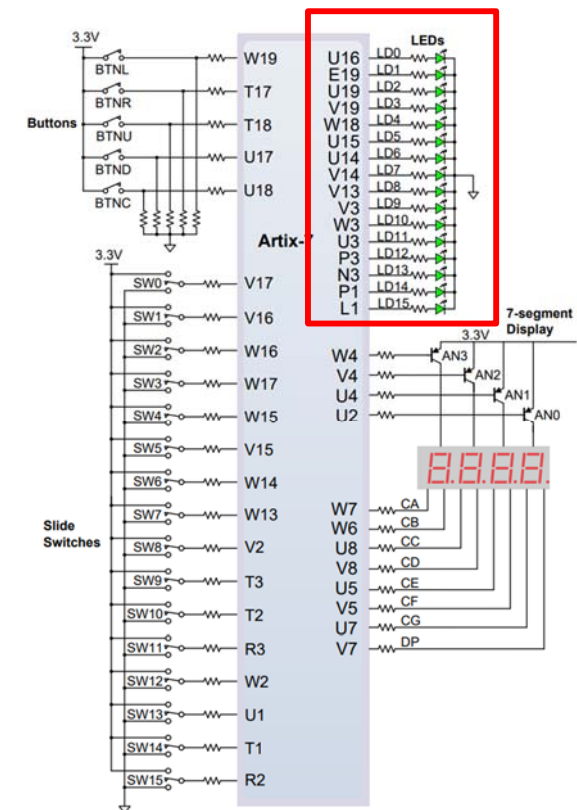
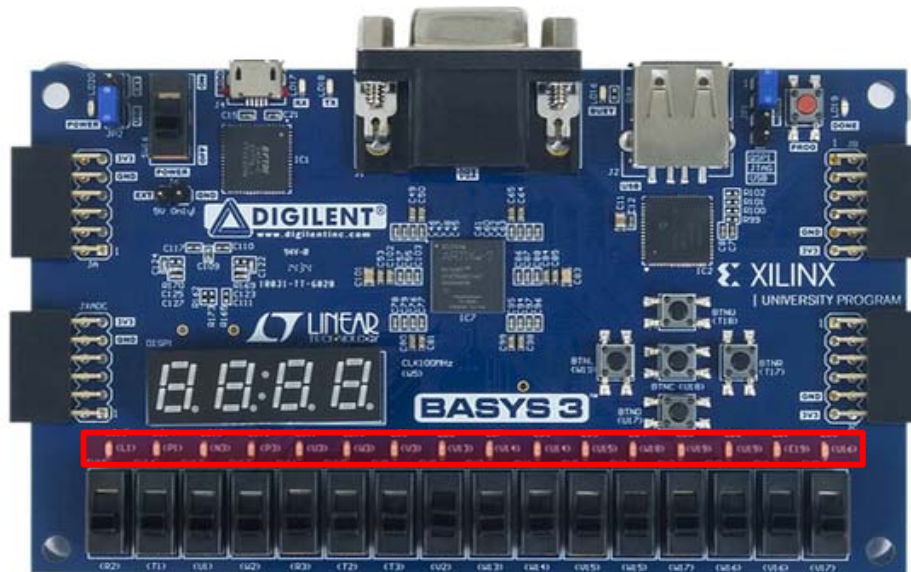


Dispositivos en Basys 3

E/S elemental (iii)



- 16 pines de la FPGA están conectados a 16 LEDs.
 - Usan **lógica directa** (se encienden enviando 1).

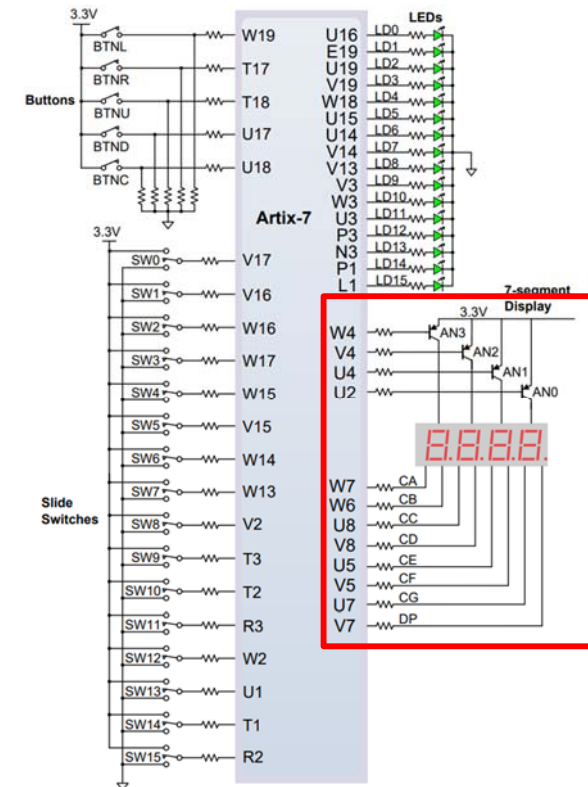


Dispositivos en Basys 3

E/S elemental (iv)



- 12 pines de la FPGA están conectados a un banco multiplexado de 4 displays 7-segs.
 - Usan **lógica inversa** (se encienden enviando 0).

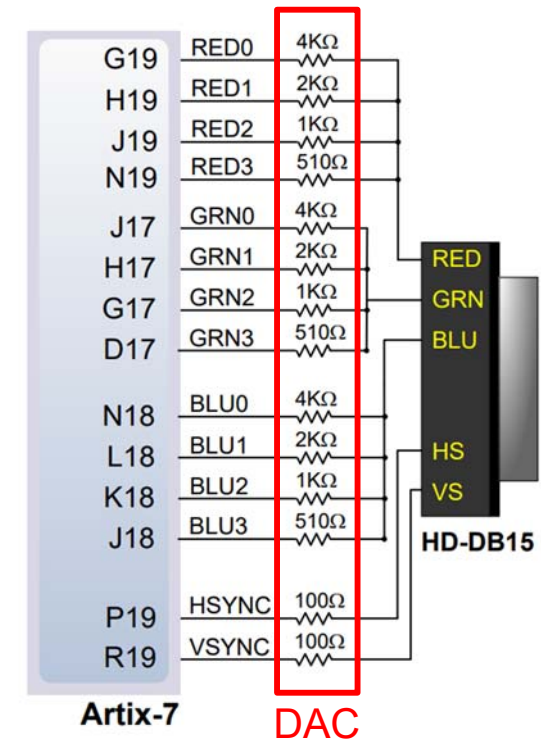
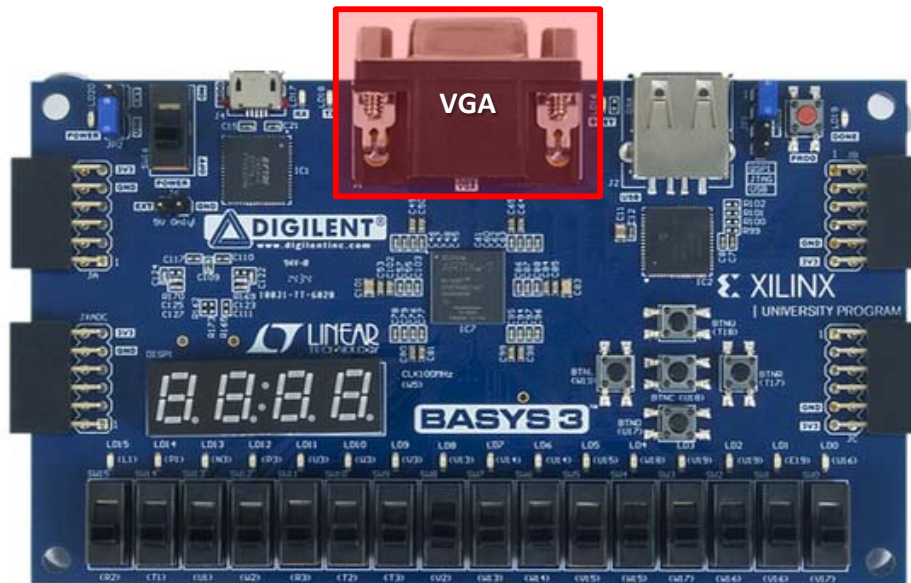




Dispositivos en Basys 3

VGA: conexión con un monitor

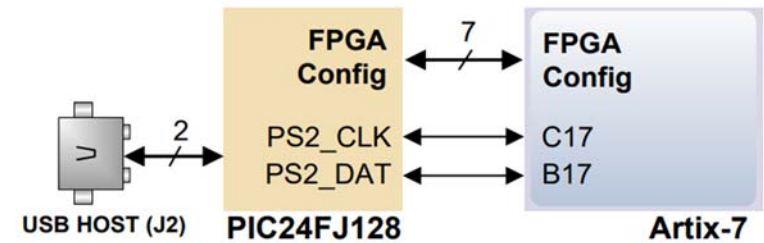
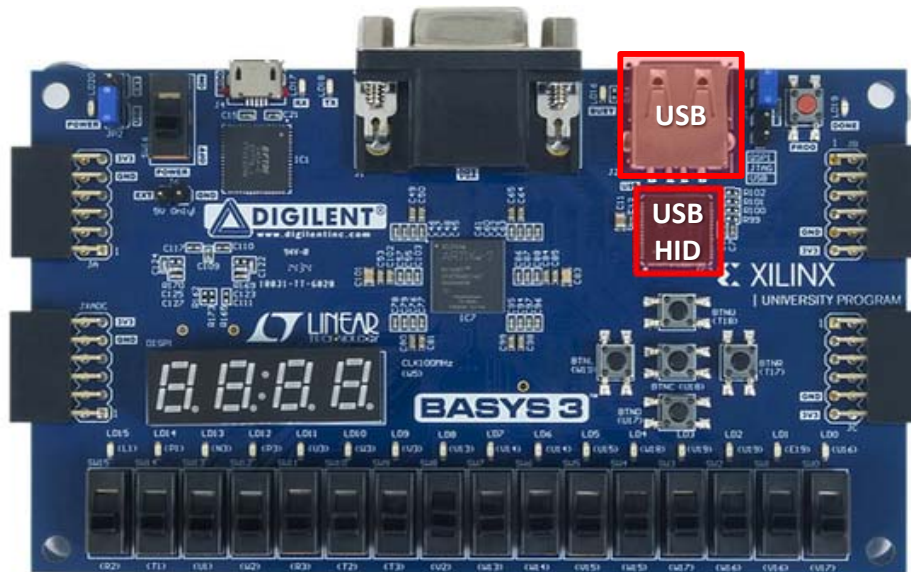
- 14 pines de la FPGA están conectados a un conector VGA.
 - Las 3 señales analógicas RGB son generadas por un DAC a partir de 12b de color.
 - Las 2 señales de sincronismo son digitales.
 - Usando el adaptador activo suministrado, puede convertirse la señal VGA en HDMI.



Dispositivos en Basys 3

PS/2: conexión con un teclado o ratón

- 2 pines de la FPGA están conectados a un **microcontrolador que emula un puerto PS/2** a partir del protocolo USB HID.
 - PS/2 es un protocolo serie síncrono de 2 líneas bidireccionales: reloj y dato.
 - Permite conectar a la placa teclados/ratones USB 3.0.

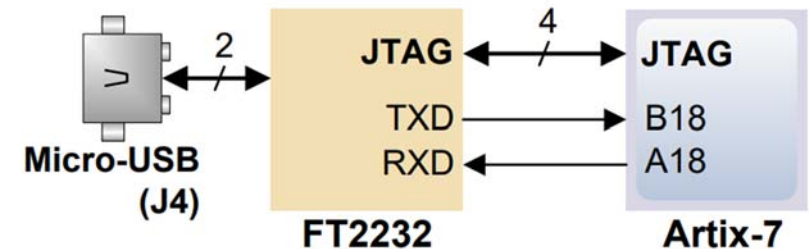
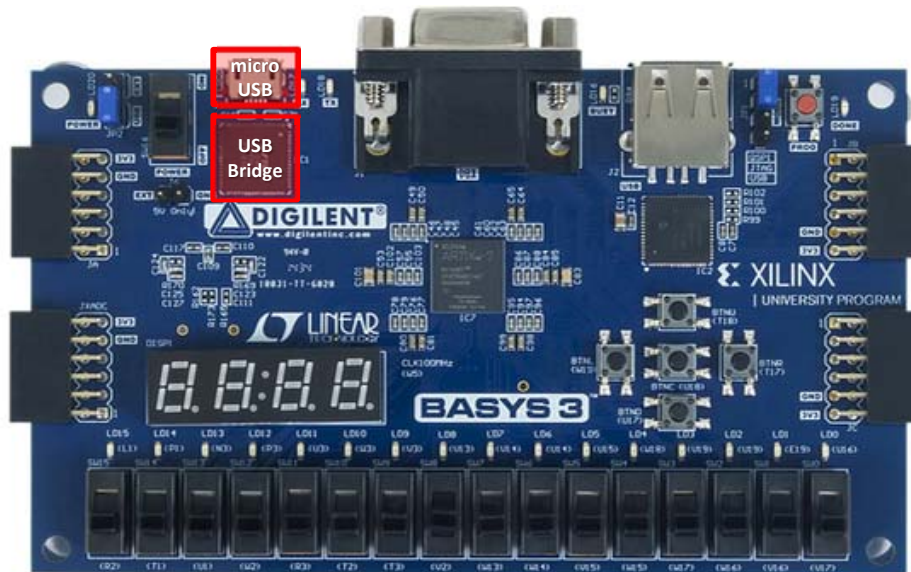




Dispositivos en Basys 3

RS-232: conexión con un terminal serie

- 2 pines de la FPGA están conectados a del *bridge* USB que emula un puerto RS-232 a partir del protocolo USB.
 - RS-232 es un protocolo serie asíncrono de 2 líneas unidireccionales: dato-in y dato-out.
 - Permite conectar la placa a un host a través de un conector micro USB.

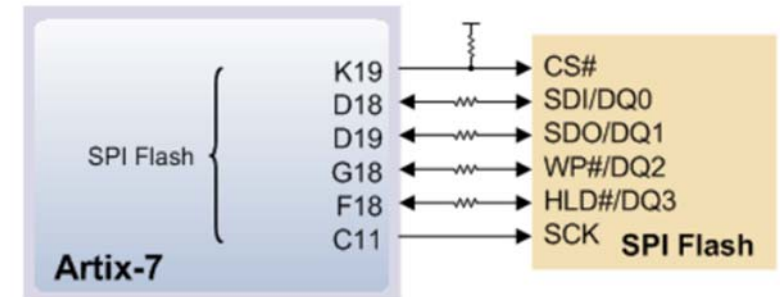
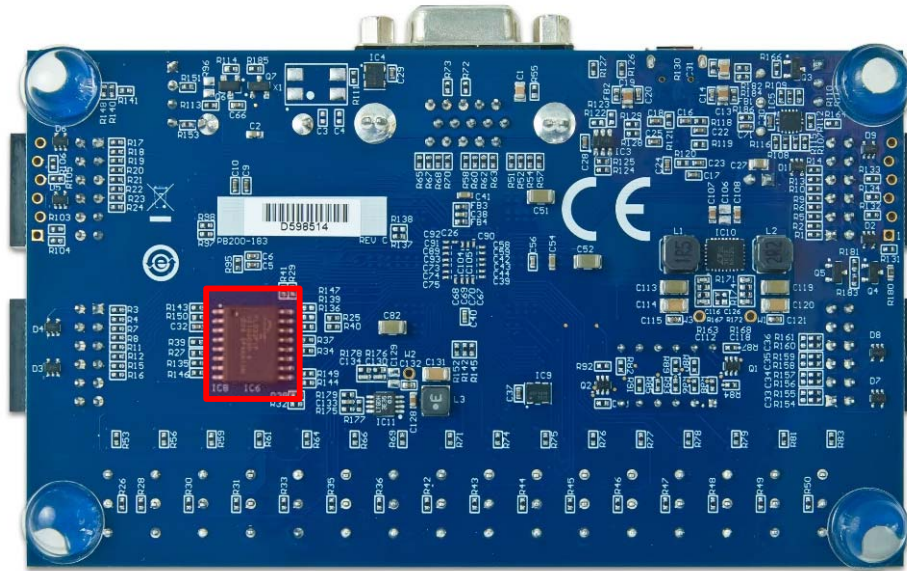


Dispositivos en Basys 3

conexión con la Flash ROM



- 6 pines de la FPGA están conectados al interfaz SPI de la Flash ROM.
 - o SPI es un protocolo serie asíncrono de 4 líneas unidireccionales: selección de dispositivo, reloj, dato-in, dato-out.
 - o Usando 2 líneas adicionales, permite transferencias quad-mode.



Dispositivos adicionales

audio elemental

- 1 pin de la FPGA está conectado a través del PMOD-C a uno de los terminales de un altavoz (el otro debe conectarse a tierra).
 - Conectado zócalo 1 del PMOD



JC1: K17	JC7: L17
JC2: M18	JC8: M19
JC3: N17	JC9: P17
JC4: P18	JC10: R18
JC5: GND	JC11: GND
JC6: PWR	JC12: PWR



Dispositivos adicionales

audio Hi-Fi

- 6 pines de la FPGA están conectados a través del PMOD-B al **bus IIS** de un **Audio ADC estéreo** (CS5343) y de un **Audio DAC estéreo** (CS4344).
 - o IIS es un protocolo serie síncrono para la transmisión de audio estéreo.
 - o Dispone de 5 líneas unidireccionales: reloj principal, reloj datos, selección de canal, dato-in y dato-out.

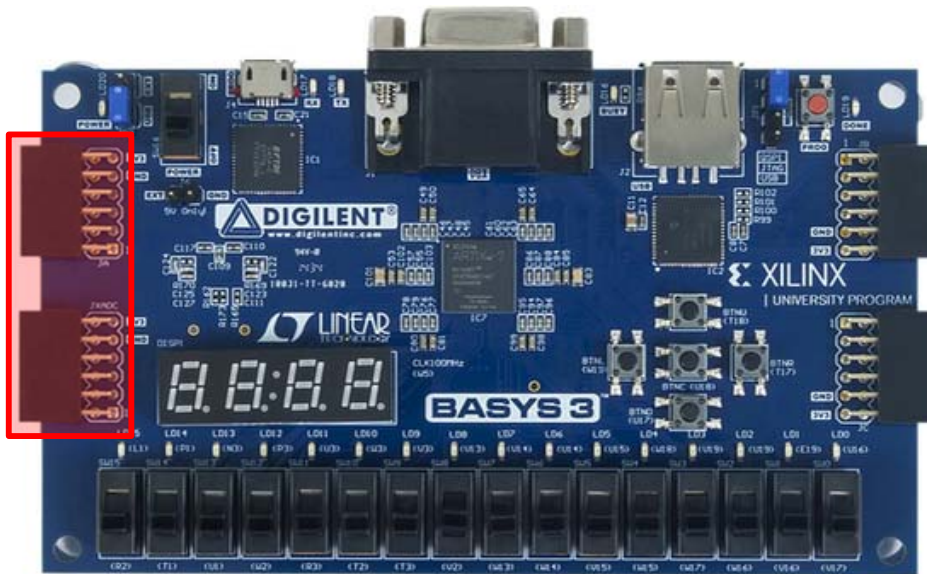


Dispositivos adicionales

video



- 16 pines de la FPGA están conectados a través de los PMODs A y XADC a una cámara VGA.
- o Para transmisión de datos utiliza un protocolo paralelo síncrono de 8 bits.
- o Para transmisión de comandos utiliza un protocolo serie síncrono de 2 líneas.



Placa Digilent Basys 3

mapa de pineado (i)



Reloj		
100 MHz	W5	<i>in</i>

UART		
TxD	A18	<i>out</i>
RxD	B18	<i>in</i>

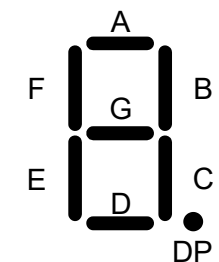
PS/2		
CLK	C17	<i>out</i>
DATA	B17	<i>in</i>

Pulsadores		
izquierda	W19	<i>in</i>
derecha	T17	<i>in</i>
arriba	T18	<i>in</i>
abajo	U17	<i>in</i>
central	U18	<i>in</i>

Interruptores		
SW0	V17	<i>in</i>
SW1	V16	<i>in</i>
SW2	W16	<i>in</i>
SW3	W17	<i>in</i>
SW4	W15	<i>in</i>
SW5	V15	<i>in</i>
SW6	W14	<i>in</i>
SW7	W13	<i>in</i>
SW8	V2	<i>in</i>
SW9	T3	<i>in</i>
SW10	T2	<i>in</i>
SW11	R3	<i>in</i>
SW12	W2	<i>in</i>
SW13	U1	<i>in</i>
SW14	T1	<i>in</i>
SW15	R2	<i>in</i>

LEDs		
LD0	U16	<i>out</i>
LD1	E19	<i>out</i>
LD2	U19	<i>out</i>
LD3	V19	<i>out</i>
LD4	W18	<i>out</i>
LD5	U15	<i>out</i>
LD6	U14	<i>out</i>
LD7	V14	<i>out</i>
LD8	V13	<i>out</i>
LD9	V3	<i>out</i>
LD10	W3	<i>out</i>
LD11	U3	<i>out</i>
LD12	P3	<i>out</i>
LD13	N3	<i>out</i>
LD14	P1	<i>out</i>
LD15	L1	<i>out</i>

7-segs		
AN0	W4	<i>out</i>
AN1	V4	<i>out</i>
AN2	U4	<i>out</i>
AN3	U2	<i>out</i>
A	W7	<i>out</i>
B	W6	<i>out</i>
C	U8	<i>out</i>
D	V8	<i>out</i>
E	U5	<i>out</i>
F	V5	<i>out</i>
G	U7	<i>out</i>
DP	V7	<i>out</i>



Placa Digilent Basys 3

mapa de pineado (ii)



VGA		
HSYNC	P19	out
VSYNC	R19	out
RED0	G19	out
RED1	H19	out
RED2	J19	out
RED3	N19	out
GREEN0	J17	out
GREEN1	H17	out
GREEN2	G17	out
GREEN3	D17	out
BLUE0	N18	out
BLUE1	L18	out
BLUE2	K18	out
BLUE3	J18	out

Cámara		
RSTN	K3	out
PWDN	J3	out
SIOC	G3	out
SIOD	G2	out
XCLK	L2	out
HREF	J2	in
VSYNC	H2	in
PCLK	K2	in
DATA0	L3	in
DATA1	M3	in
DATA2	M2	in
DATA3	M1	in
DATA4	N2	in
DATA5	N1	in
DATA6	J1	in
DATA7	H1	in

Altavoz		
SPEAKER	K17	out

Audio DAC		
MCLK	A15	out
SCLK	C15	out
LRCK	A17	out
STDI	B16	out
STDO	C16	in

Audio ADC		
MCLK	A14	out
SCLK	B15	out
LRCK	A16	out
STDI	B16	out
STDO	C16	in

Flash ROM		
CSN	K19	out
SCK	C11	out
SDI/DQ0	D18	in
SDO/DQ1	D19	out
DQ2	G18	
DQ3	F18	

Acerca de *Creative Commons*



■ Licencia CC (*Creative Commons*)

o Ofrece algunos derechos a terceras personas bajo ciertas condiciones. Este documento tiene establecidas las siguientes:



Reconocimiento (*Attribution*):

En cualquier explotación de la obra autorizada por la licencia hará falta reconocer la autoría.



No comercial (*Non commercial*):

La explotación de la obra queda limitada a usos no comerciales.



Compartir igual (*Share alike*):

La explotación autorizada incluye la creación de obras derivadas siempre que mantengan la misma licencia al ser divulgadas.

Más información: <https://creativecommons.org/licenses/by-nc-sa/4.0/>