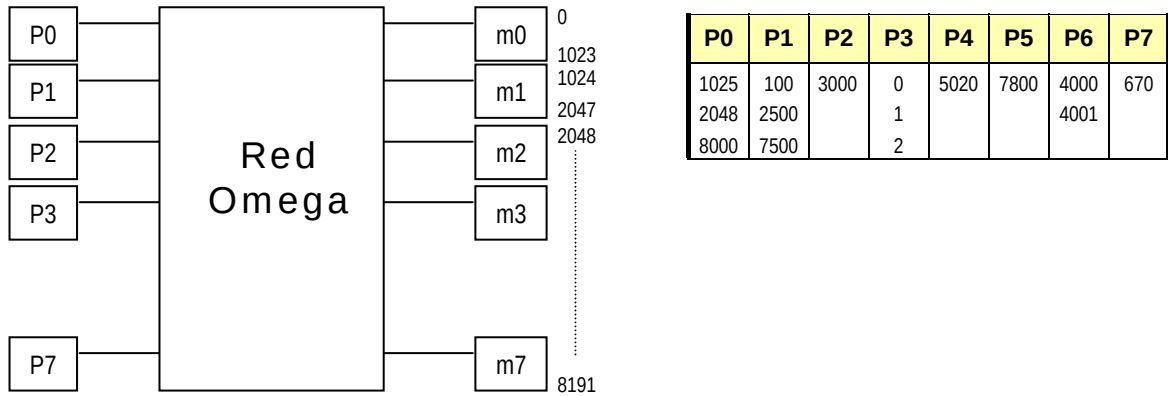


Arquitectura de Computadores

Problemas (hoja 4). Curso 2012-13

1. Suponiendo que se corta la conexión entre los conmutadores 2A (segunda etapa, primera fila) y 3B (tercera etapa, segunda fila) de una red Omega 8x8, ¿qué conexiones entre nodos fuente y destino dejarían de ser posibles?
2. Listar todos los caminos que van del nodo fuente 000 al nodo destino 000 en una red Benes 8x8
3. Hallar los caminos que en una red Benes 8x8 conectan simultáneamente los siguientes pares (fuente, destino): (0,0), (2,2), (4,6) y (7,4)
4. Una red de conmutación conecta 4096 procesadores a 4096 módulos de memoria “infinitamente” rápidos. Suponiendo que cada procesador lanza una instrucción por ciclo de reloj, que la frecuencia del procesador es 500 Mhz, que cada elemento de conmutación tiene un retardo de 0,2 nanosegundos, y que cada referencia a memoria implica un acceso a un módulo de memoria, indica cuántos **delay slots** se necesitan para una instrucción de LOAD:
 - a) En el caso de una red Omega
 - b) En el caso de una red Benes
5. Considera el uso de conmutadores 4x4 para desarrollar una red Omega 1024x1024.
 - a) ¿Cuántas etapas requiere la red?
 - b) ¿Cuántos conmutadores hacen falta?
6. En una red Omega de 16 entradas, usando conmutadores 2x2, determina si es posible el envío simultáneo de un mensaje desde el nodo 11 al nodo 5 y otro desde el nodo 7 al nodo 9
7. Considera el uso de conmutadores 8x8 para construir una red Omega de 512 entradas.
 - a) ¿Cuántas etapas se requieren en la red?
 - b) ¿Cuántos conmutadores se necesitan para construir la red?
 - c) Si la red se expande para que tenga 4096 nodos. ¿Cuántos conmutadores adicionales 8x8 se necesitan?
8. Considerando exclusivamente las redes de interconexión multietapa estudiadas, dibuja el esquema de un conmutador no bloqueante de 8 entradas ($k=8$) construido a partir de conmutadores de 2 entradas e indica su latencia (expresada en función de la latencia de los conmutadores de 2 entradas).
9. Dibuja el esquema de una red Butterfly bidireccional de 8 entradas ($k=8$), e indica los posibles caminos para ir:
 - a) del nodo 4 al 7.
 - b) del nodo 1 al 6.
10. Se dispone de un multiprocesador de memoria compartida con 8 procesadores en el que las operaciones de acceso a memoria se realizan sincronamente. La memoria consta de 8 bancos de 1KB con un tiempo de acceso de 2 ns. La red de interconexión es una red omega basada en conmutadores de orden 2 con un retardo de 0,5 ns. Dichos conmutadores no tienen capacidad de almacenamiento

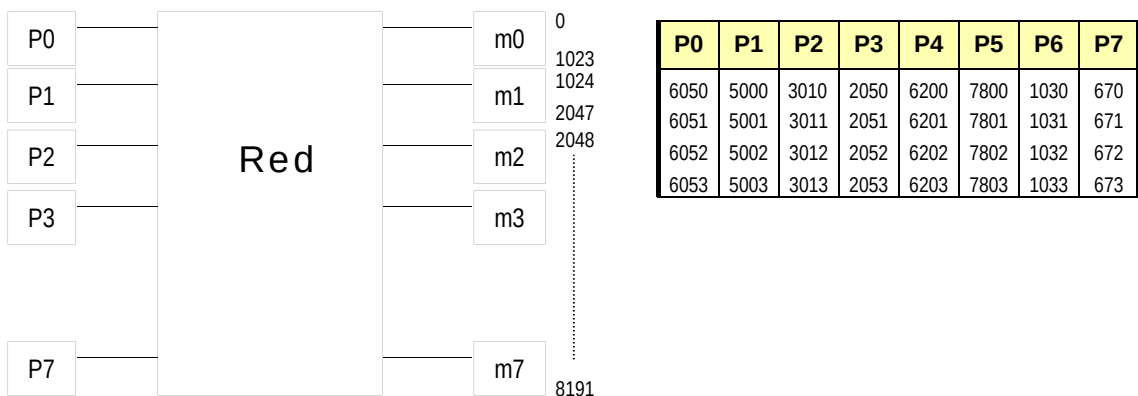
temporal para secuenciar los conflictos de acceso al mismo puerto de salida. Para resolver dichos conflictos se anula la operación procedente del puerto inferior. Cuando la operación de acceso tiene éxito los procesadores reciben de la memoria la correspondiente confirmación: el dato leído, si se trata de una lectura, o una información específica de confirmación en caso de escritura. Si no se recibe confirmación, la operación se vuelve a planificar en el siguiente ciclo de acceso. Dada la distribución del espacio de direcciones entre los módulos que se indica en la figura y el perfil de acceso a memoria siguiente:



Calcular:

- Tiempo de finalización de cada uno de los procesadores para el perfil de referencia especificado.
- Ganancia de velocidad (Speedup) que se obtendría con un crossbar.
- ¿Qué problemas plantea la política utilizada para resolver los conflictos?
¿Cómo podría resolverse?

11. Se dispone de un multiprocesador de 8 procesadores con memoria cache L1 compartida en el que las operaciones de acceso a memoria cache se realizan síncronamente. La memoria cache consta de 8 bancos de 1KB con un tiempo de acceso de 2 ns. La red de interconexión está basada en conmutadores de orden 2 con un retardo de 0,5 ns. Dichos conmutadores no tienen capacidad de almacenamiento temporal para secuenciar los conflictos de acceso al mismo puerto de salida. Para resolver dichos conflictos se anula la operación procedente del puerto superior. Cuando la operación de acceso tiene éxito los procesadores reciben de la memoria la correspondiente confirmación: el dato leído, si se trata de una lectura, o una información específica de confirmación en caso de escritura. Si no se recibe confirmación, la operación se vuelve a planificar en el siguiente ciclo de acceso a memoria. Dada la distribución del espacio de direcciones entre los módulos que se indica en la figura y el perfil de acceso a memoria siguiente:



Calcular el número de ciclos de memoria necesarios para resolver todas las referencias, el tiempo de ciclo mínimo, y el coste de la red en función del coste por conmutador, para

- c) Interconexión por medio de red Omega
- d) Interconexión por medio de red de Benes
- e) Interconexión por medio de Crossbar

12. Supongamos una red multietapa con topología Omega de 16 entradas formada por conmutadores de grado 4. En este caso los conmutadores de grado 4 son bloqueantes ya que suponemos que han sido implementados por medio de una red Butterfly formada por conmutadores de grado 2. Indica qué comunicaciones se bloquean debido a la contención en los canales internos de comunicación entre los conmutadores 2x2 (no debida a la contención en los canales externos entre los conmutadores 4x4), al realizar la comunicación entre la entrada 0 y la salida 0 de la red multietapa.

13. Supongamos una red Omega de 16 entradas con que puede implementarse con conmutadores de grado 2 o de grado 4, con las siguientes características:

- Para los conmutadores de grado 4, el tiempo, Δ , empleado en decidir la ruta y establecer la comunicación con el canal de salida adecuado es de 4 ns.
- Para los conmutadores de grado 2, el tiempo, Δ , empleado en decidir la ruta y establecer la comunicación con el canal de salida adecuado es de 6 ns.
- En todos los casos el ancho de banda de los canales es de 1 GB/s y la longitud del mensaje es de 128 bits.

Determinar, en todos los casos, el tiempo de transmisión de un mensaje completo usando conmutadores de 2 o de 4 entradas y usando conmutación de paquetes con "Store-and-Forward" o "Cut-Through".

14. Supongamos una red multipetapa 64x64 formada por conmutadores de grado 8 y con $C_i = \sigma$ y $C_n = I$ y. Internamente los conmutadores de grado 8 han sido implementados por medio de una red tipo *crossbar*. Al realizar la comunicación entre la entrada 0 y la salida 0 de la red. ¿Qué comunicaciones se bloquean debido a la contención en los canales de comunicación entre los conmutadores de grado 8?